



Appunti universitari
Tesi di laurea
Cartoleria e cancelleria
Stampa file e fotocopie
Print on demand
Rilegature

NUMERO: 2157A

ANNO: 2017

A P P U N T I

STUDENTE: Preatto Stefania

MATERIA: Sistemi Digitali Integrati - Prof Ruo Roch

Il presente lavoro nasce dall'impegno dell'autore ed è distribuito in accordo con il Centro Appunti.

Tutti i diritti sono riservati. È vietata qualsiasi riproduzione, copia totale o parziale, dei contenuti inseriti nel presente volume, ivi inclusa la memorizzazione, rielaborazione, diffusione o distribuzione dei contenuti stessi mediante qualunque supporto magnetico o cartaceo, piattaforma tecnologica o rete telematica, senza previa autorizzazione scritta dell'autore.

ATTENZIONE: QUESTI APPUNTI SONO FATTI DA STUDENTIE NON SONO STATI VISIONATI DAL DOCENTE.
IL NOME DEL PROFESSORE, SERVE SOLO PER IDENTIFICARE IL CORSO.

PREMATO STEFANIA - 235695

MODALITÀ D'ESAME: 4 PARTI → ROCH + ZAMBONI

LEZIONI = ROCH - LUNEDÌ
ZAMBONI - MARTEDÌ

ESAME: ORALE CON ROCH E POI CON ZAMBONI
CONCORDANO AL VOTO D'ESAME I LABORATORI CON LE RELAZIONI
4^a PARTE → ZAMBONI ASSEGNA HOMEWORK CHE CONTRIBUISCOLO
A VOTO D'ESAME

CONSEGNA RELAZIONI + HOMEWORK: ALMENO UNA SETTIMANA PRIMA DELL'ESAME
(arco di preparazione relazioni in corso d'opera)

PROGETTO → ABBIAMO SPECIFICHE SU "COSA VOGLIO" MA NON I DETTAGLI
L'ESPLORAZIONE DELLO SPAZIO DELLE SOLUZIONI È UN PROBLEMA NO STAZ
SI IMPARA A FARE LE DOMANDE CORRETTE
NON CONOSCIAMO LA SOLUZIONE DEL PROBLEMA A PRIORI
→ I PROBLEMI HANNO TUTTI SOLUZIONI DIVERSE!

OBIETTIVI

- 1) AVERE METODO
- 2) SAPERE COME GUARDARE INTORNO → andando sui siti dei costruttori, leggendo i datasheet...

SI IMPARA A SELEZIONARE COMPONENTI E COLLEGARLI TRA DI LORO PER
FARLI FARE DELLE COSE
(UN MINIMO DI ANALOGICA C'È SEMPRE)

NB: LE CONOSCENZE DI BASE SERVONO E DEVONO ESSERE SAPUTE

IN SITUAZ. SIMILE
ACCELERATORI HW → NON SOLO PERIFERICHE (NO interfaccia w/et)
MA SOLO OGGETTI CHE MI FAUO ANDARE

PIÙ FORTE
A PARI VELOCITÀ
CONTINUA CONSUMO
DI ENERGIA

DATO CHE ALGORITMI DI DECODIFICA CI SONO
CI SONO ACCELERATORI HW, NON IN μC

es: FFT → fa la trasformata di Fourier in tempo $\ln \log n$
ma la generazione degli indici richiede un contatore
a bit scambiati tra MSB e LSB

0000	→	0000
0001		1000
0010		0100

non lo
gusto

IN SOFTWARE → CI METTO TANTO
IN HARDWARE → NO!

faccio contatore

UN COPROCESSORE PARTICOLARE (IN QUASI TUTTI I μC):

DMA CONTROLLER → L'ALGORITMO SI CHIAMA DMA - direct memory access
IL DISPOSITIVO CHE APPLICA LA TECNICA È DMA CONTROLLER

TUTTI I SISTEMI HANNO I/O
SOPRATTO PERIFERICA = RETE DATI (es canale ethernet)
E ARRIVANO DATI E MOLTO VELOCE

FUNZIONE STANDARD (SENZA DMA):

- 1) ARRIVA UN DATO
- 2) LA PERIFERICA TRAMITE UN INTERRUPT VEDE CHE È ARRIVATO UN DATO
MP CHIEDE IL DATO E LO LEGGE
- 3) ASPETTA DI LEGGERE UN PO' DI DATI E LI SCRIVE MAN MANO IN BUFFER

MP → LETTURA DA PERIFERICA E POI SCRITTURA IN MEMORIA
STANDO ALL'INTERNO DI ROUTINE DI INTERRUPT POI VI ESCE
NON FA ALTRO

SPRECO TANTO TEMPO PER NULLA!

DMA CONTROLLER → MUOVE I DATI DA UNA PARTE ALL'ALTRA
= ACCELERATORE HW

IN QUESTO MODO PERIFERICA → LUO AVVISA IL μP
→ PARLA A DMAC CHE
C'È DATO



CONTEMPORANEAMENTE

✓ FACCIAMO UN'OPERAZIONE UNICA (DIRETTO OCCUPAZ DI CANALE) → RADDOPPIO
✓ COSTI μP HA CONTINUATO A ESEGUIRE IL SUO CODICE → DATA DISC

AL MASSIMO GLI AVREMO UNA LINEA DI BUS
IL 99% DI μP HANNO CACHE INTERNA

IL BUS È LIBERO PROBABILMENTE
E IL μP NON LO STA USANDO

OPERAZIONE COSTA \emptyset

MEMORIE = SPAZIO n -DIMENSIONALE IN CUI OGNI DIMENSIONE È UN PARAMETRO

TIPO DI ACCESSO → SOLA LETTURA → ROM (= READ ONLY MEMORY)
→ LETTURA E SCRITTURA → RAM (= RANDOM ACCESS MEMORY)
NON C'ENTRA COL SIGNIFICATO

RAM → ALL'INIZIO ERAVO ARRAY DI NUCLEI DI FERRITE (cambiano le polarità)
POI I CHIP ERAVO RAM STATICHE CON ACCESSO CASUALE
IL FATTO CHE FOSSE ANCHE AD ACCESSO CASUALE HA DATO IL NOME

ROM → PRIME ROM IN USE E LETTE (NON C'ERA VERSO DI CAMBIARLE)
MA ROM SONO PREVALENTEMENTE A LETTURA
HANNO UN NUMERO LIMITATO DI SCRITTURE
MOLTISSIME LETTURE DISPONIBILI (ANCHE 13000)
ACCESSO A WORD (unità elementari piccole)

INDIRIZZAMENTO → ACCESSO A BLOCCO (es: Hard disk: con con accesso a blocchi)
es: NAND flash SD del telefono hanno accesso solo a blocchi)

COMUNICAZIONE → SERIALE → MEMORIA COSTA MENO (MENO PIN) MA PIÙ LENTA
→ PARALLELA

COSTO DI ENERGIA → LOW POWER E NON LOW POWER

DISPOSITIVO → VOLATILE → SE TOGLI ALIMENTAZIONE DATI SCOMPARONO
→ NON VOLATILE (ROM)

NOMINALMENTE FLASH NON VOLATILI → MA IN REALTÀ DOPO 10 ANNI PUÒ ESSERE CHE I DATI SE NE VANNO

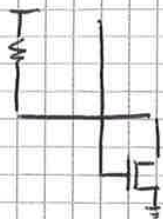
MEMORIA → STATICA → FINCHÉ C'È ALIMENTAZ. IL DATO RIMANE
→ DINAMICA → ANCHÉ SE C'È ALIMENTAZIONE IL DATO PIAN PIAN SI DISSOLVE
(RAM dei pc sono dinamiche → ogni 64 ps si scarica)

PER CANCELLARE e^- (che è isolato) → SPARO UN FOTONE ULTRAVIOLETTO (è COSTA → ENERGIA →)
 IN MODO DA CATTURARE e^-
 E FARLO RITORNARE OGI

④

EPROM = ERASABLE PROM

→ MEMORIE CHE POSSONO ESSERE CANCELLATE



NON DO' CORRENTE A MOS → 1 LOGICO
 DO' CORRENTE → 0 LOGICO

PROBLEMI

- CANCELLAZIONE → PROCESSO LENTO (40/45 min)
- DEVO ILLUMINARE IL CHIP → PILESSIMA TRASPARENTE
 AL ULTRAVIOLETTO (UV), USO QUARZO (CARO)
 + PACKAGE CERAMICO (COSTOSO)
 DEVO RIMOVERE LA MEMORIA PER CANCELLARLA

⑤

EEPROM →

SE RIESCO AD ASSOTTIGLIARE L'OSSIDO

CON OPPORTUNA V, POSSO PER EFFETTO TUNNEL
 FAR PASSARE e^- AL FLOATING GATE
 (NO SPARO)

EEPROM = ELECTRICAL ERASABLE PROM

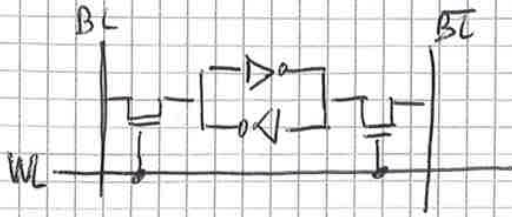
- ✓ CANCELO IN MODO RAPIDO
- ✓ POSSO FARE IN FIELD PROGRAMMING → NON DEVO Togliere

memorie **flash** → sono di fatto EEPROM

→ hanno caratteristiche fisiche migliori
 (100 scritture per EEPROM)

flash hanno un milione di
 programmazioni
 (è tanto? dipende!)

L'OGGETTO È IN GRADO DI MEMORIZZARE VNO \emptyset o 1 (LATCH)



CELLA ELEMENTARE

- 1) ATTIVO PASS TRANSISTOR \rightarrow CONDUCOLO \rightarrow TENSIONI SU LATCH MANDATE SU BL E BL POSSO LEGGERE CONTENUTO CELLA
- 2) SE NON DO' ALIMENTAZIONE \rightarrow RESTA MEMORIZZATO

POSSO REPLICARE IN SENSO \rightarrow DIMENSIONE: 8 BIT \rightarrow 8 STRUTTURE SU (OGNI COL) STESSA RIGA (1 BIT)
 VERIFICARE

PROBLEMI:

- X DEVO CERCARE DI USARE TRANSISTORI + PICCOLI POSSIBILI
- X NON SOLO MOLTO POTENTI E HANNO UNA RESISTENZA DI CANALE MOLTO ECCELENTE CHE FA RITARDARE E LUNGA TUTTO IL LATCH

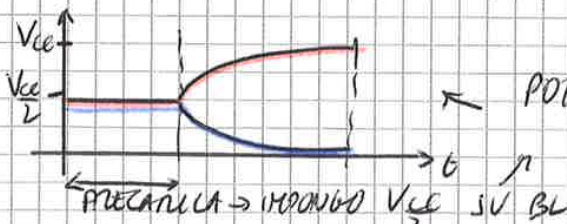
SULLA LINEA C'È CAPACITÀ PARASSITA GRANDE DATA DA DIMENSIONI DI DRAIN/SOURCE DI PASS TRANSISTOR (C ~ pF)

'VOLTA PIÙ' CAPITARE CHE: \rightarrow BL = 1
 BL = 0

leggo in altra cella \rightarrow \emptyset

CAPACITÀ GRANDE CHE È PIÙ FORTE DI LATCH E FA CAMBIARE STATO A CELLA

SOLUZIONE: PRECARICO CAPACITÀ BL A $\frac{V_{CC}}{2}$



POI LETTURA: ATTIVO WL SISTEMA EVOLGE VENTAMENTE

HO 2 VALORI SU BL DI $\sqrt{}$ UNA CITA' COLLEGATO SENSO VCC E L'ALTRA SENSO \emptyset CON EXP

VALORI LEGGIBILI FINITO IL TRANSISTORO

PRECARICA PREVEDE ED EVITA PROBLEMA DI SCRITTURA

CARICANDO A $\frac{V_{CC}}{2}$ \rightarrow LATCH VA DA UNA PARTO 0 DA L'ALTRA

SISTEMA LENTO \rightarrow PER VELOCIZZARE METTO IN FONDO A BL IN UN COMPARATORE DI SOGLIA \rightarrow SENSE AMPLIFIER



POCO TEMPO DOPO HAN ATTIVATO WL SO SE SARAN' 1 o \emptyset

SE VOGLIO SCRIVERE? NON PRECARICO LINEA A $\frac{V_{CC}}{2}$ MA AL VALORE CITO VOGLIO SCRIVERE \rightarrow ATTIVANDO WL \rightarrow CAMBIA STATO

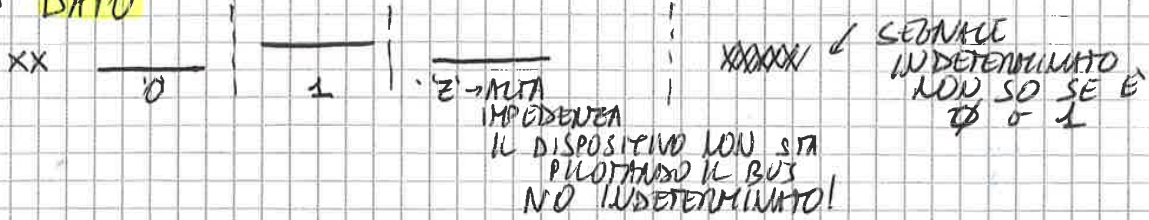
SRAM IN 6 TRANSISTORI (6 TRAMS. per celle)
 CONSUMO STATICO PER CARICATO DI DIMENSIONI \rightarrow NEGATIVI BASSO

LETTURA DI DATASHEET E CONVENZIONI

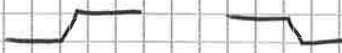
TIMING DIAGRAM → FA VEDERE RELAZIONE TEMPORALE TRA I VARI SEGNALE
 BISOGNA SAPERE DOVE SONO/DOVE SI FAANO

BISOGNA SCRIVERE IN MODO UNIVOCO → DEVO USARE CONVENZIONI

• DATO



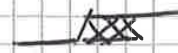
• TRANSIZIONI



TRANSIZIONE BEN PRECISA IN UN ISTANCE BEN DETERMINATO

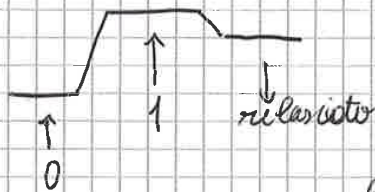


C'È UNA COMUTAZIONE MA NON SO ESATTAMENTE DOVE SIA



NON SO DOVE SIA LA COMUTAZIONE MA POTREBBE ESSERCI PIU' DI UNA

CASO PARTICOLARE



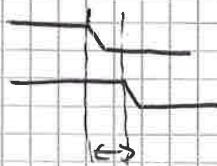
segnale era a 0 → poi parte lo ho messo a 1 poi rilassato alta impedenza

es: open collector

t_c discesa veloce

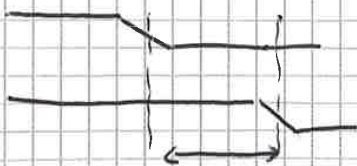
$t_r = \tau = R C_{colle}$ lento

Ci sono driver nominalmente open collector che per un breve intervallo di tempo danno 1 (autunno Rpm)



LI SONO RIFERIMENTI TEMPORALI

← COSI' SPECIFICO IL NOTANDO → DI SOTTO INTORNO AL 50% DI FONDA D'ONDA
 PUO' FARE CONNETTORS ERRORI



QUOTO L'INIZIO DELLA TRANSIZIONE MA FINE LINE DURA TOT.



NO! NON È REALE!
 (MODELSIM)
 NON CAPISCO CAUSA E CONSEGUENZA DI EVENTI

per PC → no 2 diodi ma circuito integrato

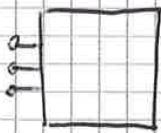
- DATA RETENTION → RAM STATICA ma se non la uso anche con solo 1.5V i dati conserva
- (2.5V UTILE } RAM non funziona
0.7V DIODO } ma mantiene i dati)

DIAGRAMMA A BLOCCHI (→ vedi datasheet decoder / IO / sense amplifier)
control unit
2 CE → CE → ATTIVO alto
 → CE → ATTIVO basso

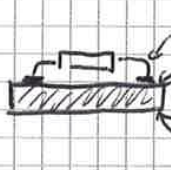
**! NON USARE IL TERMINALE 1/0 → USA ← ASSERTO
NEGATO**

- 2 tipi di package: HL, IO → uso un livello di astrazione differente

(A) DSSOP



PACKAGE CON SEGNALI SU 2 DATI



RAMO STAGNATO
SALDATO CON STAGNO
↓ 1.5 mm spessore standard
circuito stampato

(B) PACKAGE BGA (= BOLD GRID ARRAY) → PIEDINI DISPOSTI IN MANIERA BIDIMENSIONALE



molto sottile
palline di stagno sono sotto il circuito

lo metto in forno a T fus > di stagno
CIRCUITO SALDATO

- ✓ MINIATURIZZAZIONE
- ✗ NON VEDO SE LE SALDATURE SONO FATTE BENE

- ELENCO DEI PIEDINI CON LA LORO DESCRIZIONE
- TABELLA DI MAXIMUM ABSOLUTE RATINGS → NON DEVOLO ESSERE SUPERATI!

SE LI SUPERO → CIRCUITO → MORTE
↓
SI DANNEGGIA IN MANIERA INVISIBILE
(al punto che 5 anni → 2 mesi)

- SPECIFICHE DI FUNZIONAMENTO → OPERATING RANGE → INTERVALLO DI TENSIONE / I IN CUI IL CIRCUITO OPERA CORRETTAMENTE!
(senza problemi...)
 - CAPACITÀ DI TERMINALI DI INGRESSO/USCITA
importante con tanti dispositivi
- ! DEVO LAVORARCI SEMPRE DENTRO!**
(es: 2.4 ± 0.5 V)

17/10/16

COME SI MAPPA SRAM

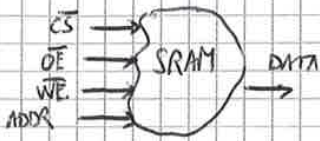
CICLI DI LETTURA/SCRITTURA → PERCHÉ SE LEGGO LA RAM È IN IDLE
10 INIZIO LA LETTURA
POI LA RAM RITORNA IN IDLE

COME SI TERMINA? QUANDO SI FA UN'OPERAZIONE DEVO RITORNARE NELLE CONDIZIONI INIZIALI !!

in sistema reale: faccio una lettura e prima di fare un'altra operazione devo chiudere il ciclo di lettura!

È FONDAMENTALE ANCHE COME SI FINISCE
HO UN SISTEMA IN CUI NON DEVO TRASCURARE LA FINE DEL CICLO!
PERCHÉ C'È QUELLO CHE FA FUNZIONARE O NO IL SISTEMA

COME USO SRAM? IN LETTURA IL DISPOSITIVO È UN PEZZO DI LOGICA COMBINATORIA
PERCORSO PURAMENTE COMBINATORIO



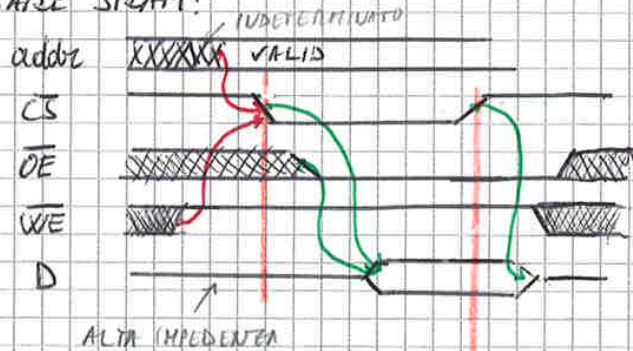
NON È SCRITTO DA NESSUNA PARTE CHE I PERCORSI SIANO ATTRAVERSATI NELLO STESSO ISTANTE DI TEMPO → CI SONO 4 TEMPI DIVERSI (IN DATA SHEET)

DEVO CAPIRE QUANDO ESATTAMENTE SALTA FUORI IL DATO

APPROCCIO CORRETTO PER USARE SRAM:

LETTURA SRAM

$t_{RE} = 55-70 \text{ ns}$



QUANDO INDIRIZZI VALIDI → ASSERTISCO IL CS →

OPERAZIONE WE OFF →

ALLORA LA RAM CAPISCE CHE VOGLIO LEGGERE → SRAM SATEMA SEQUENZE DI EVENTI
attiva il decoder di riga dopo ha i dati pronti

MA PRIMA DI TIRARLI FUORI HA BISOGNO DI UN OUTPUT ENABLE

COME CONSEGUENZA IL DATO È LETTO DOPO PERÒ IL DATO È LETTO E RIMANE Lì PER TEMPO.

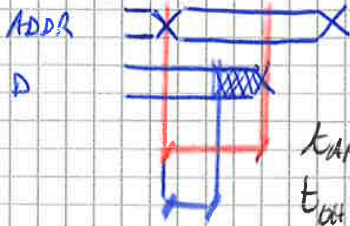
DEVO DESELEZIONARE IL CS → BUS DATI RITORNA IN ALTA IMPEDENZA

RAM INSENSIBILE AI SEGNALI DI INGRESSO OE, WE, ADDR

IN **DATA SHEET** → COSTRUTTORE IMMAGINA QUALSIASI MODO DI USARE LA RAM
LETTURA IN DATA SHEET

(RCA) SUPPONGO → SEGNALE DI CONTROLLO IN CONFIGURAZIONE DI LETTURA
 → DI NON CAMBIARE NULLA SE NON ADDR

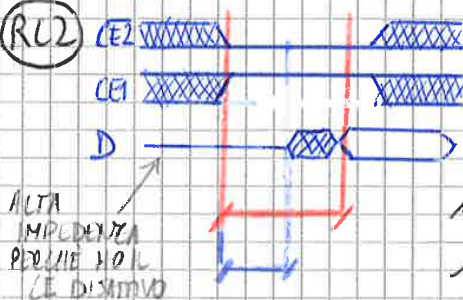
UNA VOLTA CAMBIATO ADDR DOPO t_{AA} CAMBIA IL DATO



t_{AA} → TEMPO DOPO CUI È DISPONIBILE IL DATO
 t_{OH} → QUANTO TEMPO SONO ANCORA VALIDE LE USCITE

(memoria = tabella in cui faccio sequenze che ordino come voglio)

(RLZ) → STESSA COSA, SI COMPORTANO IN MODO VECELE



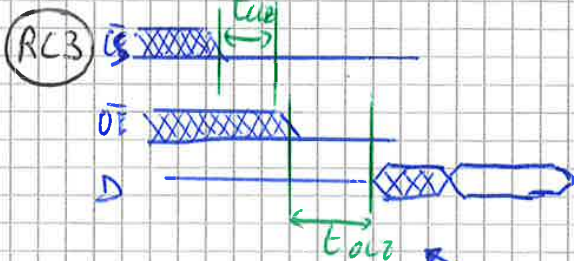
t_{ACS} → TEMPO DOPO CUI DATO VALIDO

t_{AO} → TEMPO DOPO CUI ESCE QUALCOSA DI NON VALIDO (DATI A MOZZO)

MA INTERESSA PERCHÉ IL BUS STA FACENDO DELLE COMBINAZIONI CHE

PONENDO CONSUMO DI ENERGIA DEL CIRCUITO

GENERANO DISTURBI ELETTROMAGNETICI



CS → ASSERITO RITARDO CS

DATO → OE → ASSERITO RITARDO OE

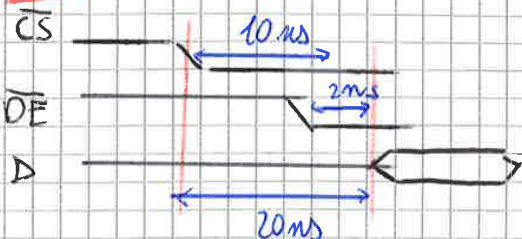
MA QUANDO? DATI 2 EVENTI TEMPORALI CHE CONDIZIONANO IL 3°

IL 3° SI VERIFICA QUANDO È PASSATO UN TEMPO PIÙ GRANDE DEL MAGGIORE DEI 2

1° METODO

- 1) MISURA TUTTI I TEMPI
- 2) TROVA L'ULTIMO EVENTO CHE CAPITA
- 3) DA LÌ DETERMINA DA QUANDO LEGGI IL DATO

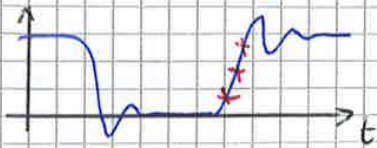
! **NON DARE MAI NIENTE PER SCONTATO!**



VINCE IL CS! DIPENDE DA QUANTO È DOPO L'ALTRO!

OE HA UN RITARDO DI PROPRIETÀ < DI CS

CLK → IN REALTÀ HA FRONTI OBLIQUI
 SEGNALE REALE (SE SONO FORNITA)



SE LA RAM TI RA FUORI DATI IN UN INTERVALLO DEL FRONTE ATTIVO
 SOV'È LA COMUTAZIONE?

dimensionato @ 330 MHz → $T_{CLK} = 3 \text{ ns}$

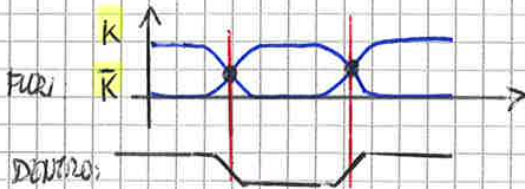
COMUTAZIONE → NO ONDA π MA \sim

@ f ELEVATA IL TRATTO PIATTO È PRESSOCHE ASSENTE

SAPERE DOV'È IL FRONTE ATTIVO DEL CLOCK X È IMPORTANTE AD ALTE VELOCITÀ

50% → FACILIO IL LOCKOUTO CON $\frac{V_{CC}}{2}$ → MA SE V_{CC} CAMBIA IL PUNTO SI SPUSTA

FACCIO UN SEGNALE DIFFERENZIALE (COME DRAM)



DEFINISCO COME ISTRANTE DI COMUTAZIONE QUELLO IN CUI I 2 K SONO UGUALI

K e \bar{K} MANDATI A **SENSE AMPLIFIER**
 (PARASSITE PIÙ BASSE)

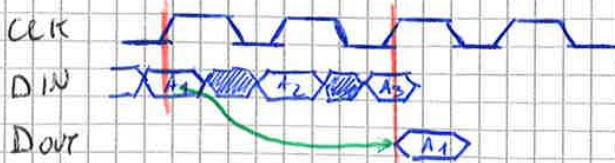
COMPARATORE IN CHIP → DÀ RIFERIMENTO TEMPORALE PRECISO

SERVE A FARE FRONTE ROBUSTI

@ f > 10 MHz → CLK IN MANIERA DIFFERENZIALE PER DEFINIRE LA TRANSIZIONE

SSRAM DATASHEET → COSTANTO CONSUMANO → CONSUMO MEDIO 700 mA
 1 CHIP → 3 W (L'ALTRIO NE CONSUMA 10 W)
 NON FATTA PER STARE IN STAND-BY (CORRENTE SIGNIFICATIVA)

TIMING : PIPELINE



LATENZA DI 2 COLPI DI CLOCK

MA SE USO TUTTI I FRONTI → THROUGHPUT = 3 ns

PIPELINE → OGNI 3 ns DATO BLOCCO SCRITTURA IN 2 COLPI DI CLK

SSRAM → VA BENE SE LEGGO DI CONTINUO! ⇒ ALTRIMENTI LA VELOCITÀ È LA METÀ
 MECCANICAMENTE → PACKAGE BGA PERCHÉ # PIEDINI ELEVATO

SE METTO WL → CANCELLO DATO

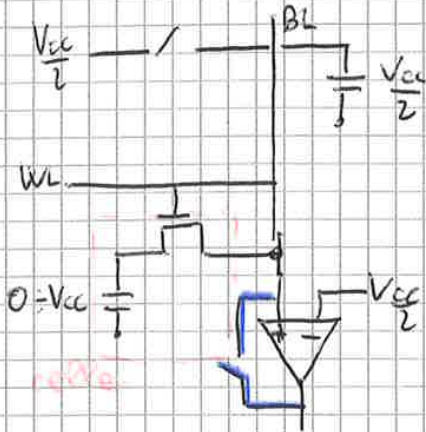
PERCHÉ $BL = \phi V$
 CONDENSATORE PRECARICO A 5 V
 SI SCARICA SULL'ALTA → LA LINEA RIMANE A ϕV
 E HO DISTURBO INFONZIONALE

PER RISOLVERE IL PROBLEMA

① PRIMA DI LEGGERE PRECARICO BL a $\frac{V_{cc}}{2}$

QUANDO HO TRANSMISSIONE DI CARICA

METTO WL → **SENSE AMPLIFIER**



SENSE AMPLIFIER (comparatore di soglia)
 V AUMENTA POCO → 1 LOGICO
 V DIMINUISCE POCO → 0 LOGICO

RESTA IN PROBLEMA → QUANDO MOTO IN COMUNICAZIONE: 2 CONDENSATORI
 SISTEMA CHIUSO → LA CARICA SI DEVE CONSERVARE

$$Q_B = C_B \frac{V_{cc}}{2} \quad \text{SU CONDENSATORE GROSSO}$$

$$Q_b = \begin{cases} C_b \cdot V_{cc} & \text{"1" LOGICO} \\ C_b \cdot 0 = 0 & \text{"0" LOGICO} \end{cases}$$

$$Q_{TOT} = Q_B + Q_b$$

↑ CARICA BITLINE
↑ CARICA DI CELLA

IL FATTO CHE SI SIA RESISTENZA DI CANALE IN MOS IN MEZZO HA EFFETTO SU COSTANTI DI TEMPO

LA CARICA PRIMA E DOPO SI DEVE CONSERVARE

A TRANSIZIONE TERMINATO SU BL CI SARÀ V INCOGNITA
 SUBITO PRIMA DI TRANSIZIONE

$$Q_{TOT}(t=0^-) = C_B \frac{V_{cc}}{2} + C_b V_{cc} \quad \text{SUPRONGO "1" SU CELLA}$$

$$Q_{TOT}(t \rightarrow \infty) = V_x (C_B + C_b)$$

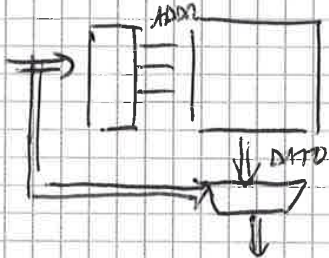
↑ TENNIVE TRANSIZIONE
↑ C IN PARALLELO

STESSA CARICA SU CELLA LINEA

PER QUESTO QUANDO SVILUPPATE

1) → DISPOSITIVO ASINCRONO

2) → DISPOSITIVO CON BUS INDIRIZZO Moltiplicato
(package costosi e tanti piedini)



DRAM CONTIENE 1 BIT → 64 kbit

$$2^6 \cdot 2^{10} = 16 \text{ BIT DI INDIRIZZO!}$$

TRAPPO COSTOSO

QUANDO MANDO INDIRIZZO

seleziono una riga e con altri 6 bit di indirizzo estraggo la colonna che mi serve

NON MI SERVE TUTTO INDIRIZZO SUBITO! 1) RIGA
2) COLONNA

PARTI < ALTA (R) ADDR → SONO UTILIZZATI IN 2 MOMENTI SUCCESSIVI!

PRIMA PARTE ALTA (R) POI PARTE BASSA (C)

USO LO STESSO BUS DI INDIRIZZI → IN 1 MOMENTO < R
< C
SERVONO DEI LATCH! → Moltiplicato e spezzato in 2

8 BIT DI INDIRIZZO AL POSTO DI 16!
COSTA MENO PACKAGE CHE COSTA MENO

BUS INDIRIZZI:

$$\text{ADDR} \sim \frac{\log_2 M}{2}$$

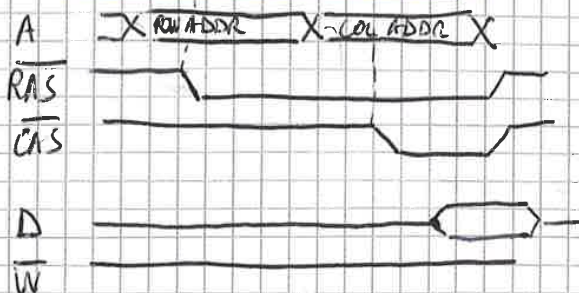
$$M = \frac{\text{BIT CONTENUTI}}{\text{DIRETTORE INDIRIZZI!}}$$

SEGNALI DI CONTROLLO:

- A BUS INDIRIZZI
- D BUS DATI
- 2 LATCH → PER MEMORIZZARE ADDR → 2 SEGNALI
 $\left. \begin{matrix} \text{ADDR} \\ \text{R} \\ \text{C} \end{matrix} \right\} \rightarrow$
 - $\overline{\text{RAS}}$ = ROW ADDRESS STROBE
 - $\overline{\text{CAS}}$ = COLUMN ADDRESS STROBE
- $\overline{\text{W}}$ SEGNALE DI SCRITTURA
- $\overline{\text{OE}}$ SEGNALE DI OUTPUT ENABLE (NON C'È IN TUTTE LE RAM)

CICLO DI LETTURA DRAM

(ORA DRAM SONO SOLO SINCRONE → QUANTO È IL CICLO BUSI RAM ASINCRONA)



ROW ADDR → DEVE ASPETTARE TEMPO DI t_{11} E_h

LATCH → ATTENDI MAX DI OUT DOPO UN CERTO TEMPO ESCONO I DATI

FINITO → RIPORTO SU PIN O MENO CONTEMPORANEAMENTE RAS, CAS

OSCILLOSCOPIO

26/10/16

FPGA → GENERA SEGNALI → LI MISURO CON OSCILLOSCOPIO

(FIN'ORA ABBIAMO VISTO SOLO SEGNALI PERIODICI PERCHÉ PIÙ SEMPLICI DA ANALIZZARE)

SEGNALI PERIODICI IN DIGITALE! TRAMME IL CLOCK
 SE SEGNALI NON PERIODICI → NON POSSONO ESSERE VISUALIZZATI CON OSCILLOSCOPIO ANALOGICO (che usa metodo basato su persistenza di occhio umano)

USO **OSCILLOSCOPIO A CAMPIONAMENTO** (≠ OSCILLOSCOPIO DIGITALE)

[ci sono oscilloscopi analogici con read out digitale → c'è un chip che scrive etichette]

IL NOSTRO OSCILLOSCOPIO È UN SISTEMA DI ACQUISIZIONE DATI



✓ POSSO VEDERE SEGNALE NON PERIODICO!
 FACCO PARTIRE IL TRIGGER CAMPIONATURE → CAMPIONA E OGNI REC METTE IN MEMORIA RAM (FA DA SISTEMA EMBEDDED)

RACCOGLIE TUTTI I CAMPIONI (→ trasformata di Fourier e in schermo veder la trasformata)

CAMPIONI PRELEVATI E SALVATI IN MEMORIA → + INFORMAZIONI
 → POSSO RIELABORARE IL SEGNALE

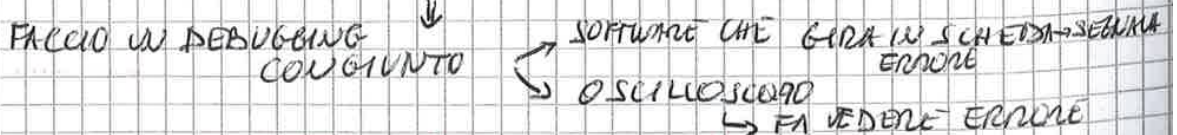
CON ACQUISIZIONE ONE-SHOT → NON HO BISOGNO DI SEGNALE PERIODICO

COSÌ HO MODO DI VEDERE ERRORI!

MAGARI HO DEI BACI, IL SISTEMA NON FUNZIONA BENE SE HO UN BACO IN SOFTWARE POSSO VEDERE L'EVENTO SBAGLIATO

OSCILLOSCOPIO USATO PER FARE IL DEBUGGING DI SISTEMA EMBEDDED

QUANDO C'È UN ERRORE, COLLEGO PIEDINO A OSCILLOSCOPIO, TRASMISSIONE ERRORE A OSCILLOSCOPIO



MA POSSO FARE IL DEBUGGING EFFICIENTE ANCHE IN HARDWARE

ES: SISTEMA È FSM DOVE MI CADEDO COME MAI IL SISTEMA FINISCE DOVE NON DEVE FINIRE

COMUNQUE IL PROBLEMA DELLE CODE CI PUÒ ESSERE

CAMPIONAMENTO
QUANTIZZAZIONE } ERRORE

SE f_s ELEVATA RISPETTA TED. NYQUIST → ERRORI INTRODOTTI SOLO TRASCURABILI

MA IN OSCILLOSCOPIO POSSO GIRARE LA MANOPOLA DELLA MIA BASE TEMPI

DA **1 s/div → 10 ms/div**

↓
CAMPIONAMENTO ELEVATO

f_s DI DSO **~ 6 Sa/s** MOLTO ELEVATA!

SE FACCO 1 s/div → 10 s tot in schermo

↓
10 GS IN MEMORIA
MEMORIA 10 GB → NOU È FATTIBILE!

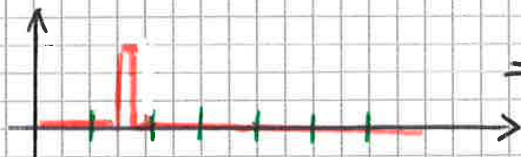
SE HO BASE TEMPI → 10 ms/div → SEGNALI VELOCI → CAMPIONO @ 1 GS/s

↓
1 s/div → SEGNALI LENTI → CAMPIONO A 10 CAMPIONI
COSTI HO MENO CAMPIONI

MA f_s DIMINUISCE

↓
SE HO LA BASE TEMPI LENTA E
HO SEGNALI VELOCI POSSO PERDERLI!

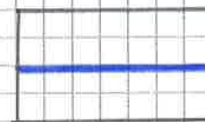
(1)



⇒ L'OSCILLOSCOPIO
NON VEDE L'IMPULSO!

↓
QUELLO CHE VEDO IN DISPLAY È

es. impulso scritto
in memoria



COME MAI LA MEMORIA NON SCRIVE? HO IL CURR DA CARICATO? NO!

STO USANDO MALE L'OSCILLOSCOPIO! SE NON LO SO USARE NON FACCO
ERRORI TRASCURABILI!

POSSO CORRERE IL RISCHIO DI SOTTOCAMPIONARE ⇒ DEVO AVERE
 f_s PIÙ ALTA!

SE SCHIACCIO AUTO → VEDO COSE SBAGLIATE!

SEGNALI CHE VEDO → SOLO TIPICI SEGNALI DIGITALI! **✗ TASTO AUTO! NON POSSO
USARLO!**

COME SI USA OSCILLOSCOPIO DIGITALE → voglio vedere segnale di 3 V

(1) SELEZIONO CANALE @ 1 V/div (QUADRANTO)

(2) SELEZIONO BASE TEMPI → ciclo lettura/scrittura @ 100 ns
metto base tempi @ 5 ns/div

! IL SET UP DI OSCILLOSCOPIO VA FATTO PRIMA DI ATTACCARE
IL SEGNALE!

SAMPLE SYSTEM

UNICA COSA VERA → PUNTI ⇒ NELLA MODALITÀ VECTOR ↗
UNISI CON RIGHE
FAR INTERPOLAZIONE
CON $\frac{\sin x}{x}$



MA NON CAMBIA LA MISURA! È SOLO UN ARTIFICIO GRAFICO!

! NON POSSO DIRE NULLA SE STO SOTTOCAMPIONANDO!

$f_{max} = 1 \text{ Gsa/s} \Rightarrow$ SE VIOLIO TEOREMA DI NYQUIST
ALIASING

HO PRESO TROPPI POCCHI PUNTI!
CAMBIO LA BASE TEMPI!

PER SAPERE SE STO SOTTOCAMPIONANDO → CAMBIO LA BASE TEMPI!

PERCHÉ CAMBIANDO LA BASE TEMPI CAMBIO LA FREQUENZA

FACCO UNO SCATTO DI BASE TEMPI

SE LA FORMA VISUALIZZATA NON CAMBIA → OK! ✓
SENNO' HO SOTTOCAMPIONATO!

TRIGGER → CAMPIONO SEMPRE E SALVO I DATI IN MEMORIA
INDIPENDENTEMENTE DA EVENTO DI TRIGGER (BUFFER CIRCOLARE)

↓
POSSO GUARDARE < AVANTI
INDIETRO IN TEMPO!

POSSO FARE IL DEBUGGING E POSSO CERCARE LA FORMA
DELL'ERRORE!

(metto sonde in segnali sospetti
aggiungo segnale di errore
vedo come sono i segnali sospetti)

! È IMPORTANTE USARE IL TRIGGER IN MODO CORRETTO!

- MODALITÀ NORMAL → ACQUISIZIONE SEGNALE SOLO SE C'È TRIGGER

- COUPLING AC/DC

- HOLD OFF

- NOISE REJECTION → FILTRO ANTIRIFLESSO

- USCITA DI TRIGGER → SI AGITA QUANDO C'È EVENTO DI TRIGGER

COSÌ OSCILLOSCOPIO PUÒ
AVERE INTERAZIONE BIDIREZIONALE COL CIRCUITO

↓
RIMANDO USCITA DI TRIGGER AL CIRCUITO PER FARGLI FARE COSE!

DATA SHEET SDR SDRAM [1999 → ANCORA USATO]

FUNZIONAMENTO → CONFORME A STANDARD PC DI 100 MHz (PC100) - 133 MHz

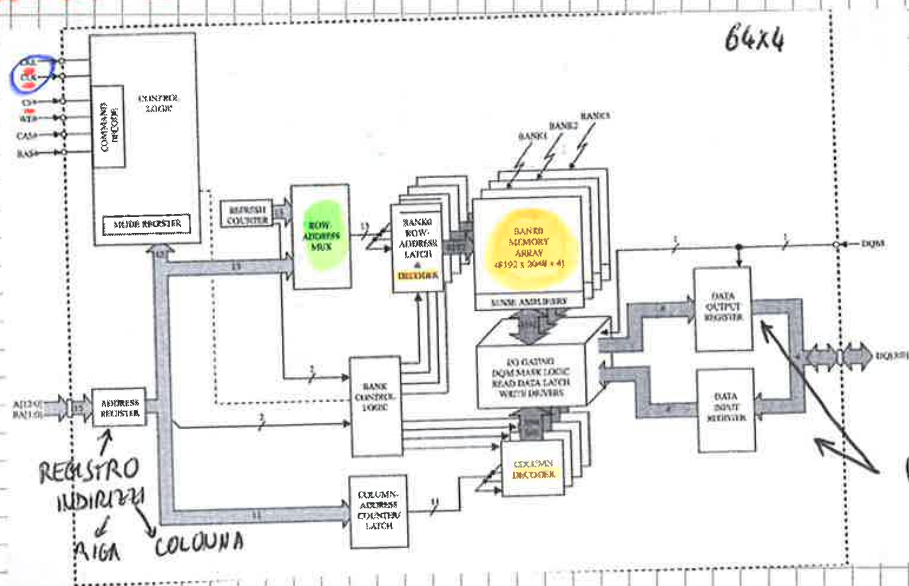
↙ CAMPO DI LAVORO SINCRONO → C'È PIPELINE INTERNA

REFRESH → 8192 RIGHE √64 ms [AMBITO COMMERCIALE INDUSTRIALE]

[AMBITO AUTOMOTIVE - 77T ⇒ √16 ms PERCHÉ C SI SCARICA PIÙ]

Val = 3.3 V

ARCHITETTURA INTERNA (256 Mbit) < 64x4 } DIPENDE DA CARATTERISTICHE
 < 32x8



CS# ⇒ CS
 CLK } SEGNALE AGGIUNTO RISPETTO A DRAM ASINCRONO
 CS

CLK CLK

CLK GENERA RIFERIMENTO TEMPORALE, MA QUANDO CI SONO TANTI CHIP, ALCUNI POSSONO NON ESSERE USATI, ALLORA PER RISPARMIARE SU QUESTI TOLGO IL CLOCK (PER POCCHI INTERVALLI DI TEMPO PERCHÉ DEVO SEMPRE FARE) IL REFRESH



VCHIP DI RAM DOVREI METTERE 1 GATE
 ↓
 SONO TUTTI ≠ PER FABBRICAZIONE E INTRODUCONO ERRORE SUL TIMING PERCHÉ NON CONOSCO IL DELAY DEL GATE
 ↓
 NON LO DEVO FARE IO LO METTE IL COSTRUTTORE

MUX → PERCHÉ DEVO FARE IL REFRESH INFATTI ALL'INTERNO DI DRAM HO UN CONTATORE DI REFRESH

SE → STO FACENDO REFRESH → PRENDO IN DIRIZZO DI RIGA DA CONTATORE

↘ NO REFRESH → PRENDO INDIRIZZO RIGA DA ESTERNO

(AUTOMATICAMENTE QUANDO RINFRESCO UNA RIGA RINFRESCO ANCHE QUELLA DOPO!)

PARAMETRI:

- MEMORIA 100 MHz → POSSO PENSARE CHE COMETTA 10 ns A TIRARE FUORI IL DATO... NO!

DATO CHE HO INTRODOTTO PIPELINING! SO SOLO CHE SE LA PIPELINE È PIENA ALLORA CI METTO 10 ns, SENNO' DIPENDE DALLA LATENZA IN QUESTO CASO SPECIFICO → METTO CLK SU CRITICAL PATH (DATASHEET)

LA LATENZA NON DIMINUISCE MA AL MASSIMO AUMENTA PER IL RITARDO DI PROPAGAZIONE

VFF DEVO ASPETTARE ALMENO $t_s + t_{prop}$

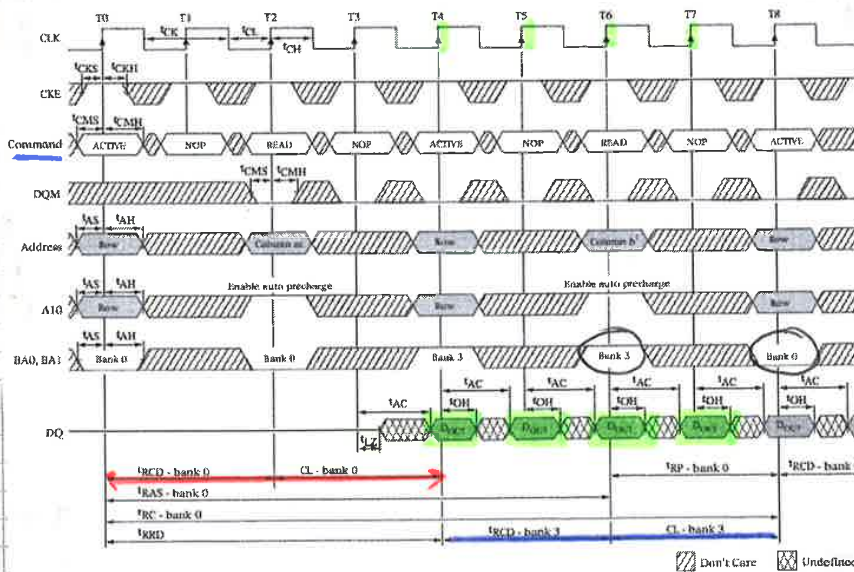
- ACCESS TIME FROM CLK → 5.4 ns → SOLO SE DATO È SU BUFFER DI OUT DELLA RAM!

VERI PARAMETRI

- ACTIVE-TO-ACTIVE COMMAND PERIOD (ERC) → MASSIMA VELOCITÀ CON CUI ACCEDO ALLE RIGHE DATO DAL TEMPO PER PASSARE DA UN DATO ALL'ALTRO (PASSO DA MOMENTO IN CUI LEGGO RIGA A QUELLO IN CUI LEGGO UN'ALTRA RIGA SU STESSO BANCO)

ERC = 60 ns

TIMING DIAGRAM (LETTURA IN 2 BANCHI)



- RAM FA ACCESSO DOPO 4 COLPI DI CLK → 2 CLK RIGA → 2 CLK COLONNA } BANCO 0
- SE CAMBIO BANCO → 3 → ALTRI 4 COLPI DI CLK (ROW + COL)

SOLO ALTERNANDO I BANCHI PUESCO AD AVERE UN DATO OGNI COLPO DI CLOCK!

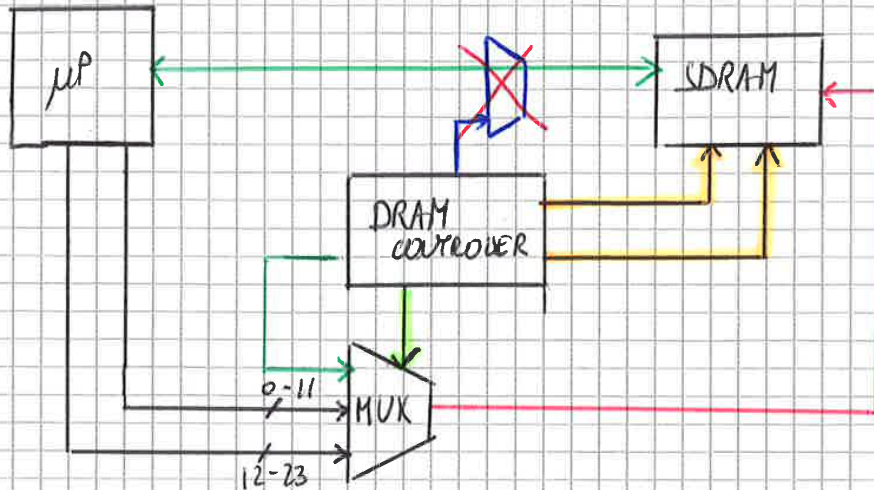
MA LA LATENZA È GRANDE → 4 COLPI DI CLOCK!

LEGGE 100 MWord/s SE PUESCO A LEGGERE DA BANCHI DIVERSI!

SE LEGGO QUALCHE RIGA DA UN BANCO POI QUALCHE RIGA DA ALTRO → RITARDO! A NOI NON INTERESSA T DI PICCOLO MA LA DISTRIBUZIONE STATISTICA

MODE REGISTER → È UN REGISTRO CHE VA PROGRAMMATO 1 VOLTA SOLA QUANDO ACCENDO LA RAM

! I DATI SCRITTI NON SONO PRESI DAL BUS DATI MA DAL BUS INDIRIZZI! QUANDO CI SCRIVO DEVO METTERE IL BIT SUL BUS INDIRIZZI! PER UN PROBLEMA REALIZZATIVO!



DRAM CONTROLLER → PILOTA SEGNALI DI CONTROLLO RAM

TRASFORMA INDIRIZZO MP (es 24 BIT) LINEARE IN UN INDIRIZZO DIMENSIONATO

MANDANDO A MUX CONTROLLO SE RIGA O COLONNA (BUS MULTIPLEXATO)

IDEA → BIT DATI CONNESSO DIRETTAMENTE TRA MP E SDRAM POSSO SUPPORRE CHE DATI DEL MODE REGISTER VENGANO DA BUS DATI (NON LO FA MP MA IL DRAM CONTROLLER)

MA FINCHÉ LA MEMORIA NON È INIZIALIZZATA NON VA!

ALLORA DOVREI AVERE MUX PER CUI DATI VENGONO DA MP & DRAM CONTROLLER

DEVE ESSERE TRUSTATE PERCHÉ BUFFER È BIDIREZIONALE!

MA INTRODUCO COMPLESSITÀ FUNZIONALE NOTEVOLE! INOLTRE METTO UN MUX PER UNA COSA CHE FACERO UNA SOLA VOLTA! 100!

IN BUS INDIRIZZI → HO GIÀ UN MUX → LO FACIO A 3 INGRESSI! IL 3° DATO VIENE PER IL MODE REGISTER

COMPLICATO RELATIVAMENTE L'HW MA RISPARMIO NOTEVOLMENTE!

(COST NON HO TRUSTATE! NON DEVO FARE LA COSA PERFETTA MA QUELLA MENO COSTOSA!)

SEQUENZA DI INIZIALIZZAZIONE → COMPLICATA! PERCHÉ ALIMENTAZIONE

CONTIENE IL CIRCUITO DI ALIMENTAZIONE DI TENSIONI PER
PRECARICA, ECC...
E FUNZIONA SE E SOLO SE LA PARTE DI TENSIONI RICHIESE
ANALOGICAMENTE SONO AI LORO VALORI NOMINALI

CRITICA! SE NON È GIUSTA È UN DRAMMA! PERCHÉ SE LA SBAGLIO
LA RAM FUNZIONA MA OGNI TANTO LEGGE UN BIT
SBAGLIATO! È PEGGIO RISpetto A CHE NON FUNZIONI!

FAI BENE L'INIZIALIZZAZIONE!

ES. SEQUENZA DI ALIMENTAZIONE: (ED È UNO SEMPLICE...)

- 1) ALIMENTO V_{dd1} & V_{ddp}
- 2) METTO A ϕ IL CLK-EN FINO A CHE TUTTI IN/OUT NON SONO A ϕ
NON ATTIVANO PRIMA PERCHÉ NON SA CHE SUCCEDERÀ!
- 3) DO' UN SEGNALE STABILE DI CLK → PERCHÉ OSCILLATORE PARTE DA ϕ
E OSCILLA A CAUSA DI RUMORE
POI RETROAZ. NEGATIVA
↳ SODDISFO BRUCHHAUSEN → OSCILLAZIONE!

FINO A CHE OSCILLAZIONE NON È A REGIME NON MANDANO A RAM!

- 4) ASPETTO ALMENO 100 μ s → PERCHÉ DRIVER A POMPA DI CARICA
DEVONO OPERARE V OPPORTUNA
- 5) NEI 100 μ s ATTIVO CLK-EN → DO' UNO O PIÙ COMMAND INIBIT (TUTTI UGUALI
A "1")
- 6) PRECHARGE ML → CARICA TUTTI I BANKS
- 7) ASPETTO MIGNOLA
- 8) MANDO ROTOREFRESH
- 9) ASPETTO
- 10) MANDO REFRESH
- 11) ASPETTO
- 12) DEVO METTERE PRIMA LA CONFIGURAZ. DEL MODE REGISTER
- 13) ASPETTO

ORA LA RAM È PRONTA!

IL DRAM CONTROLLER DEVE FARE TUTTE QUESTE OPERAZIONI → POD' AVERE RESET ASINCRONO!

QUANDO FINO SU Val È REZETTATO E IN MODO
ASINCRONO SETTA PARAMETRI
POI QUANDO CLK È OK POSSO FARE UNA SEQUENZA SINCRONA!

~~NON~~ SEMPRE IL CLOCK! QUANDO ACCENDO NON C'È NULLA!

NON TUTTI I BLOCCHI CHE PROGETTO DEVONO AVERE RESET
ASINCRONO! COSTI QUANDO DO' VALORI A I SEGNALE
QUESTI PARTONO DA UNO STATO NOTO

DATASHEET DDR3 SDRAM [2006] - 2 GBIT

CAMBIA IL TIMING CYCLE → 1.7 ns → $f_{clk} = 1 \text{ GHz}$

MA CAS LATENCY 13 ns @ 1.07 ns

(cfr SDR SDRAM → 10 ns)

NON È CAMBIATA LA VELOCITÀ
VA BENE SOLO SE IL SISTEMA È VELOCE!

SENNO' RITARDI COMBINATORIO!

FUNZIONA @ 800 MHz MA FA 1600 MWord/s (MARKETING)

HO UNA PIPELINE CON PIÙ STADI → SE PIENA HA PIÙ BANDA
MA SE NON È PIENA → PIÙ STADI VI SONO E PEGGIO È!
CON PIPELINE LUNGA LA PROBABILITÀ DI AVERLA PIENA È POCOA!

@ f_{CLK} È BLOCCA? DIPENDE! ?

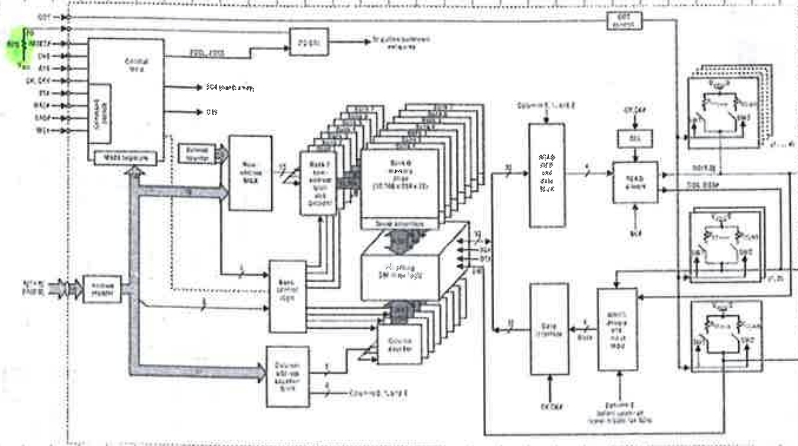
TEMPO DI ACCESSO COMPLESSIVO → 13 ns ⇒ CONTRO 6 ns DI SDR

⇒ PER QUELLO SI USA DI PIÙ SDR SDRAM → PERCHÉ SE NON LA SFRUTTO AL MASSIMO È PEGGIO, DDR SDRAM NON SOLO TIPICHE DI SISTEMA EMBEDDED

SDR SDRAM HA PRESTAZIONI MIGLIORI SE NON RIEMPI LA PIPELINE!
39 COLPICI CLK · 1.07 ns ~ 50 ns → POCO MENO DI 60 ns di SDR IDENT!

DIAGRAMMA DEGLI STATI → COMPLICATO!

STRUTTURA INTERNA → NO DIFFERENZA SIGNIFICATIVA DA SDR SDRAM



8 BANCHI AL POSTO CHE 4
↓
COSÌ È PIÙ PROBABILE TENERE LA PIPELINE PIENA

DRIVER CON IMPEDENZA CONTROLLATA

IDEE: #BANCHI = #RIGHE
MA COSTA TROPPO

! IL CLK È DIFFERENZIALE! (MEGLIO) COME SDRAM

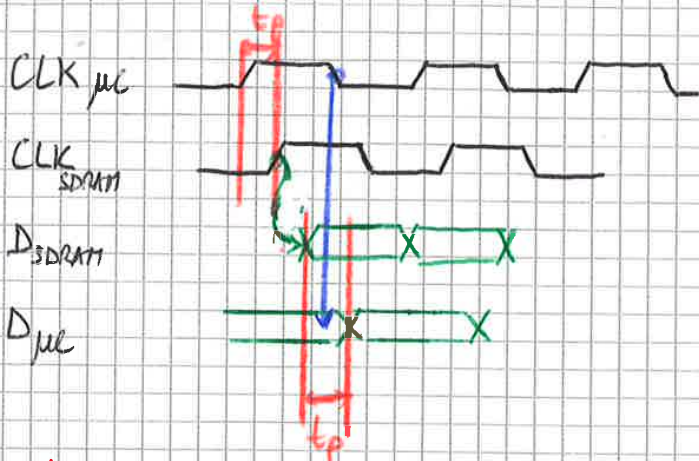
PROBLEMA : COSA SUCCEDERE? COME LEGGERE?

(IN NEXTA UN DIFFERENZIALE, ce ne darebbero essere 2)



DDR3 → MANDA SEGNALE DA DATI AGGANCIATI AL CLK

MANDA DATI ALLINEATI ALLA SUA IDEA DI CLK CHE È ≠ DA CLK DI µC!



DOPO STESSO RITARDO t_p IL DATO SARA RICEVUTO

• CAMPIONO IL DATO SBAGLIATO!

! IL SISTEMA È ISOFREQUENZIALE MA CON UNA RELAZIONE DI FASE IGNOTA POSSO SBAGLIARE A CAMPIONARE! È IMPOSSIBILE NON SBAGLIARE!

COME FACCO A SAPERE QUANDO SETTARE IL RITARDO? TRUCCO

RAM MANDA IL DATO, MA ANCHE IL "CLOCK" CON CUI CAMPIONARLO! (IN REALTÀ UNO STROBE)

- DQS → CON CUI µC CAMPIONA CON IL SEGNALE CHE LA RAM MI DA

! OK! COSÌ LEGGO GIUSTO INDIPENDENTEMENTE DA LUNGHEZZA LINEA!

QUANDO EFFETTUO LETTURA STROBE DICE QUANDO IL DATO È BUONO, QUANDO CAMPIONARLO

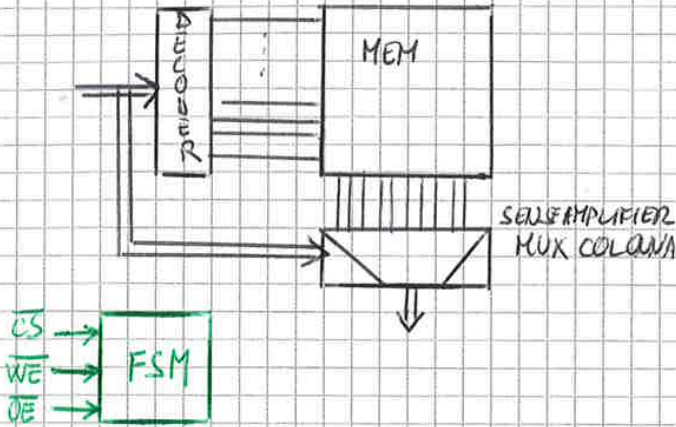
IN NEXTA GENERA UN CLOCK SPOSTATO PER ESSERE SINCRONO CON I DATI DA CAMPIONARE

COMPLICA MOLTO IL SISTEMA

(? RESISTENZA)

FLASH → HA TEMPI DI LETTURA 10 ÷ 100 ns - LETTURA VELOCE
 → SCRITTURA PIÙ LENTA ~ μs - SCRITTURA LENTA
 → CANCELLAZIONE DI BLOCCO ~ ms !

INOLTRE IN FLASH SE LA CELLA È GIÀ SCRITTA DEVO CANCELLARE IL BLOCCO E POI RISCRIVERLO
 PER SCRITTURA COME USO GLI STESSI FILI?



MA GESTIONE SCRITTURA È FATTA CON MACCHINA A STATI CHE È DENTRO LA MEMORIA
 ↓
 I SEGNALI CS, WE NON SONO INVIATI ALL'ARRAY PER FARE SCRITTURA, NON PARLO CON LA FLASH MA CON LA CONTROL UNIT E LE DICO COSA VOGLIO CHE FACCI!
 SCRITTURA IN BUS DATA!
 NON SCRIVO IN ARRAY MEMORIA MA DICO ALLA CONTROL UNIT "CANCELLA IL BLOCCO X" POI UNITÀ DI CONTROLLO PER CERTI MS SARÀ IMPEGNATA A FARE ALTRO!

! NB LETTURA → PARLO DIRETTAMENTE CON ARRAY
 # SCRITTURA → SU BUS, PARLO CON CU A CUI DO' LE ISTRUZIONI E LA CU CHE SI OCCUPA DI COMPLESSITÀ (accendi V elevate per e², ecc.)

DATO CHE { SCRITTURA CANCELLAZIONE } CASUALI → CU ATTIVA V PER 1 μs
 GUARDA: È PROGRAMMATO?
 ASPETTO PER 1 MICRO MS IN LOOP FINO A CHE LA CELLA NON È PROGRAMMATA
 ↓
 SE NON È PROGRAMMATA DOPO TOT → MANDO ERRORE (SE FACCO TANTE SCRITTURE → DANNEGGIO IL RETICOLO CRISTALLINO)

TEMPO PER PROGRAMMARE CELLA → DIPENDE DA FINE LOOP
 ↓
 NON SOLO DEVO SCRIVERE IN FSM MA DEVO ANCHE LEGGERE OPERAZIONE DI STATO CHE MI DICE SE L'OPERAZIONE È ANDATA A BUON FINE OPPURE NO
 ↓
 COMUNICAZIONE BIDIREZIONALE DOVE FSM INTERVIENE IN SCRITTURA

QUESTO TIPO DI MEMORIA → CHIAMATA **NOR-FLASH** PERCHÉ È COME STRUTTURA WIPED-OR (SEMBRA UNA PORTA NOR) [CI SONO ANCHE LE NAND FLASH]

MEMORIA → DIVISA IN BLOCCHI

- WORD → ELEMENTO ELEMENTARE CHE PUÒ ESSERE SCRITTO
- BLOCCO → MINIMO ELEMENTO CHE PUÒ ESSERE CANCELLATO

↓

POSSO SCRIVERE UNA VOLTA SOLA PER RISCRIVERE 1 WORD DEVO PRIMA CANCELLARE IL BLOCCO

hp: televisore → si accende su ultimo canale selezionato

↓

ogni volta che cambio canale scrivo l'ultimo canale sulla flash

Ma come faccio operazione? Se devo scrivere due volte la stessa variabile

la scrivo una volta voglio riscriverla prendo il contenuto del blocco lo copio in RAM riscrivo il contenuto del blocco in flash

SONO MEMORIE MOSTLY READ SCRITTURA COMPLESSA

128 KBYTE 64 KWORD PUÒ AVERE 2 PARALLELISMI ^{or} BYTE ^{or} WORD

PACKAGE → PIN A FIANCO
BGA → VA PER LA MAGGIORE

TEMPI → ACCESSO → LETTURA → ns
SCRITTURA → μs
CANCELLAZIONE → ms

FLASH @ 1 GHz!

NOTA: CONOSCERE ORDINI DI GRANDEZZA PER SAPERE SE OGGETTO PUÒ ESSERE USATO O MENO IN UNA CERTA f !

CICLO DI LETTURA FLASH (STESSO FLUSSO DI STATI)

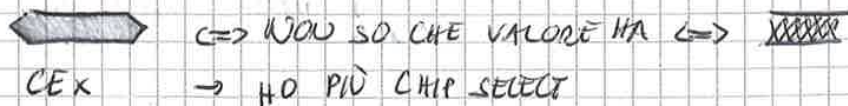


C'È SOLO UNA DIFFERENZA

È IL RESET MA NON È IL RESET DI MEMORIA MA QUELLO DELLA MACCHINA A STATI CHE DEVE AVERE UN RESET ASINCRONO

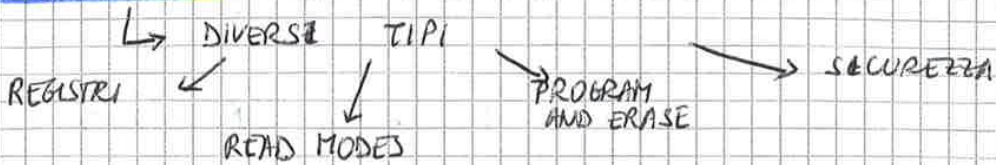
VA TOLTO PRIMA DI FARE LETTURA [IL DATASHEET È A "PROVA DI STUPIDO" PERCHÉ DA ESSO DEVO CAPIRE COME FUNZIONA]

NOTAZIONE



ANCHE FLASH POSSONO FARE IL PAGE READ PERCHÉ DA RIGA POSSO TIRARE FUORI PIÙ WORD → LA RIGA È GIÀ NEL BUFFER È UGUALE A SRAM → È ASINCRONA

TABELLA COMANDI CHE LA MEMORIA ACCETTA



• PROGRAM AND ERASE → BLOCK ERASE → DEVO SCRIVERE A INDIRIZZO DEL BLOCCO (0020h)
 POI DEVO RISCRIVERE 0000h
 (0000h È IL COMPLEMENTO DI 0020h)
 1101 0010
 PERCHÉ DEVO ESSERE CERTA DI VOLER CANCELLARE

PROGRAM/ERASE ← SUSPEND → MI SONO DIMENTICATA UN BLOCCO
RESUME ← RILEGGO UN DATO (DA UN ALTRO BLOCCO E DA QUELLO CHE STO CANCELLANDO) E POI RIPRENDO LA CANCELLAZIONE QUESTO PERCHÉ SONO OPERAZIONI MOLTO LUNGHE

• READ MODES → QUANDO LA FLASH VIENE RESETTATA → LEGGO ARRAY
 È POSSIBILE DIRE A FLASH DI LEGGERE NON ARRAY MA INDIRIZZO DI STATO DALLO STATUS REGISTER DELLA FSM

READ STATUS REGISTER → A COSA SERVE? QUANDO LAUICIO UNA CANCELLAZIONE (CHE PUÒ DURARE ANCHE FINO A 2s) LEGGO LO STATUS REGISTER PER VEDERE QUANDO HO FINITO LA CANCELLAZIONE

DOPO LO STATUS REG → SE VOGLIO RILEGGERE IL CONTENUTO DELLA MEMORIA FLASH?

RESETTO → READ ARRAY

IL CODICE CAMBIA IN FUNZIONE DEL MODELLO DI FLASH

SE VOGLIO CAMBIARE IL CHIP DI FLASH DEVO CAMBIARE IL CODICE? I COSTRUTTORI DI MEMORIE FLASH METTONO ISTRUZIONI COMUNI IN TUTTO IL MONDO (NELL'INSTRUCTION SET)

READ IDENTIFIER CODES (SU BUS 003Ch)

MA SE ESCE MODELLO NUOVO E NON HO ALGORITMO NUOVO

CFI (COMMON FLASH INTERFACE) QUERY → LE FLASH POSSONO ESSERE TUTTE ≠ MA SE MI SCRITTURA DEL CODICE 00B9h LA FLASH CONTIENE AL SUO INTERNO UN ESTRATTO DEL DATASHEET, VEDO I PARAMETRI CHE VARIANO DA UNA FLASH ALL'ALTRA

LEGGO IL DATASHEET COSÌ SO COME PROGRAMMARELA IN QUESTO MODO IL SOFTWARE SARÀ COMPATIBILE CON TUTTE LE FLASH CHE SONO COMPATIBILI CON CFI

INTRODUCTION TO FLASH MEMORY

CONFRONTO NOR-NANDS → NOR FLASH → NO GRANDE SVILUPPO IN FUTURO
 X PROBLEMA → DENSITÀ → È MOLTO MENO DENSITÀ DI NAND FLASH (SI METTONO FUORI DA μC)

CARATTERISTICHE FLASH:

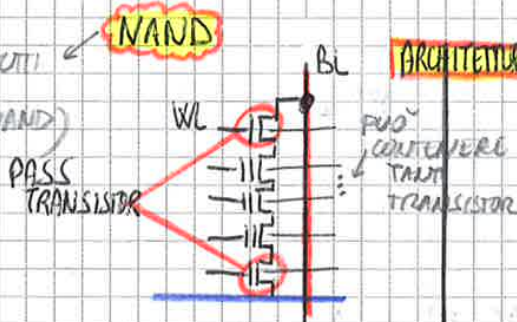
- CANCELLAZIONE PER EFFETTO TUNNEL
- QUANDO CANCELLO UN BLOCCO → CI SCRIVO "1" LOGICO (BIT → 1 BYTES → FFh)
 PROGRAMMO UN BLOCCO → CI SCRIVO "0" LOGICO
- PIÙ PICCOLA ENTITÀ → 1 BIT CHE PUÒ ESSERE PROGRAMMATA
 IN SISTEMI REALI DAL PUNTO DI VISTA PRATICO PUÒ ESSERE UN PROBLEMA AVERE BIT CON "ETÀ" DIVERSA NELLA STESSA PAROLA, MEGLIO PROGRAMMARE L'INTERA PAROLA

- NAND → NO ACCESSO CASUALE
 FLASH

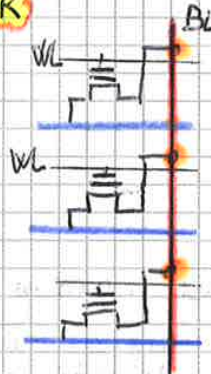
NON C'È IL BUS INDIRIZZI →

MECCANISMO SHADOWING
 PRENDO CONTENUTO, SBATTO IN RAM E LO FACCIAMO L1 E POI RITORNA A FLASH

TRANSISTOR TUTTI IN SERIE (COME UNA NAND) CMOS



ARCHITETTURA NOR



LAYOUT



OGNI TRANSISTORE HA 4 CONTATTO DI SOURCE E DI DRAIN

DEVO COLLEGARE TRANSISTOR AL RESTO DEL CIRCUITO

IL PROBLEMA NON SONO GLI ELEMENTI ATTIVI, CONTANO LE INTERCONNESSIONI

IL SOURCE DI UN TRANSISTOR CONNOSCE COL DRAIN DI ALTRO

HO SEMPRE 1 TRANSISTOR PER CELLA MA NON HO CONTATTI AREA EFFETTIVA È MENO DI META'

DIMENSIONI

$$4F^2$$

$$10F^2$$

$F^2 =$ COSTANTE RILATIVE ALLE DUE DI TECNOLOGIA

! < COSTO, > DENSITÀ

NAND FLASH VS NOR FLASH

- + VELOCI IN SCRITTURA (PRIMA ERAVO PIU VELOCI LE NOR)
- + VELOCI IN CANCELLAZ.
- POSSO LEGGERE/SCRIVERE PAGINE MA NON SINGOLE WORDS E NO ACCESSO CASUALE
- GRANDE LATENZA MA IN LETTURA PAGINA LATENZA E TRASCURABILE RISPETTO A BANDA

NON SI USA PER MEMORIA CODICE (PER QUELLA SI USA NOR FLASH) SI USA PER MULTIMEDIA ECC... (DATI, FILE, IMMAGINI) MA NON DEVO ESAGERARE CON # ACCESSI

> DENSITA', < COSTO A PARI DENSITA'

TEMPI → LETTURA → 1° ACCESSO: 25 μs (VS 0.12 μs NOR) MA POI ALTRI ACCESSI + VELOCE DI NOR FLASH

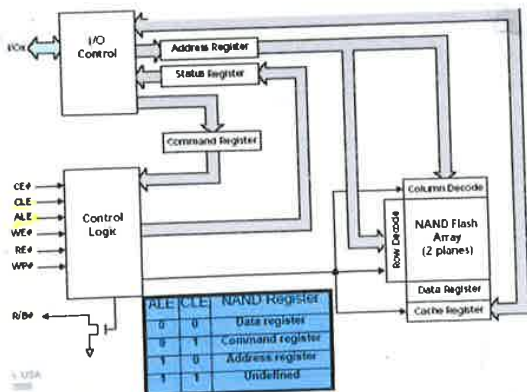
LEGGO DI CONTINUO TUTTA LA MEMORIA E PIU VELOCE NAND SE POSSO SCRIVERE TUTTE LE PAGINE 5 MB/S VS 180 KB/S (NOR) CE PIU DI UN ORDINE DI GRANDEZZA → SCRITTURA/CANCELLAZIONE → PIU VELOCE!

INTERFACCIA → MENO PIN IN NAND 23 PIN < 41 PIN (NOR)

(IN NOR HO WP → WRITE PROTECTION → SETTO IL SEGNALE A φ BLOCCO OGNI SEGNALE DI SCRITTURA PROTEZIONE AGGIUNTIVA)

→ IL # PIN NON DIPENDE DA DIMENSIONE!
 CE, WE, RE, CLE, ALE, WP -- TANTI NE PER MOTIVI MECCANICI SEGNALI VERI SONO POUCH

SCHEMA A BLOCCHI

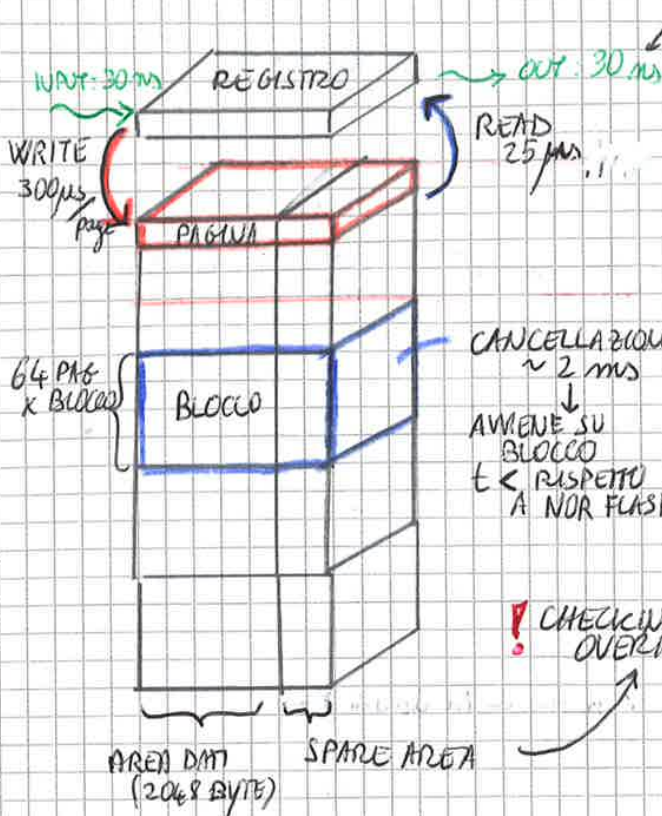


I/O CONTROL ← BUS DATI STATI INDIRIZZI } PER SAPERE COSA STA FACENDO 2 SEGNALI

ALE = ADDRESS LATCH ENABLE
 SE 1 E CE=0 ALLORA INDIRIZZO

CLE = CONTROL LATCH ENABLE
 SE 1 E ALE φ ALLORA CONTROL

SE ENTRAMBI → φ → DATO
 ↓ → NON DEFINITO



CLK → REGISTRO CHE CONTIENE LA COPIA DELLA PAGINA CHE VOGLIO ELABORARE

PAGINA: 2k, 4k, 8k → CONTIENE PARECCHI DATI

DISPOSITIVO CON 2 Gbit DIVISI IN 4 BLOCCHI OGNUNO DA 64 PAGINE

OGNI PAGINA AL POSTO DI 2048 PAGINE HA **212**

CI SONO BYTE IN PIÙ PERCHÉ PROBABILITÀ DI ERRORE È >

! CHECKING AUTOMATICO DELL'ERRORE → AGGIUNGO OVERHEAD: 64 BYTES → SERVONO PER CORREZIONI DI ERRORI O CONTATORI DI INVECCHIAMENTO O SIMILI

FLASH NON SA NULLA DELL'UTILIZZO / DEL MOTIVO PER CUI CI SONO QUEI 64 BYTE

SO SOLO IO COME UTILIZZARLI!

PER 1 ACCESSO A MEMORIA → 5 BYTE DI INDIRIZZO → POI MANDO IL COMANDO CHE MI INTERESSA (OGNI COMANDO HA 2 CICLI; -MANDO 1° CICLO COMANDO -MANDO 5 BYTE ADDR -MANDO 2° CICLO COMANDO)

DATI SONO CAMPIONATI DAL FRONT-DESK DEL WFE CHE FA DA STROBE

QUANDO LEGGO → USO COME STROBE IL READ ENABLE

R_B → READY / BUSY → MI DICE SE LA FLASH È PRONTA OPPURE NO → QUANDO LA FLASH RICEVE COMANDO DI LETTURA IMPIEGA TEMPO

DEVO DIRE A MEMORIA QUANDO IL REGISTRO È PRONTO

QUANDO LA FLASH HA TERMINATO DI TRASFERIRE PAGINA DA REGISTRO A MEMORIA

R_B CAMBIA ⇒ CON CUI POSSO CARICARE DATI DALLA FLASH

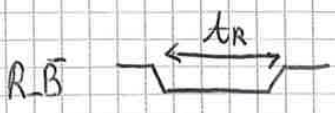
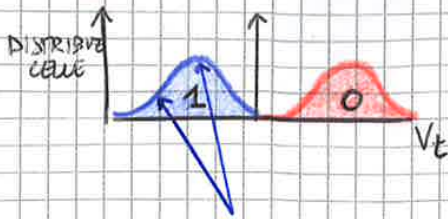


GRAFICO TIMING → PUÒ ESSERE FUORI SCALA

SAREBBE STUPIDO BLOCCARE IL MP FINO A CHE IL DATO NON È PRONTO MP FA QUELLO CHE DEVE POI È INTERRUPTO DA UN INTERRUPT PER CUI TRASFERISCE IL DATO (SIMILE A DMA CONTROLLER)

SINGLE-LEVEL CELL (SLC) VS MULTI-LEVEL CELL (MLC)

• **SLC** = SINGLE-LEVEL CELL



TENSIONE DI SOGLIA NEI 2 POSSIBILI STATI

BUTTO e^0 IN FLOATING GATE

CELLA PROGRAMMATA / CANCELLATA → È IN PROCESSO STATISTICO!

IL GATE NON È SEMPRE ALLA STESSA TENSIONE DI SOGLIA!

CI SONO CELLE CHE HANNO V_t PIÙ ALTA O BASSA

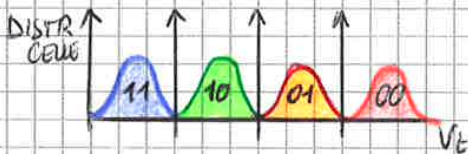
MA UNA DISTRIBUZIONE GAUSSIANA

PER AVERE UNA FLASH AFFIDABILE → 1/0 NON DOVREBBERO MAI ESSERE SOVRAPPORTE

MA HO SISTEMI REALI → HO CODE E LA MAGGIOR PARTE È APPROSSIMABILE

CELLA → CANCELLATA → SI ATTIVA 1
 → NON CANCELLATA → NON SI ATTIVA 0

• **MLC** = MULTIPLE LEVEL CELL → METTO 4 VALORI IDEALI DELLA TENSIONE DI SOGLIA



11 → CANCELLAZ. TOTALE
 10 → PROGRAMMATA UN PO'
 01 → PROGRAMMATA UN PO' DI PIÙ
 00 → DEL TUTTO PROGRAMMATA

TRANSISTOR È IN UNO QUALUNQUE DEI GRUPPI

LEGGO UN' INFORMAZIONE CHE DICE QUANTO È CANCELLATA

SENZA FARE NULLA HO RADDOPPIATO LA CAPACITÀ DELLA FLASH!

HO DIMINUITO IL COSTO DEI BIT! (2 BIT PER CELLA!)

(È IN COMMERCIO MLC A 3BIT PER CELLA!)

SLC	MLC
-----	-----

RELATIVAMENTE SEMPLICI
 ✓ > PERFORMANCE
 USATE → IN MEDIA CARDS DOVE MI INTERESSA VELOCITÀ E AFFIDABILITÀ
 → NEI CELLULARI → IN "SECURE DIGITAL" CIOÈ IN PARTE DI CODICE ESEGUIBILE
 → PER AFFIDABILITÀ (SENZA "SECURE DIGITAL" IL CELLULARE NON FUNZIONA)

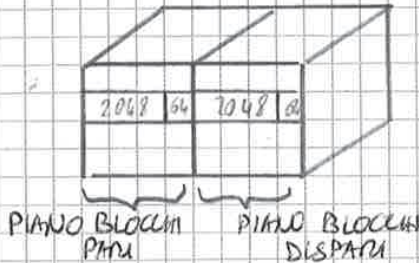
✓ FLASH CON MIGLIORI CARATTERISTICHE COSTO/BIT
 ✗ MA SONO PIÙ SOGGETTE A ERRORI
 → DEVO DISTINGUERE L'UMORE NON PIÙ TRA 2 INTERVALLI (BIANCO-NERO) MA TRA 4 INTERVALLI
 → IL MARGINE DI ERRORE È DIMINUITO! (DEVO FARE ATTEZIONE A NERO, GRIGIO CHIARO, GRIGIO SCURO, BIANCO)
 → AFFIDABILITÀ < LENTA
 IN-CELLULARI MA PER STORAGE FOTO, NO PER ESEGUIBILE USB

FLASH NAND → SEGUONO **ONFI** = OPEN NAND FLASH INTERFACE

CARICO IN NAND DATASHEET PER LEGGERLO
E VEDERNE LE CARATTERISTICHE
(SIMILE A CFI DI NOR)

ALTRA COSA FATTA IN FLASH → DATO CHE HO 2 PIANI FISICI

DIVIDO IL DISPOSITIVO IN 2 BLOCCHI ← PARI
DISPARI



COME QUANDO AVEVO INTRODOTTO LE **SDRAM**
PRECARICO BLOCCO QUANDO
NE LEGGO UN ALTRO, MENTRE SCRIVO
UN PIANO LEGGO L'ALTRO

COSÌ NASCONDO E DESCRIVONA
DI UN PIANO MENTRE
QUANDO L'ALTRO
POSSO FARE

2 LETTURE
INSIEME

2 CANCELLI
CONCORNANTI

2 SCRITTURE
CONCORNANTI

INDIZIO DI PAGINA DEVE ESSERE
LO STESSO TRA I 2 BLOCCHI!

LIMITI IN PRESTAZIONI

- THROUGHPUT → LIMITATA (velocità) DA I/O
TEMPO $t_{RC} = 20 \text{ ns}$

PAGINA 2K → $2048 \cdot 20 \text{ ns} \approx 42 \mu\text{s}$

PAGINA 4K → $4096 \cdot 20 \text{ ns} \approx 86 \mu\text{s}$

IL TEMPO DI I/O È MOLTO MAGGIORE DI TEMPO DI TRASFERIMENTO DEI DATI!
(20/25 ns MAX)
→ QUANDO TRASFERISCO PAGINA HO TANTE
FILI CHE UMSCONO MEMORIA A MP

MA NON HO TANTISSIMI PIEDINI!
MA PERCHÉ VADO A 50 MHz E NON A 1 GHz? NON POSSO
AVERE V' ELEVATA PERCHÉ BUS È **ASINCRONO!**

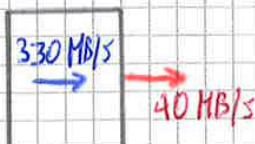
DENTRO VA TUTTO PIÙ VELOCE → LEGATO A TOLLERANZE DEI TEMPI
E NON RIESCO A TIRAR FUORI NULLA

NON RIESCO A FAR SCENDERE
IN MODO APPROPRIATO I TEMPI
PER ACCEDERE A DATI

(DDR3 → RITARDAI DELLE PLSTE DOMINANTI
QUANDO HO ? REG)

È LETTURA

IL TRASFERIMENTO A BUFFER CON #LINEE ELEVATO → BANCA DI ARRAY DI MEMORIA
~ 330 MB/s

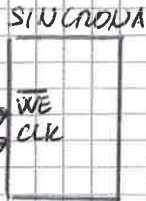


TEMPO I/O 40 MB/s

IPOTIZZANDO 8 KB/s
LETTURA IN 25 ns

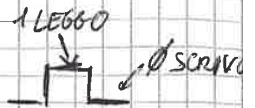
OK PER NAND FLASH PICCOLE ALL'INIZIO
POI INTERNO CAMBIATO FUORI NO
PER COMPATIBILITÀ ALL'INDIETRO

VOGLIO LO STESSO **INTERFACCIA** → STESSO # PIN



CAMBIA SIGNIFICATO:

- RE → NON È PIÙ A FRONTE MA A LIVELLI → **WR**



- WE → CLK DA STROBE DIVENTA CLK TUTTI I SEGNALI CATTIQUATI SU FRONTE DI CLK

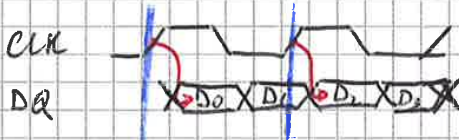
(ALTRI SEGNALI UGUALI)

ALE/CLE → "1" → STO FACENDO TRASFERIMENTO DATI
 → "00" → IDLE

! STESSA PIEDINATURA MA CAMBIA SIGNIFICATO DI ALCUNI SEGNALI

TIMING → STESSA FILOSOFIA DI PRIMA MA DA ASINCRONO DIVENTA SINCRONO

→ INOLTRE DDR → 2 DATI PER UN COLPO DI CLK



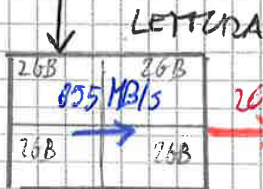
HS NAND → USO 1.8V; $V_{CC} < 2V$ → COSTI < < VELOCITÀ < < CONSUMO !

PROBLEMA PER ALTA VELOCITÀ → PROBLEMA DI LINEE DI TRASMISSIONE

DIAGRAMMA AD OCCHIO → AUMENTANDO LA CAPACITÀ DI CARICO SU LINEA PEGGIORA IL DIAGRAMMA AD OCCHIO → POSSO AVERE ERRORI CONSIDERABILI

PACKAGE BGA → TRUCI PIEDINI → POSSO METTERE 2 INTERFACCIE A 8 BIT SPAZIATURA PICCOLA

IN SINGOLO PACKAGE MOLTO 2 CHIP E 2 BUS SE HO ABBASTANZA PIN



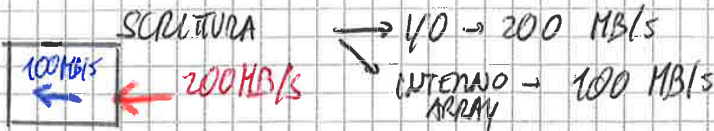
CON INTERFACCIA SINCRONA

↓ I/O 200 MB/s
 BANDA INTERNA → 655 MB/s

163 MB/s → SE LEGGO DA UN SOLO BLOCCO

(SE SPARTITO TUTTI I BLOCCHI LEGGENDOLI ALTERNATIVAMENTE COME FACEVO IN DDRAM)

✓ HO RISOLTO IL PROBLEMA! NO FATTORE 10 ← INTERNO ESTERNO



NON HO DANNEGGIAMENTO FISICO MA ALTERO L'INFORMAZIONE

↓
GESTISCO IL DISTURBO UTILIZZANDO ECC
PERCHÉ C'È PROBABILITÀ NON NULLA DI LEGGERE
ALTRI TRANSISTORI INTORNO A QV

↓
SE VOGLIO RIDURRE PROBABILITÀ
DI ERRORE →

PROGRAMMAZIONE SEQUENZIALE

↓
PROGRAMMANDO COSÌ CANCELO
IL DISTURBO DALLA
PAGINA SUPERIORE

SCRITTURA → OPERAZIONE RELATIVAMENTE RARA

• LETTURA → MOLTO PIÙ FREQUENTE

↓
HO LO STESSO TIPO DI PROBLEMA

↓
PER LEGGERE DEVO RENDERE CONDUTTIVE TUTTE LE PIGRE
TRAMME QUELLA CHE MI INTERESSA

↓
TUTTI I MOS SONO PROGRAMMATI DEBOLMENTE
CON UN NUMERO SUFFICIENTEMENTE ELEVATO DI LETTURE
PROGRAMMO LA CELLA QUANDO NON VORREI PARLO!

↓
LO STESSO/PROGRAMMO DEBOLMENTE LE MURE CELLE QUANDO LEGGO!

↓
SE MI ACCORGO CHE A
FORZA DI LEGGERE IL TASSO DI
ERRORE IN LETTURA È TROPPO ALTO

SOLUZIONE:

- 1) SALVO DATI IN RAM
- 2) CANCELO IL BLOCCO
- 3) LO RISCRIVO

È IMPROBABILE MA DEVO TENERE CONTO DI QUESTO PROBLEMA!

OGNI $\left\{ \begin{array}{l} 1000000 \\ 100000 \end{array} \right.$ CICLI DI LETTURA SLC } È MEGLIO RINFRESCARE
CICLI DI LETTURA MLC } IL CONTENUTO DEL BLOCCO!
(NON FLASH → NON C'È QUESTO PROBLEMA)

• DATA RETENTION → CELLA PICCOLA → C'È PROBABILITÀ NON NULLA
CHE QUALCHE e^- SE NE
VADA (COME DRAM)

[PROBLEMA ANCHE IN NOR]

↓
DOPO UN CERTO TEMPO (~10 ANNI)

↓
SE MTA T → IL TEMPO È PIÙ BREVE

• ENDURANCE → SE FACILO UN #AUG DI SCRITTURE/CANCELLAZIONI
[ANCHE IN NOR]

↓
HO DANNEGGIATO IL RETICOLO CRISTALLINO
PER CUI NON HO PIÙ AFFIDABILITÀ

↓
DANNO ← NON RECUPERABILE
FISICO

!!!

QUANDO $\left\{ \begin{array}{l} \text{PROGRAMMO RIGA} \\ \text{CANCELO BLOCCO} \end{array} \right.$ DEVO SEMPRE CHIEDERE A STATUS REGISTER
SE OPERAZIONE È ANDATA A BUON FINE!

↓
SE SBAGLIO A PROGRAMMARE PRENDO IL BLOCCO, LO SPOSTO DA
UN'ALTRA PARTE E LO PARLO COME ERATO

21/11/16

INTERFACCE SERIALI

BUS I²C

→ BUS SERIALE (BIT SERIAL)

PASSO UN BIT ALLA VOLTA → È ECONOMICO
2 FILI ← DATO
 CLK

→ BUS BIDIREZIONALE < 1 MASTER
 4 SLAVES

→ LO SLAVE CON CUI PARLA È DETERMINATO DALLA 1^a PAROLA SUL BUS

NO CHIP SELECT (+ ECONOMICO)

CONNETTE → SENSORI, MEMORIE EEPROM..., DAC, ADC...

1 BIT DI START, 1 BIT DI STOP

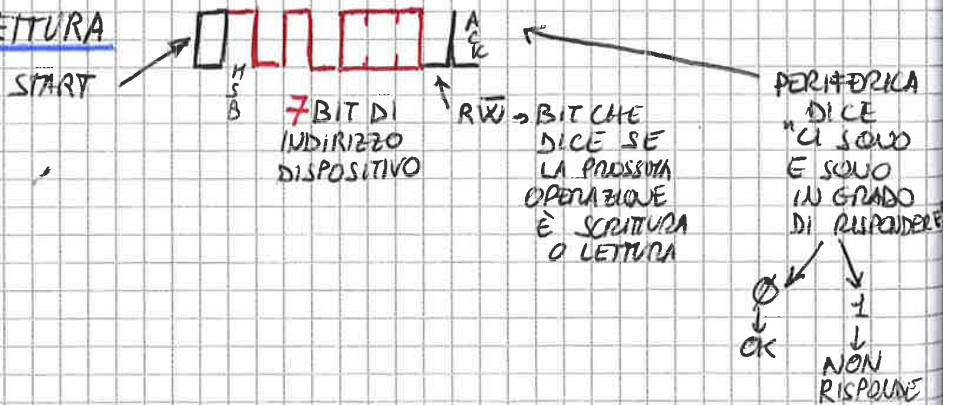
REGOLA: FILI SONO IN IDLE QUANDO SONO @ "1" LOGICO

→ SCL = STROBE

→ START E STOP SONO DEFINITI CON OPERAZIONI CHE NON POSSONO MAI AVVENIRE QUANDO STO TRASMETTENDO

! DATI → TRASMESSI QUANDO CLK = \emptyset
START → TRANSIZIONE DA ALTO A BASSO | QUANDO CLK
STOP → TRANSIZIONE DA BASSO A ALTO | E A 1

es: OPERAZIONE DI LETTURA



- ① ASSERISCO BIT DI START
- ② MANDO 7 BIT DI INDIRIZZO
- ③ MODO ← "1" PER LEGGERE
 "0" PER SCRIVERE

DA LÌ IN POI LEGGI IL DATASHEET DI PERIFERICA CON CUI STO PARLANDO

↓
QUANDO HO FINITO → MANDO UN BIT DI STOP

BUS OPEN COLLECTOR → LINEA < DATO
 CLK HANNO R_{pu}
 GATE PILOTATO A \emptyset

FRONTI < DISCESA → RIPIDI
 SALITA → PIÙ LENTI → f < ϕ_{ch} 100000 kHz

BUS CHE VA BENE PER COLLEGAMENTI SCHEMA-SCHEMA

@ HF VIOLANO SPECIFICHE

12/12/16

MEMORY SYSTEM

SISTEMA DI MEMORIA IN SISTEMA DI ELABORAZIONE → CONCETTI SOPPESATI IN BASE AL TIPO DI SISTEMA

↓
COME È FATTO (IN SLIDES → PER PC, SERVER)
I SISTEMI EMBEDDED → PROCESSORI SEMPLICI
IL CONCETTO DI CACHE NON ERA APPLICABILE

↓
ORA ANCHE NEI SISTEMI EMBEDDED L'ARCHITETTURA SI STA COMPLICANDO → ANALOGA A PERSONAL COMPUTER (CELLULARI → HANNO LA STESSA GERARCHIA DI MEMORIA DI PC) ANCHE SE SONO DEI SISTEMI EMBEDDED

ORA μ C HANNO DENTRO CACHE, MMU, ECC... E SONO μ C CHE COSTANO POCCHI

MEMORIA PRINCIPALE → DIRETTAMENTE ATTACATA A μ P (RANDOM ACCESS) IN ALCUNI È INTERNA A μ C

→ USATA PER SALVARE PROGRAMMI/DATI DURANTE ESECUZIONE (NOR FLASH, NO NAND FLASH)

MEMORIA SECONDARIA → CONTIENE DATI, PROGRAMMI
NON CONSENTE ACCESSO DIRETTO
GESTITA ATTRAVERSO SISTEMA OPERATIVO
PUÒ ESSERE REALIZZATA CON HARD DISK, NAND FLASH

VORREI UNA MEMORIA GRANDE A PIACERE E CHE SIA IN GRADO DI LAVORARE ALLA STESSA VELOCITÀ DEL μ P

↓
È UN PROBLEMA PERCHÉ PROCESSORI RICHIEDONO MOLTO DA PUNTO DI VISTA DI CODICE E DATI

↓
MEMORIE GRANDI SONO MOLTO PIÙ LENTE DI μ P
DATA SHEET SRAM → È CRESCIUTA MA LA LATENZA NON È DIMINUITA IN MODO SIGNIFICATIVO

CLK DI μ P → SALITO DI UN FATTORE 10
NON È DATA DAL CLOCK, NON SCALA CON f CLOCK

DA MHz → GHz MA NON HO LA STESSA CRESCITA IN MEMORIA (CI SONO BANCHI, PIPELINING, ECC...)

↓
INOLTRE DATO DI FATTO CHE NON È SUPERABILE
PIÙ MEMORIA È GRANDE → PIÙ È LENTA
PIÙ MEMORIA È VELOCE → PIÙ COSTA

↓
SE VOGLIO ANDARE PIÙ VELOCE → SPEED ARRAY IN TANTI ARRAY PIÙ PICCOLI
SE VOGLIO ANDARE PIÙ FORTE → DEVO SPENDERE DI PIÙ

↓
IDEA: COSTRUIRE UNA GERARCHIA DI MEMORIA DOVE COMBINIAMO MEMORIE VELOCI E PICCOLE CON MEMORIE GRANDI E LENTE

CACHE → MEMORIA PICCOLA DOVE TENGO ^{DATI} ISTRUZIONI DI CUI IL PROCESSORE HA BISOGNO

10⁶ di KByte
 DENTRO NON CI SONO TUTTE LE ISTRUZIONI/DATI CHE SERVONO A UN PROCESSORE
 INOLTRE IL CONCETTO DI MEMORIA CACHE NON ESISTE

MP < LEGGE/SCRIVE DATO
 NON VA NULLA IN CACHE

DEVE ESSERE GESTITA IN MODO **TRASPARENTE**
 DEVO GESTIRLA PER FARE IN MODO, SENZA PARLARE A PROCESSORE, CHE CI SIANO DATI CHE SERVONO A MP SAPENDO CHE NON SONO IN GRADO DI FARLI STARE TUTTI

RAGIONAMENTO → PRENDI MP E LO FACCIO LAVORARE A U¹ MASSIMA IN MODO CHE SE FA RICHIESTA DI DATO/ISTRUZIONE E SE SONO PRESENTI LA CACHE HA UNA VELOCITÀ TALE CHE NON BLOCCA IL MP SE I DATI SONO IN CACHE → **HIT**

→ SE IL DATO NON È IN CACHE ⇒ **MISS**
 QUANDO NON HO DATO → FERMO MP
 CACHE VA IN MEMORIA PRINCIPALE
 COME IL DATO E LO DA A MP
 MISS FA RALLENTARE

$$\text{HIT RATE} = \frac{\# \text{ HIT}}{\# \text{ TOT ACCESSI}}$$

$$\text{MISS RATE} = \frac{\# \text{ MISS}}{\# \text{ TOT ACCESSI}}$$

⇒ HIT RATE + MISS RATE = 1

IDEA → MR → IL PIÙ BASSO POSSIBILE, POCCHI PUNCI %
 → HIT RATE → ELEVATO

PROBLEMA → DEVO PASSARE IN CACHE COSA IL PROCESSORE VUOLE
 ANALISI STATISTICA IN CUI CAPISCO COME POSSO GESTIRE I DATI DA METTERE NELLA CACHE

- 1) LOCALITÀ TEMPORALE → SE ACCEDO A UNA VARIABILE È MOLTO PROBABILE CHE IN POCO TEMPO ACCEDA ALLA STESSA VARIABILE
- 2) LOCALITÀ SPAZIALE → SE ACCEDO A CELLA DI MEMORIA È MOLTO PROBABILE CHE ACCESSO SUCCESSIVO SIA AD UN INDIRIZZO MOLTO VICINO A QUELLO

VEDO LE DISTRIBUZIONI STATISTICHE DI ACCESSO

- località temporale → quando scrivo in codice una funzione uso variabili locali per me stessi ma cambio sempre le stesse variabili
- località spaziale → accesso sempre a un gruppo di variabili vicine in memoria

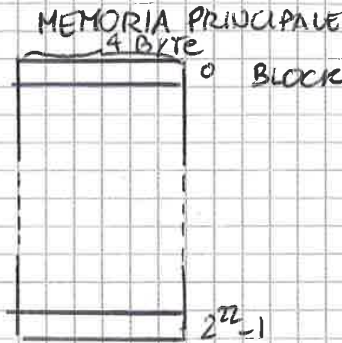
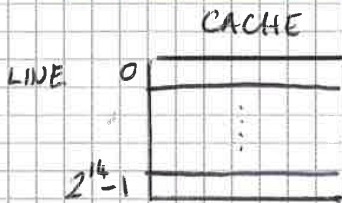
NON VA BENE SCRIVERE PROGRAMMA CON UN GRANDE # VARIABILI GLOBALI

È UN DISCORSO STATISTICO! SE SCRIVO CODICE IN MODO DA FAR SÌ CHE CACHE ABBAIA SEMPRE MISS

! LA CACHE FUNZIONA SE RISPETTA PRINCIPI PIÙ IDEALI
 NON SERVE, CI SONO APPLICAZIONI DOVE CACHE È INUTILE

MAPPING → PARAMETRO CHE DISTINGUE CACHE
 → ALGORITMO CHE DICE QUANDO PRENDO UN BLOCCO IN
 QUALE PARTE DI CACHE LO METTO
 È IMPORTANTE PERCHÉ DOVE LO METTO È ANCHE DOVE
 LO TROVO

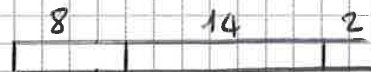
DIRECT MAPPING



- IL 1° BLOCCO PUÒ FINIRE SOLO IN 1° RIGA DI CACHE
 - 2° BLOCCO → SOLO 2° LINEA CACHE

MA LA CACHE È PIÙ PICCOLA!
 LA LINEA 2+1 DI MEMORIA FINISCE IN 1° LINEA DI CACHE

IL PROCESSORE HA 24 BIT DI INDICIZZAMENTO



TAG → SONO I BIT PIÙ ALTI CHE HO CARICATO DA MEMORIA

CONFRONTO (8 BIT IN CAS) QUESTI CON QUEL RICHIESTI

VEDO SE C'È HINT MISS

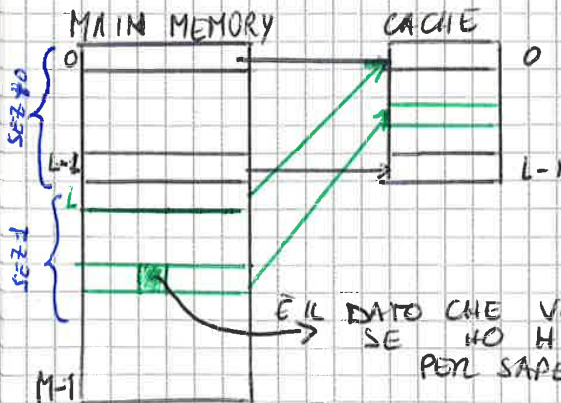
BASTA COMPARARE SE C'È COINCIDENZA ALLORA QUELLO È IL DATO CHE VOGLIO

LSB SCELGONO A INTERNO DEL BLOCCO IL BYTE (CIOÈ QUALE DEI 4 BYTE IN MEMORIA PRINCIPALE)

IN QUALE LINEA DI CACHE SONO (ADDR. CACHE)

HO UNA CORRISPONDENZA 1:1 PERCHÉ IN UNA LINEA DI CACHE POSSONO ESSERE PIÙ BLOCCHI (DA 2+1 IN COMINCIO A RIEMPIRE CACHE)

DA BIT CENTRALI TIRO FUORI LA LINEA IN CUI CI SONO I DATI



MAIN MEMORY → M BLOCCHI
 CACHE → L LINEE

È IL DATO CHE VOGLIO, MP FIRA FUORI INDICIZZO SE HO HINT/MISS DEVO CAPIRE SE C'È, DOVE PER SAPERE SE È O NO IN CACHE

PRENDO LA MEMORIA PRINCIPALE E LA DIVIDO IN SEZIONI GRANDI COME CACHE

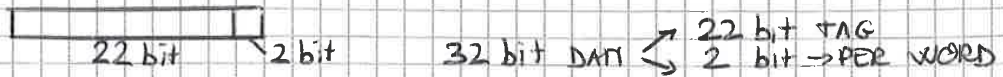
QUANDO SALVO IL DATO GLI METTO ANCHE UN NUMERO (TAG) COSÌ SO QUAL È IL DATO DATO CHE MEMORIA È PIÙ GRANDE DI CACHE

$$S = \frac{M}{L} \rightarrow \text{IL TAG È IL NUMERO DI SEZIONE A CUI APPARTIENE IL DATO}$$

TAG SALVATO IN CACHE PER DISTINGUERE TRA BLOCCHI CHE SONO IN STESSA RIGA DI CACHE

ESTREMO RATE → 1 SET CON TUTTE LE LINEE DELLA MEMORIA

AL POSTO DI 13 BIT NON C'È PIÙ NULLA
TAG È INDIRIZZO DEL BLOCCO → FULL ASSOCIATIVE MAPPING



2^{14} LINEE - 2^{14} COMPARATORI → HO BISOGNO DI TANTI COMPARATORI

FATTI CON CAM = CONTENT ADDRESSABLE MEMORY
NON HO 16000 COMPARATORI MA SONO DISTRIBUITI IN CELLE DI MEMORIA
16000 COMPARAZIONI IN PARALLELO

SOLUZIONE POCO ECONOMICA → NON SI TROVA MAI

GENERALMENTE < DIRECT MAPPING
4/8 WAY SET ASSOCIATIVE MAPPING

NON POSSO FARE FULL ASSOCIATIVE CON MEMORIA STANDARD

REPLACEMENT → HO MISS IN MEMORIA HO BLOCCO → DEVO BUTTARE VIA QUALCOSA

- DIRECT MAPPING → 1 BLOCCO IN 1 POSTO SOLO

- SET ASSOCIATIVE → 4 LINEE IN UN SET

SE HO MISS DEVO CERCARE SE C'È LINEA VUOTA PER SCRIVERLO
E SE SONO TUTTE E 4 PIENE? DEVO SCEGLIERE QUALE DELLE 4 BUTTARE VIA → REPLACEMENT

ALGORITMI SEMPLICI → VANNO A CASO → NON TIENE CONTO DI STORIA PASSATA
MA GENERARE NUMERI CASUALI NON È UNA COSA BANALE
NON È BANALE FACE SCELTA CASUALE

RANDOM REPLACEMENT

ANALIZZO STORIA DI CACHE: ↓

- LEAST RECENTLY USED → RIMPIAZZO LA RIGA CHE ... DA PIÙ TEMPO NON È STATA TOCCATA
SE NESSUNO LA USA (PER PRINCIPIO DI LOCALITÀ)
ELIMINO QUELLA

DEVO AVERE IN LINEE DEGLI OGGETTI CHE TENGONO CONTO DI QUANDO UNA LINEA È STATA UTILIZZATA

- FIFO → È IL PIÙ FACILE DA UTILIZZARE
L'INIZIA DA RIMPIAZZARE È QUELLA CHE PER PRIMA È ENTRATA IN CACHE
BUTTO VIA LA LINEA CHE È TENUTA IN CACHE PIÙ TEMPO

- LEAST FREQUENTLY USED → RIMPIAZZO RIGA CHE È STATA RIFERITA
POCHE VOLTE

CASUALE → DÀ RISULTATI RAGIONEVOLMENTE BUONI
MA SE STO FACENDO ... INTORNO DI CODICI CHE FANNO COSE DIVERSE MEDIA

TUTTE LE VOLTE CHE μP FA ACCESSO A INDIRIZZO VIRTUALE
SE PRESENTE FRAME \leftarrow HINT FAULT

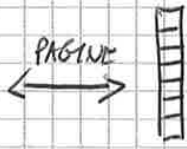
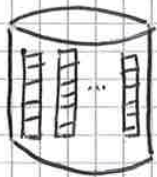
MEMORIA PRINCIPALE \rightarrow ORGANIZZATA COME SEQUENZA DI FRAMES
UNA PAGINA PUO' ESSERE ASSEGNATA
A UN FRAME DISPONIBILE PER ESSERE SALVATA

PAGINA È UNITÀ BASE DI INFORMAZIONE
SPOSTATA TRA MEMORIA PRINCIPALE E DISCO

PAGE FAULT \rightarrow SE MEMORIA PRINCIPALE NON HA
LA PAGINA CHE CERCA IL PROCESSORE

PAGINA È CARICATA DA MEMORIA SECONDARIA
ALLA MEMORIA PRINCIPALE

SE NON C'È FRAME
LIBERO DISPONIBILE
DEVO RIMPIAZZARE
UNA PAGINA



PAGINE IN
MEMORIA SECONDARIA

FRAME IN
MEMORIA PRINCIPALE

ACCEDERE A UNA PAROLA IN MEMORIA RICHIEDE TRADUZIONE DA
INDIRIZZO VIRTUALE A INDIRIZZO FISICO

LA TRADUZIONE DI INDIRIZZO È FATTA DALLA
MMU USANDO LA PAGE TABLE

TABELLA DOVE \forall PAGINA DI MEMORIA VIRTUALE C'È SCRITTO SE
È CARICATA O NO IN MEMORIA PRINCIPALE E SE È
CARICATA, DOVE SI TROVA (INDIRIZZO DEL FRAME)

TABELLA MOLTO GRANDE \rightarrow 2 GByte di INDIRIZZAMENTO VIRTUALE
(1 MILIONE DI PAGINE)

MEMORIA PRINCIPALE \rightarrow 16 MByte

(ANCHE PER PAGE TABLE SI USANO STRATEGIE DI FLASH)

PAGE TABLE \rightarrow DIVISA IN PIÙ PARTI \leftarrow ALCUNE IN MEMORIA SECONDARIA
ALCUNE PIÙ FREQUENTI IN MEMORIA PRINCIPALE
ALCUNE ANCORA PIÙ FREQUENTI IN MMU
TLB (TRANSLATION BUFFER) \rightarrow CACHE SPECIFICHE
LOOKSIDE CHE CONTIENE TRADUZIONI
USATE PIÙ DI RECENTE

SPESSE DI 1 MILIONE DI PAGINE NE USO 6
ANDROID \rightarrow MEMORIA VIRTUALE

APPLICAZIONE TEMPORANEAMENTE IMMAGAZZINATA IN
MEMORIA ESTERNA, TRAMME QUELLA CHE STO USANDO
SUCCEDÈ CHE QUANDO LA CLICCO IL SISTEMA PRENDE
IL SUO TEMPO PER ANDARE A PRENDERE LE PAGINE
MA TUTTO IL TEMPO CHE VOGLIO! OPERAZIONE NON CRITICA
DAL PUNTO DI VISTA TEMPORALE

SE FACCIO GIRARE APPLICAZIONI CONTEMPORANEAMENTE
FENOMENO DI TRASHING \rightarrow SISTEMA OPERATIVO CHE CARICA
DENTRO E FUORI DAL DISCO LA PAGINA
IL SISTEMA NON FUNZIONA

BIT CONTROLLO \rightarrow BIT CHE DICE \rightarrow SE LA PAGINA È STATA MODIFICATA
PROCESSORE FA COSE \rightarrow FRAME IN MEMORIA \neq DA PAGINA CHE
C'È SU DISCO (\rightarrow LO SCRIVO IN MEMORIA SECONDARIA)
 \rightarrow ALTRE INFO \rightarrow QUANTO SPESSE ACCEDÈ IN MEMORIA \rightarrow SARÀ UTILE
IN CASO DI PAGE FAULT QUELLE SOTTO ELENCHATE

(DIRETTIVA 89-36)

→ DA LÌ TUTTI DEVONO CERTIFICARE PER IMMUNITÀ EM

PROBLEMA: SE PER SICUREZZA ELETTRICA È BANALE ANALISI COMPATIBILITÀ ELETTROMAGNETICA È PIÙ COMPLICATA NELLE NORMATIVE TECNICHE

↓
DEVO CAPIRE COME FACCIO A MISURARE

MARCHIO **CE** = AUTOCERTIFICAZIONE

→ IN TEORIA NON SONO OBBLIGATA A FARE PROVE → MA IN REALTÀ DEVO PROVARE SEMPRE

PER FARE MISURE → IN CAMPO APERTO → SI USANO OGGETTI CHIAMATI **CAMERE ANECCICHE**

↓
IN ACCIAIO E FERRITE ASSORBE IL SEGNALE A RADIOFREQUENZA (ATTRAVERSO DEI CAVI ASSORBENTI)

↓
ASSORBITORI TEORICAMENTE IDEALI

PER FARE MISURE **CAMERA ANECCICA** → EMISSIONE → METTO APPARECCHIATURA A DISTANZA SPECIFICATA DA NORMATIVE + ANTENNA RX PER MISURARE

↓
IMMUNITÀ → STESSA PROVA MA CON ANTENNA TX

APPARECCHIATURA DEVE CONTINUARE A FUNZIONARE SI FAANO NON A UNA DETERMINATA FREQUENZA MA IN UN RANGE DI FREQUENZE (es da 30 MHz a tot in scala log)

↓
PROVA RX-TX @ TUTE LE f DESIDERATE

↓
QUESTO PER **EMMISSIONE** } **IRRADIATE**
IMMUNITÀ }

MA CI SONO ANCHE **EMMISSIONE** } **CONDOTTE**
IMMUNITÀ }

DATE 2 PRESE ATTACCHATE @ f ELEVATE LA RETE ELETTRICA NON HA IMPEDENZA BASSA (è BASSA @ $f=50$ Hz). SE OGGETTO INIETTA IN CAVO DELLA 220 @ 30 MHz, ENTRA IN CAVO DI ALTRO ELEMENTO

↓
IL DISTURBO CONDOTTO PIÙ CAUSA UN Malfunzionamento DEL MONITOR → SE NIETTO DISTURBI L'OGGETTO DEVE SOPRAVVIVERE (es: per disturbi impulsivi di 2kV il dispositivo deve sopravvivere)

- QUANDO HO APPARECCHIATURA GIÀ FATTA → SE HO PROBLEMI DI COMPATIBILITÀ È COSTOSO MITIGARLI
- QUANDO PROGETTO → TENGO CUOTO DI PROVE, A COSTO ϕ FUNZIONA!

↓
BESTISI LA COMPATIBILITÀ EM GIÀ IN FASE DI PROGETTAZIONE

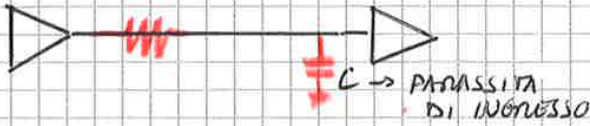
(POI IN PROVE MI BASTEREBBE SPOSTARE UN FILO)

↓
PER MODELLI SEMPLIFICATI DI COME I DISTURBI SONO ORIGINATI E IRRADIATI CI SONO TRUCCHI PER RISOLVERE I PROBLEMI A LIVELLO PROGETTUALE USANDO LA TEORIA DEI CAMPI ELETTROMAGNETICI

→ ANCHE SE HO PORTE LOGICHE A VELOCITÀ MAGGIORE → DISTURBA DI PIÙ

SE MI ACCORGO CHE t_r E t_f DI PORTE LOGICHE È MOLTO PIÙ BREVE DELLE MIE NECESSITÀ LO RALLENTO → METTENDO UNA R IN SERIE!

AUTOMATICAMENTE IL FRONTE È RALLENTATO!



R COSTA MA DEVO RISPETTARE LE NORMATIVE

MI ACCORGO CHE NON SERVE CHE CERTI SEGNALI VADANO VELOCI → CAMERA ANECOICA

SE NON HO SPAZIO DOPO CHE HO FATTO UN CIRCUITO STAMPATO TROPPO PICCOLO LO DEVO CAMBIARE!

PROGETTA PREVEDENDO I PROBLEMI DI COMPATIBILITÀ

IL DISTURBO PERCHÉ SIA IRRADIATO → DEVE ESSERE SORGENTE DEVE ESSERE ANTENNA
DEVO MOLTIPLICARE LO SPETTRO PER IL GUADAGNO DI ANTENNA

USO DIPOLO < ELETTRICO (SPINA PERCORSA DA CORRENTE) MAGNETICO (V DA ALTO?)

IPOTIZZO LOOP PERCORSO DA I → MODO DI IRRADIAZIONE DIFFERENZIALE

! LA CORRENTE PUÒ ESCLUSIVAMENTE PERCORRERE CIRCUITI CHIUSI

SI DIMOSTRA CHE IL CAMPO IRRADIATO → GUADAGNO DI ANTENNA

$$E = 2.6 \frac{A I_L f^2}{R}$$

[$\mu V/m$]

A: AREA IN cm^2 DEL LOOP
I_L: I CHE PASSA IN LOOP

f^2 : DATO CHE PARLO DI AREE HO EFFETTO DUPLICE (→ PER QUESTO 12)

R: DISTANZA ESPRESSA IN m

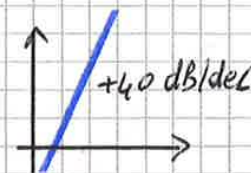
DIPENDE DALLA GEOMETRIA DEL CIRCUITO CHE STO DISSEGNAANDO

DIPENDE DA SEGNALE CHE STA CERCANDO DA ME

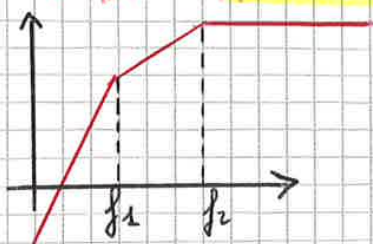
SPECIFICATE DA NORMATIVE

IN PARTICOLARE POSSO CONTROLLARE AREA CORRENTE CHE CIRCOLA

DEVO PRENDERE GRAFICO DEL DISTURBO E MOLTIPLICARLO PER RETTA CHE SALE DI 40 dB/dec PERCHÉ VA CON f^2



IL DISTURBO DIFFERENZIALE IRRADIATO SARÀ



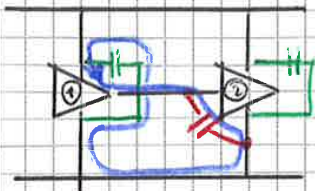
! DISTURBI DIFFERENZIALI → SONO A BANDE ILLIMITATE!

IN REALTÀ NON È PROPRIO COSÌ PERCHÉ IL SEGNALE È SMUSSATO, NON HO TUTTE LE ARMONICHE DUNQUE NON POSSO PRODURRE SPIGOLI IN MONDO REALE

COMUNQUE IL CIRCUITO RIESCE A IRRADIARE DISTURBI A FREQUENZE MOLTO ELEVATE

RALLENTANDO FRONTE DI SALITA IN MODO DA ABBASSARE IL DISTURBO SE RADDOPPIO t_r, t_f → RIDUCO SEGNALE IRRADIATO DI 20 dB

MA GATE ① PILOTA GATE ②



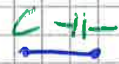
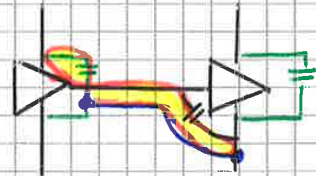
\parallel C PARASSITA DI GATE IN INGRESSO
 ↓
 DEVO FORNIRE CORRENTE IN C
 ↓
 I FA QUESTO GIRO →

AREA CHE NON SO COME MISURARE
 ↳ LEGATA AL FATTO CHE GATE
 SIANO DISTANTI

RISOLVO AGGIUGNENDO UN FILO! →

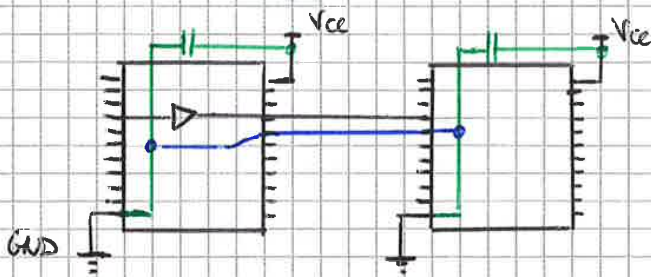
I FA PERCORSO →
 AREA MINORE

SERVE PER AVERE IMPEDENZA
 BASSA @ HF!



CONDENS. DISACCOPP.
 FILO DI MASSA

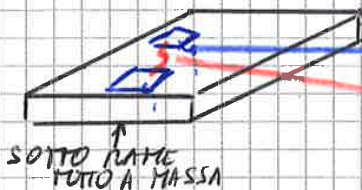
NON È NECESSARIO
 LA METTO SOLO PER
 DIMINUIRE AREA
 DUNQUE IL QUADRO DI AUTENZA



NON HO UN FILO DI MASSA
 MA UN PIANO DI MASSA

TUTTI I SEGNALI HANNO AREA MINIMA

FONDO CHE ATTAGGA A MASSA



SEGNALI CHE VIAGGIANO IN PARTE SUPERIORE
 AREA È DATA DA SPESSORE DEL CIRCUITO

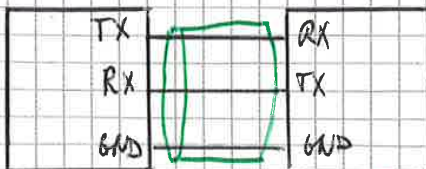
SEGNALI SI FANNO MULTISTRATO
 COSÌ AREA SOTTESA DALLA PISTA È TRASCURABILE

NON È MAI UN PROBLEMA

IN QUESTO MODO È DIFFICILE TROVARE PROBLEMI
 CON SEGNALI DIFFERENZIALI

METTERE CONDENSATORE SUBITO HA < COSTO DI PROBLEMA DOPO

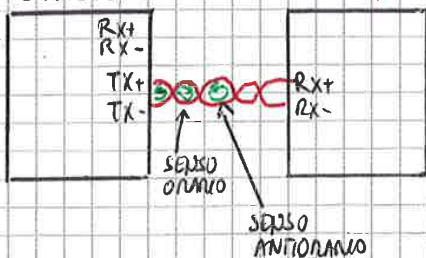
RS232 [PROGETTO → 10 STATI
 START → 8 BIT-STOP]



DI SOLITO DISTANZA ELEVATA

AVVOLGO TUTTO IN CONDUTTORE CHIUSO
 CALZA METALLICA FA DA SCHERMO

CAVI ETHERNET

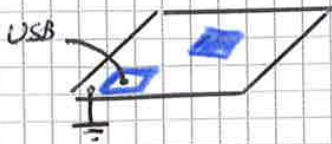


USO CAVI ATTORCIUGIATI (TWISTED PAIR)
 CABLE

SPINE DOV SOLO
 PERFETTAMENTE IDENTICHE
 ACCOPPIAMENTO CAPACITIVO

DISTURBI DIFFERENZIALI
 NON SONO PROBLEMA
 SE LI PREVEDO!

OPPURE → METTI USB VICINO ALLA MASSA!



È UNA MODIFICA CHE DURANTE LA PROGETTAZIONE COSTA 0!

DOPO INVECE DOVREI RIFARE LO STAMPATO!

! NON METTERE MAI IL CONNETTORE VICINO A OGGETTI CHE DISTURBANO

OPPURE → TAGLIO IL CAVO PER MODO COMUNE!

DENTRO USB PASSA SOLO SEGNALE DIFFERENZIALE → METTO NUCLEO DI FERRITE



MATERIALE FERROMAGNETICO → AUMENTA IMPEDENZA @ ωf RIDUCE LA QUANTITÀ DI I_{CM}

CORRENTE CHE ENTRA IN ANTENNA IMPEDENZA ELEVATA FA PASSARE MENO CORRENTE A PARITÀ DI TENSIONE (IMPEDENZA IN SERIE) INiettata

POSSO FARLO SOLO A I_{CM} I_{diff} ENTRA ED ESCE DA NUCLEO DI FERRITE RIMANENDO INALTERATA SENZA INTERAGIRE CON LA FERRITE

2° EFFETTO → USO FERRITE COME DISSIPATORE

MATERIALI FERROMAGNETICI → FACILIO CICLO A LAVORO NON NULLO
→ CICLO DI ISTERESI → COMPILO LAVORO → BUTTO ENERGIA

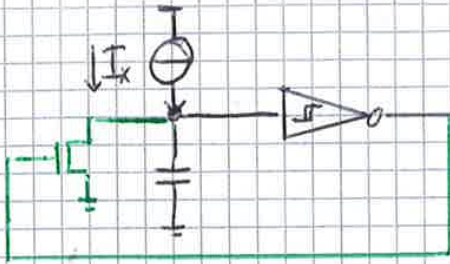
SE USO FERRITE CON PERDITE ASSORBE ENERGIA DAL CAMPO

PARTE DI ENERGIA È DISSIPATA DALLA FERRITE È COME SE CI FOSSE R CHE DISSIPA @ f ELEVATE

EFFICACI @ $f \sim \text{MHz}$
NON @ $f \sim 1 \text{GHz}$

EMC = ELECTROMAGNETIC COMPATIBILITY

⇒ SI RISOLVE IN MODO SEMPLICE SE AL POSTO DI R METTO UN GENERATORE DI CORRENTE PILOTATO (es. SPECCHIO DI CORRENTE) CHE SI INTEGRA SENZA DIFFICOLTÀ SU IC



C NON È PIÙ CARICATO < SCARICATO IN MODO ESPONENZIALE MA COSTANTE

I_x CARICA C

$V > V_{thres} \Rightarrow$ COMMUTA

DEVO SCARICARE CONDENSATORE CON MOS IN // (N MOBO CHE C SI SCARICHI LA MASSA)

POSSO REGOLARE } OSCILLATORE VARIANDO LA CORRENTE PER PRECISIONE → C (SARANNO TOLLERANZE SU $I_{INIECTATA}$)

✓ MA NON C'È PIÙ R COSÌ OGGETTO È INTEGRABILE

È POSSIBILE PENSARE DI REALIZZARE CALIBRAZIONE DELL'OSCILLATORE

FUNZIONA AD UNA CERTA f , MISURO } A CUI STA OSCILLANDO E CAMBIO LA CORRENTE DEL GENERATORE (SPECCHIO) SE È TROPPO ALTA/BASSA

PUÒ ESSERE FATTA DA UTENTE FINALE SE HO PICCOLO VOLUME

PUÒ FARLO IL PRODUTTORE DA SILICON FOUNDRY

CON MACCHINA FATTA APOSTA CALIBRAZIONE → SCRIVO VALORI DI I GIUSTA PER f CHE VOGLIO

FACTORY CALIBRATION (DA INDUSTRIA DI OSCILLATORE)

TOLLERANZE → OSCILLATORE: NON CALIBRATO → [10 ÷ 20] %
CALIBRATO → [1 ÷ 3] %
PRECEDENTEMENTE

VUOL DIRE CHE FACENDO VARIARE L'ALIMENTAZIONE (TRA -10% ÷ +10%), ECC... f SI SPOSTA MA NON PIÙ DEL 3%

TUTTI I MC COMMERCIALI HANNO OSCILLATORE A RILASSAMENTO] → f DA SOLO!

COSÌ SE DEVO FARE APPLICAZIONE A BASSO COSTO AVERE OSCILLATORE PERMETTE DI RISPARMIARE

MA COME FACCO LA CALIBRAZIONE?

FACCO UNA MISURA → CALIBRAZIONE + TEST + MISURO f

VEDO VARIAZIONE DEL 8%
SCRIVO DENTRO CA CELLA DI FLASH DI MC (CHE È ≠ VCHIP)

È POSSIBILE REALIZZARE RISONATORE CON Q + ELEVATO?

SÌ, USANDO MATERIALI PIEZOELETTRICI → PIEZOELETTRICITÀ = PROPRIETÀ

K.C. SE DEFORMO COMPONENTE PIÙ LUNGO UNA DIFFERENZA DI POTENZIALE PERCHÉ FORZO DISLOCAZIONE DELLE CARICHE

↓
DEFORMAZIONE MECCANICA ⇒ DISLOCAZIONE q (VALE ANCHE VICEVERSA)

QUARZO → PERMETTE DI FARE CIRCUITO RLC CON ALTO Q

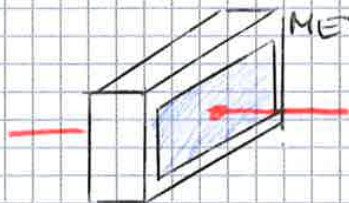


MATERIALE ESTREMAMENTE RIGIDO (E FRAGILE) NON È GOMMOSO, HA PERDITE MECCANICHE MOLTO RIDOTTE

↓
DO' MARTELLATE A MATERIALE RIGIDO K.C. È COMPRESSO, NON DISSIPA ENERGIA MECCANICA NEL MATERIALE → COSÌ SE INDUCO VIBRAZIONE DURA MOLTO A LUNGO

↓
PER AVERE Q ELEVATO NON DEVO DISSIPARE ENERGIA (CAMPANA SUONA, INNESCO MODI VIBRAZIONALI E CONTINUA A VIBRARE)

↓
VOGLIO OGGETTO CHE NON SI SPEGNE DOPO UNA BOTTA, MA CHE CONTINUA A VIBRARE



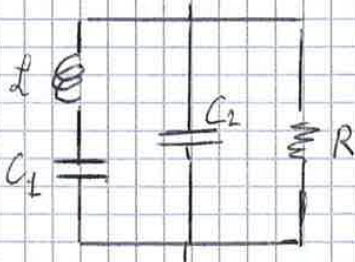
↓
METTO 2 ELETTRODI ALLE 2 FACCE METALLICHE

DATA LA PIEZOELETTRICITÀ GENERO IMPULSO IN QUARZO

↓
COMINCIA A OSCILLARE MECCANICAMENTE QUARZO VIBRA → TROVO UNA TENSIONE SINUSOIDALE SU 2 ELETTRODI

↓
RISONANZA MECCANICA CHE SEMBRA DI TIPO ELETTRICO CHE SI COMPORTA COME UN RISONATORE RLC

↓
IL MODELLO ELETTRICO DEL QUARZO È IL SEGUENTE



↓
RISONANZA MECCANICA → PÒ ESSERE MODELIZZATA DA L, C_1 (HO MODI DI VIBRAZIONE FONDAMENTALE E SUPERIORI)

↓
DATO CHE → 2 ELETTRODI SEPARATI DA QUARZO (DIELETTRICO)

↓
MODELIZZATI DA C_2

↓
IN TEORIA QUARZO RIGIDO, NON DISSIPA ENERGIA MECCANICA, IL CRISTALLO DISSIPA IN REALTÀ POCHE ENERGIA

↓
R MODELIZZA QUESTA DISSIPAZIONE DOVUTA A

① PERDITE INTERNE NON È INFINTAMENTE RIGIDO

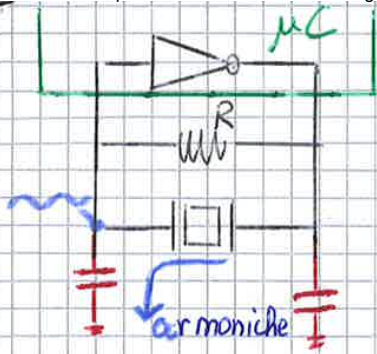
② FILI USATI PER ATTACCARE QUARZO

ANCHE SE QUARZO RIGIDO → FACCO SÌ DI PERDERE UN PÒ DI ENERGIA

↓
CIRCUITO RLC CON CRISTALLO DI QUARZO

$Q \sim 10000$
ORDINE

3 ORDINI MEGLIO DI RLC PASSIVO



⊕ CAPACITÀ DI CARICO DEL QUARZO
 ↓
 OBBLIGATORIE
 ↓
 RIESCO A REALIZZARE CONDIZIONI DI BARKHAUSEN
 (SE METTO SOLO IL QUARZO NON SODDISFO FASE ZERO)

f_{ris} DEL QUARZO → PER CUI FASE NULLA
 $R //$ ALLA RESISTENZA DI QUARZO
 ↳ DEVE ESSERE PIÙ GRANDE POSSIBILE PER NON RIDURRE Q
 TIPICAMENTE HA VALORI COMPRESI TRA (1 ÷ 10) MΩ

NON HO VALORE CRITICO → TIPICAMENTE CHI DÀ INVERTER DA CIRCUITO CON $R \sim 1 \text{ M}\Omega$

μC → HA DENTRO INVERTITORE FUORI METTO IL RESTO

I VALORI DI C SONO SPECIFICATI DA COSTRUTTORE AL QUARZO

cioè per es. devo far sì che C vista dal quarzo sia 15 pF
 $C \frac{1}{1} \frac{1}{1} + C \text{ parassite dei fili} + C \text{ parassite di } \mu C \approx 15 \text{ pF}$

(SE NON HO ESIGENZE DI PRECISIONE ESTREME NON VOGLIO 15.000)

QUESTO CIRCUITO GIÀ COSÌ FUNZIONA → HO UN PROBLEMA

AMPLIFICATORE LAURA IN LINEARITÀ
 PICCOLO SEGNALE → IN OUT IL SEGNALE È UN'ONDA TRAPEZOIDALE SMUSSATA

FORMA D'ONDA HA INVILUPPO COSTANTE FINO A UN CERTO VALORE E POI SCENDE A 40 dB
 CI SONO TUTTE LE ARMONICHE (PRINCIPALMENTE ARMONICHE DISPARI)



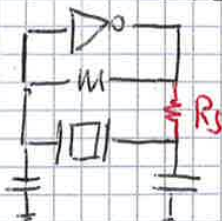
CIRCUITO → SE FUNZIONA COME DEVE → DATO CHE HA Q ELEVATO
 NON DISSIPA ENERGIA @ f RISONANZA

SINUSOIDE NON VIENE ATENUATA, NON HO CORRENTE ATTIVA CHE FINISCE VERSO MASSA → È UN PICCO ELEVATO

TUTTE LE ARMONICHE CHE FINISCONO A MASSA GENERANO UN DISTURBO IN PIANO DI MASSA → DISTURBO DI MODO COMUNE ELEVATO

! DISTURBO @ TUTTE LE f TRANNE A QUELLA DI QUARZO

SI VEDE MOLTO BENE PERCHÉ IN C HO SINUSOIDE PERFETTA
 ↳ TOLGO TUTTO TRANNE LA FONDAMENTALE



METTO IN SERIE UNA RESISTENZA R_s

SENZA R_s NON HO I SU FONDAMENTALE MENTRE I ELEVATA SU ARMONICHE

CON R_s SU FONDAMENTALE NON CAMBIA NULLA MENTRE ARMONICHE VEDONO V_{ce} R_s

HO LIMITATO CORRENTE INUTILE CHE PASSA IN CIRCUITO → USA $R_s \in (1 \div 100) \text{ K}\Omega$

[AGING → < STRESS MECCANICO → > DURATA]
ONDA MENO MPPIA

toleranza 10 ppm è tanto o poco? Dipende!

Stolon: risoluzione = 1/1000 s
T_{MAX} = 60 s

↓
precisione = $\frac{\Delta f}{f} = \frac{1}{\frac{1000}{60}} = \frac{1}{6000} \cdot \frac{100000}{100000} \approx 16 \text{ ppm}$

se voglio errore < $\frac{1}{1000} \Rightarrow 5 \text{ ppm}$

oscillatore NON è in grado di soddisfare specifiche

Telefono cellulare

GSM { canale : 75 kHz }
f = 16 Hz } ⇒ $\frac{75 \text{ kHz}}{16 \text{ Hz}} = 75 \text{ ppm}$

canale almeno = 7.5 ppm

↓ (DEVO METTERE TABELLE DI CORREZIONE → MA NON VE HANE PER CELLULORE PERCHÉ VE FATTO VDISPOSITIVO)

TCXO

(TEMPERATURE COMPENSATED CRYSTAL OSCILLATOR)

↓
CIRCUITO DI 5mm x 5

CHE HA INTERNO < 1 QUARZO CIRCUITO ANALOGICO (AMP...)

MA IN 1 PUNTO DEL CIRCUITO RESISTENZA NTC (→ VALORE CHE CAMBIA IN FUNZIONE DELLA TEMPERATURA)

↓
ARRIVA A PRECISIONE 1ppm

COSTA POCCHISSIMO PERCHÉ SI USA OVUNQUE

GENERATORE DI SEGNALE → CHE DA f PRECISA

SE NON BASTA ANCORA METTO TCXO IN SCATOLA CHE MANTENGO T COSTANTE