



Corso Luigi Einaudi, 55 - Torino

Appunti universitari

Tesi di laurea

Cartoleria e cancelleria

Stampa file e fotocopie

Print on demand

Rilegature

NUMERO: 1786A -

ANNO: 2015

A P P U N T I

STUDENTE: Iannizzi Giada

**MATERIA: Progettazione di dispositivi biomedici programmabili
- Prof. Knafliz**

Il presente lavoro nasce dall'impegno dell'autore ed è distribuito in accordo con il Centro Appunti.

Tutti i diritti sono riservati. È vietata qualsiasi riproduzione, copia totale o parziale, dei contenuti inseriti nel presente volume, ivi inclusa la memorizzazione, rielaborazione, diffusione o distribuzione dei contenuti stessi mediante qualunque supporto magnetico o cartaceo, piattaforma tecnologica o rete telematica, senza previa autorizzazione scritta dell'autore.

ATTENZIONE: QUESTI APPUNTI SONO FATTI DA STUDENTIE NON SONO STATI VISIONATI DAL DOCENTE.
IL NOME DEL PROFESSORE, SERVE SOLO PER IDENTIFICARE IL CORSO.

PROGETTAZIONE DISPOSITIVI BIOM. PROGRAMMABILI

1. SEGNALI DIGITALI

(1)

La principale funzione di un apparecchio elettromedicale è l'ACQUISIZIONE di un SEGNALE.

L'operazione è digitale $\rightarrow$ si deve trasformare il segnale da ANALOGICO a DIGITALE.

Ma che cos'è un segnale digitale? È una sequenza di numeri.

Se ho N cifre posso rappresentare 10^N valori.

Normalmente si lavora con SEGNALI BINARI



DISCRETIZZATO NEL TEMPO

Conosco il valore del segnale solo in certi istanti di tempo entro un certo intervallo.



CAMPIONATORE SAMPLE & HOLD

Rende disponibili i campioni del segnale solo in certi istanti di tempo. Solo a tempi discreti. Posso definire:

- Intervallo tra campioni:

$$T_s$$

- Frequenza di campionamento

$$F_s = \frac{1}{T_s}$$

almeno

Per evitare l'ALIASING $\rightarrow F_s \geq 2F_a$ ($\rightarrow$ contenuto frequenziale max)

F_s non deve essere né troppo bassa ($2F_a$) né troppo alta, altrimenti diventa critico realizzare filtri digitali.

$$\underbrace{2,5/3 F_a}_{\text{Nyquist}} < F_s < \underbrace{10/20 F_a}_{\text{valore max}}$$

Se rispettiamo le Th di Nyquist siamo certi di non perdere informazioni.

In teoria ricostruisco senza errore il segnale originale $\rightarrow$ NON È COSÌ, perché ~~IL~~ SEGNALE FINITO A BANDA LIMITATA.

ERRORE: quando ricostruisco il segnale tramite un PASSA-BASSO assumo l'impedenza ∞ , con attenuazione nulla $\rightarrow$ ~~IL~~. Introduce un ulteriore errore.

invece parlo, se, non c'è un valore di R? Tengo conto di cosa il fruitore percepisce.

(3)

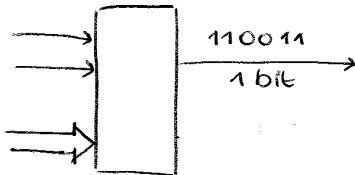
2. SISTEMI DIGITALI

Avendo una parola posso trasferirla:

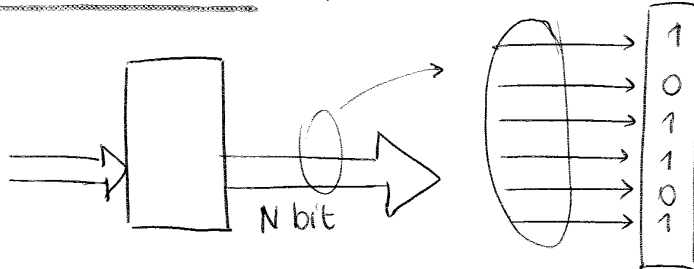
o in forma SERIALE: attraverso una sola linea mandando 1 bit per volta. uso la stessa linea in tempi $\neq$.

SVANTAGGIO: $\uparrow$ bit $\uparrow$ tempo

VANTAGGIO: $\downarrow$ hardware



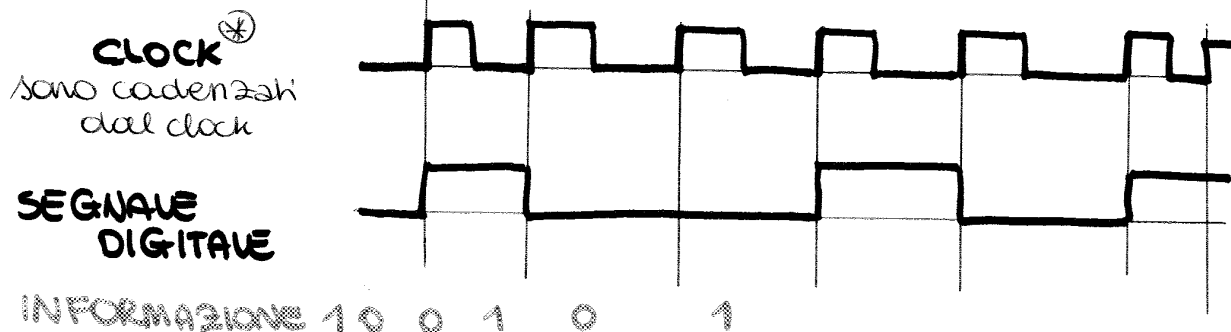
o in forma PARALLELA: trasmetto in un solo ISTANTE tutti i bit su fili $\neq$.



o in forma MISTA

TRASFERIMENTO DI SEGNALE DIGITALI

Trasferiamo un segnale digitale: 2 livelli, 0 ed 1. Ho bisogno di decodificarlo:



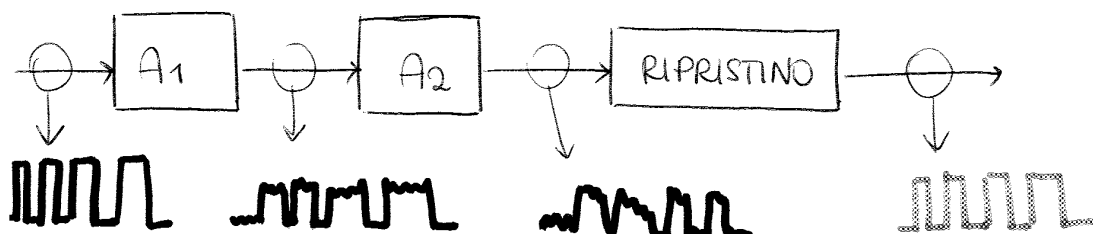
⊛ È fondamentale x la codifica: mi dice dove leggere la parola

PARALLELO: N bit contemporaneamente in un tempo T_{ck}

SERIALE: 1 bit alla volta (N bit con N cicli di clock) in un tempo $N \cdot T_{ck}$

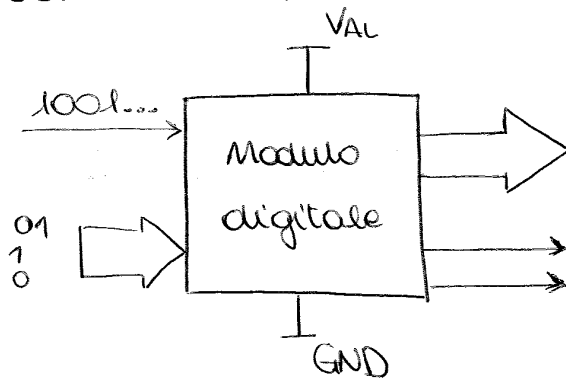
DEGRADAZIONE DEL SEGNALE

Dovuto al RUMORE



3. MODULI DIGITALI

(5)



Un modulo funzionale digital ha :

- alimentazione ($V_{AL} - GND$)
- segnali d'ingresso/d'uscita espressi con variabili binarie

→ tra quelle di riferimento e di alim.

Il modulo digitale ha quasi sempre alimentazione singola.

La tensione di alimentazione è POSITIVA e può avere ≠ valori : 5V, 3.3V, 2.5V, 1.8V, ... ↑ tens. alimentaz. ↑ consumi

La tens. di alimentazione dipende DALLA FAMIGLIA cui è.

Ad es. TTL usa una $V_{AL} = 5V$. CMOS usa tensioni di alimentazione da 3 a 18V.

Perché vogliamo diminuire la potenza dissipata? Perché voglio avere una AUTONOMIA MAGGIORE. Scegliendo aspetto una > quantità di potenza termica. Non è imposto un limite di autonomia ma x convenzione → 800mW.

STATI LOGICI

Sono 2:

- 0, L
 - 1, H
- } sono grandezze elettriche (tens.)

I vari moduli presenti in circuiti debbono comunicare e per farlo devono condividere una convenzione. Ne esistono di due tipi:



1. LOGICA POSITIVA :

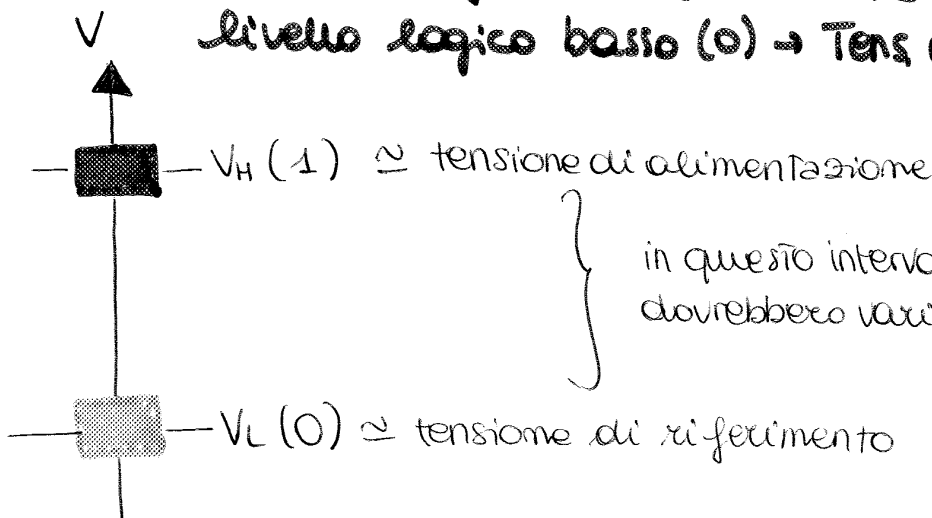
livello logico alto (1) → Tens più alta (V_H)

livello logico basso (0) → Tens più basse (V_L)

2. LOGICA NEGATIVA :

livello logico alto (1) → Tens basse (V_L)

livello logico basso (0) → Tens alte (V_H)



in questo intervallo le tensioni dovrebbero variare poco

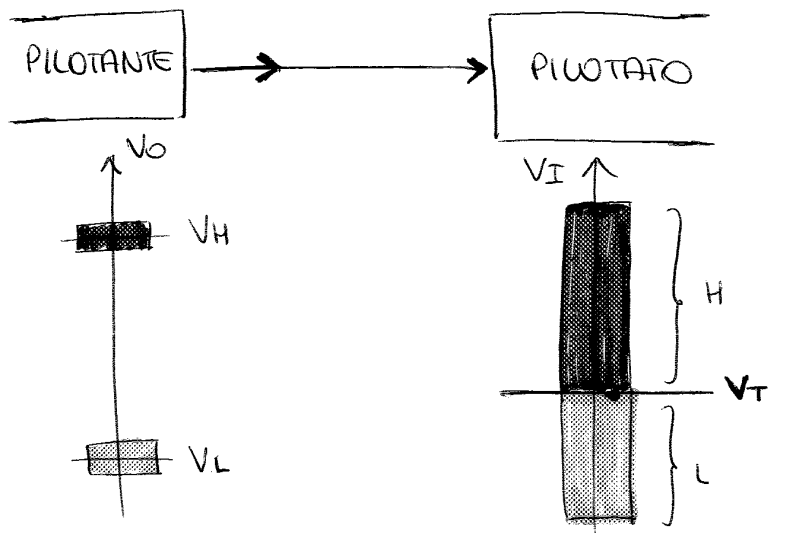


INGRESSO DI PORTA LOGICA

(7)

Gli ingressi riconoscono lo stato logico confrontando la tensione d'ingresso V_I con una soglia V_T

↳ più o meno nell'intorno della metà della tensione di alimentazione



V_I proviene dall'uscita di un altro circuito logico.

V_O e V_I devono essere coerenti

$$V_I > V_T \rightarrow H$$

$$V_I < V_T \rightarrow L$$

Il costruttore ci garantisce tutto e garantisce che questa situazione sia rispettata A PATTO CHE CI SIA UN CARICO ADEGUATO IN USCITA. Se non rispetto questa condizione la situazione potrebbe non verificarsi.

CAMPI DI USCITA

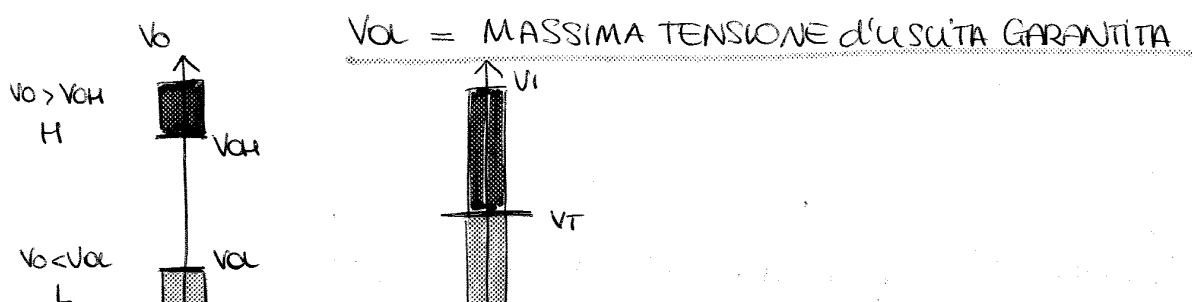
Se il resistore ha un valore troppo basso, potrebbe succedere che V_H si avvicini molto a V_L e allora il sist. pilotante percepisce entrambe le tensioni come basse.

logica TTL: è difficile garantire tens d'uscita che dipende dal carico; allora ↓

applicando all'uscita un carico limitato (noto) quando vuoi avere il livello logico alto, la tensione d'uscita sarà sempre maggiore di V_{OH} :

$$\underline{V_{OH} = \text{MINIMA TENSIONE D'USCITA GARANTITA}}$$

applicando all'uscita un carico limitato (noto), quando vuoi avere il livello logico basso, la tensione d'uscita sarà sempre minore di V_{OL} :



SOGGIA

LOGICA CMOS

Nell'intorno della metà della tens di alimentazione (55% - 50% - 45%)

LOGICA TTL

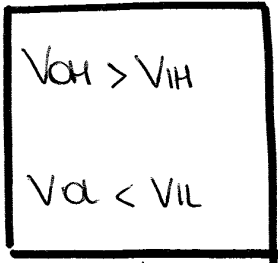
Non ha un valore preciso e può cambiare da di'sp a di'sp.

Occorre così specificare dei limiti:

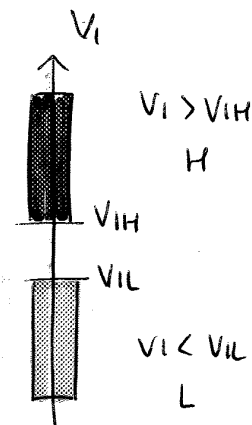
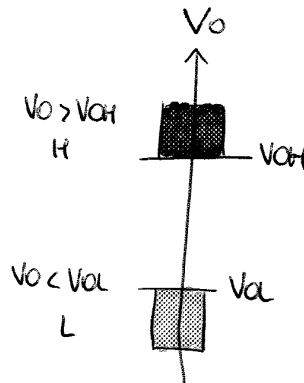
• **V_{IH}** : minima tens all'ingresso interpretata come livello logico alto.

• **V_{IL}** : massima tens all'ingresso interpretata come livello logico basso.

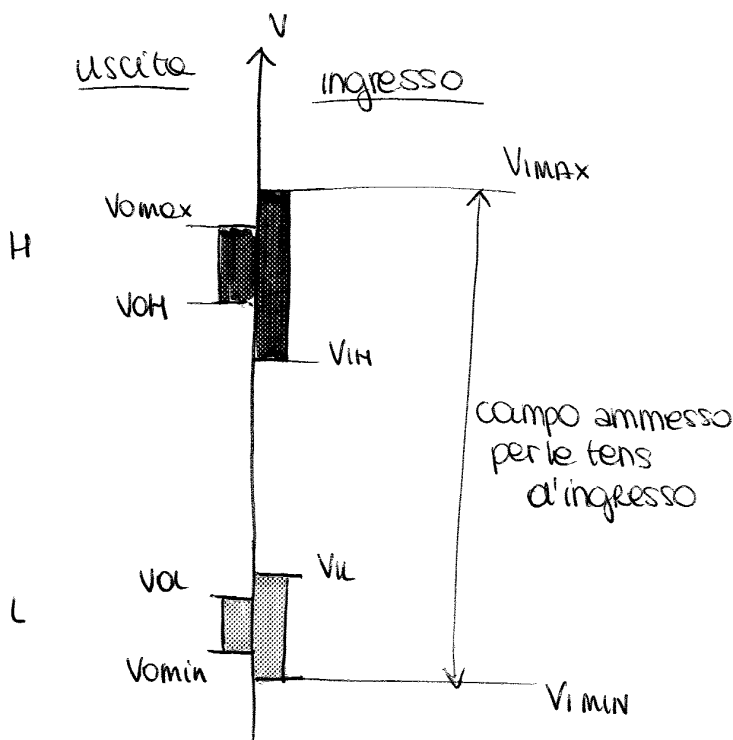
Per avere compatibilità tra le porte:



V_{IH} sarà bassa
 V_{IL} sarà alta,
ma non dipende da noi.



Situazione complessiva:

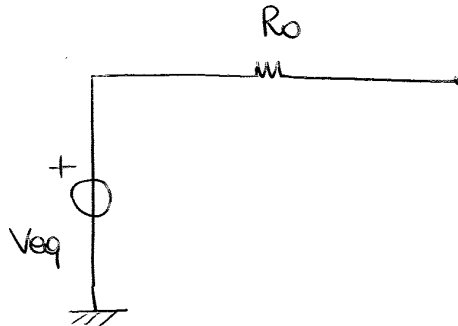
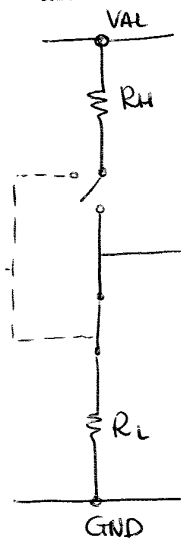


Se i valori limiti non vengono rispettati:

- tutto continua a funzionare e poi quando qcs si rompe non si riesce a sostituire
- a volte funziona a volte no

MODELLIZZAZIONE

• Porte d'uscita CMOS:



V_{eq} dipende dal livello logico

- $H = V_{cc}$
- $L = GND \triangleq 0$

$R_o \approx 200/400 \Omega$

- $R_o = R_H, H$
- $R_o = R_L, L$

$\approx 200/400 \Omega$

• Porte d'uscita TTL

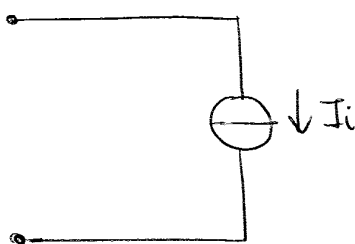
Il modello è analogo. Cambiano i valori:

V_{eq} per livello logico BASSO = 100/200 mV (NON 0 = GND)

R_o → H: parecchie centinaia Ω /k Ω
 → L: decine/centinaia Ω

• Porte d'ingresso TTL

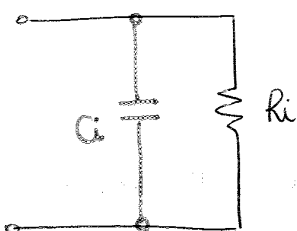
Può essere modellizzata con un generatore di corrente:



I_i → H: decine di μA , positiva entrante
 → L: positiva uscente

• Porte d'ingresso CMOS

Le correnti sono bassissime. Modellizzabile con un resistenza



$R_i \approx M \Omega$ [potrebbe anche essere considerato come c.to aperto]

In parallelo, però, troviamo una capacità d'ingresso

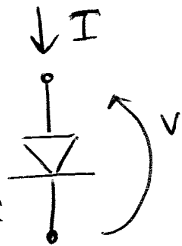
$C_i \approx pF$ (5/10/15 pF)



o livello logico basso:

$$V = 0,15V$$

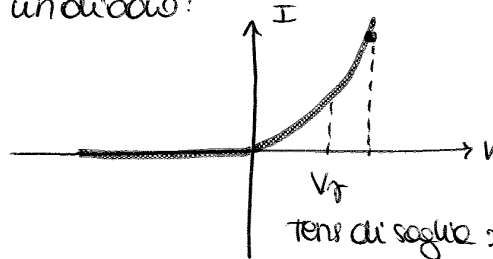
$$R_0 = 20 \Omega$$



$V > V_f$:

piccoli aumenti di tensione causano un grande aumento di I

Caratteristiche tens-corrente del LED uguale (13) ad un diodo:



Tens di soglia $\approx 1,4/1,5V$
(led rosso)

Quindi per far accendere il LED devo fornire corrente diretta di qualche mA.

Devo portare l'AVO ad un pot di $1,4/1,5V$ rispetto al catodo ed è difficile da realizzare $\downarrow$

ottimo perché per livello L non devo vedere la luce (tens d'uscita non sarà mai alta abbastanza da mandare in conduzione il diodo indipendentemente da R)

o livello logico alto:

$$R_0 = 500 \Omega$$

$$V = 5V$$

$$V_{led} = 1,4V$$

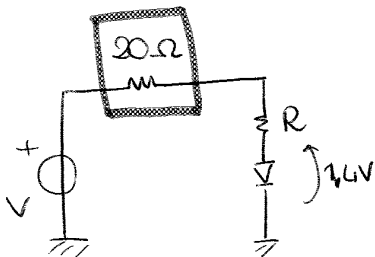
$$I \approx 10/15mA$$

correnti suff. elevate

$$I = \frac{V - V_{led}}{R_0 + R} \Rightarrow 10mA = \frac{5 - 1,4}{500 + R}$$

$$R \approx \frac{3,6}{10 \cdot 10^{-3}} - 500 < 0 \quad !!$$

I conti sono correnti $\rightarrow$ SBAGLIATO IL MODELLO: **è necessario diminuire il valore di R_0 .**



In lab si misura la tens d'uscita, chiudiamo sul carico e la tens scende con una certa corrente. Sapendo di quanto scende $\rightarrow$ conosco il valore della resistenza misurando la differenza tra la tens equivalente e la tens misurata.

$$R = \frac{3,6V}{10mA} - 20\Omega \approx 300/350\Omega$$

Per disp con $\uparrow I$, R_0 può essere trascurato.

FORTE CMOS:

$\downarrow$ capacità di pilotaggio: integrato $\rightarrow$ 4000, pochi mA e $R_0 \approx 400\Omega$

$\uparrow$ capacità di pilotaggio: integrato $\rightarrow$ 4000 UB: B=buffer, $R_0 \approx$ decine $\downarrow$ seende di un ordine di grandezza. $I \approx 10/20mA$.

Se $I = 21111 \rightarrow v - \dots - r$

(15)

$$UB: R_o \simeq 300 - 600 \Omega$$

$$B: R_o \simeq 50 - 100 \Omega (\simeq 50/60 \Omega) \uparrow \text{capacità di pilotaggio}$$

CON PILOTANTE:

Effetti R_i :

1. Determina la corrente d'ingresso quando l'uscita della porte pilotante è H. Se R_i non ci fosse, $I = 0$. Con R_i :

$$\downarrow I_{IH} = \frac{V_{OH}}{R_i} \simeq 1/2 \mu A \quad (V_{OH} = 5V \quad R_i = 5 M\Omega)$$

2. La corrente così bassa causa una ΔV su R_o e $\downarrow$ tens d'uscita della porta (V_i). $R_o \simeq$ centinaia Ω e $I_{IH} \simeq \mu A \rightarrow \Delta V \simeq$ centinaia μV che è trascurabile.

Tens d'uscita della porta pilotante + bassa di quelle che avremmo senza resistore: + bassa di quanto?

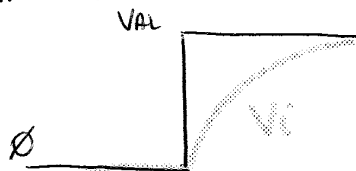
$$I_{IH} \cdot R_o = \text{qualche } \mu A \cdot \text{centinaia } \Omega \simeq \text{centinaia di } \mu V \text{ TRASCURABILE}$$

3. Diminuisce τ . $\tau = C_i (R_o \oplus R_i)$, ma $R_o \ll R_i \Rightarrow R_o \oplus R_i \simeq R_o$
Quindi se R_i abbassa τ , ma praticamente non è vero perché ha un valore molto grande. Sarebbe utile, ma l'effetto è imitabile.



È possibile trascurare R_i .

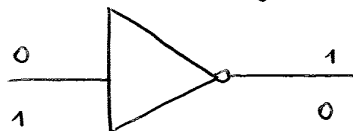
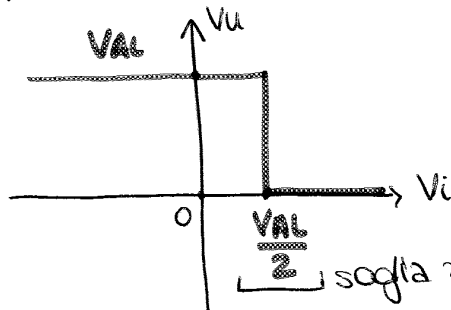
Andamento di V_i da $\emptyset$ a V_{AL} :



Arriva a V_{AL} in un tempo ∞

$$\tau \simeq R_o \cdot C_i = \text{centinaia } \Omega \cdot \text{decine pF} \simeq \underline{\underline{ns}}$$

TRASCARATTERISTICA di un invertitore logico (V_u in fnz V_i):



$$V_{AL} = 0 \div 5V$$

$$V_u = 0 \div V_{AL}$$



$$\left\{ \begin{array}{l} V < \frac{V_{AL}}{2} \Rightarrow V \text{ è } 0 \text{ logico} \\ V_u = 1 \\ V > \frac{V_{AL}}{2} \Rightarrow V \text{ è } 1 \text{ logico} \\ V_u = 0 \end{array} \right.$$

Cambiamento di stato di V_u quando V_i varia nell'intervallo di $\frac{V_{AL}}{2}$.

Come fare un wire :

(17)

- BASSO RUMORE (complesso)
- FRONTI RIFIDI (+ semplice)



basta avere τ basse. Se R_0 è bassa e anche $C_i \Rightarrow \tau \downarrow$

Slew rate : $\boxed{\frac{dV_i(t)}{dt}}$ in un punto, ma ho valori $\neq$ a seconda del punto

Io voglio sapere cosa capita nei pressi di $\frac{VAL}{2} \rightarrow$ valuto l'intorno :

se la soglia è $> \frac{VAL}{2}$, $\frac{dV_i(t)}{dt} < 0$, ma la condiz è soddisfatta per soglia $>$, allora lo sarà anche per $\frac{VAL}{2}$.

$$V_i(t) = VAL \left(1 - e^{-t/\tau} \right)$$

$$\frac{dV_i}{dt} = VAL \left(\frac{1}{\tau} e^{-t/\tau} \right) \rightarrow \text{volendo calcolare la derivata in } \frac{VAL}{2}, \text{ ricavo } t \text{ da } V_i(t) \text{ in funzione di } \tau \text{ e lo sostituisco in } V_i\left(\frac{VAL}{2}\right).$$

Occorre ricordare che al tempo $t = \tau$, $V_{it} \approx 62/63 \% V_i$. La derivata sarà leggermente + bassa e vale anche x soglia $>$. Quindi:

$$\boxed{\left. \frac{dV_i(t)}{dt} \right|_{t=\tau} = \frac{VAL}{\tau \cdot e} \approx \frac{VAL}{2,7 \cdot \tau}}$$

Tutto ciò va bene ammesso di conoscere le valore minimo di derivata da garantire $\rightarrow$ MAI NOT

È un problema complesso, ma allo inutile.

Accettiamo uno slew-rate di **1 ÷ 5 $\frac{V}{\mu s}$** (dipende cmq sempre dal rumore)

[ES] : Porta UB pilotante e pilotata CMOS

$$R_0 = 500 \Omega$$

$$C_i = 10 \text{ pF}$$

$$\tau = R_0 \cdot C_i = 500 \cdot 10 \cdot 10^{-12} \approx 5 \cdot 10^{-9} \text{ s} = 5 \text{ ns}$$

$$VAL = 5 \text{ V}$$

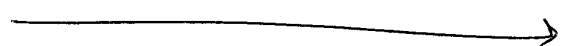
$$\frac{dV_i}{dt} \approx \frac{VAL}{2,7 \cdot \tau} = \frac{5 \text{ V}}{2,7 \cdot 5 \cdot 10^{-9}} \approx \frac{5}{3,5 \cdot 10^{-9}} = 0,33 \cdot 10^9 =$$

$$\left[\frac{\text{V}}{\text{s}} \right]$$

63% V_i

$$\boxed{= 330 \frac{\text{V}}{\mu s}}$$

pendenza suff. elevato



Non abbiamo verificato le FAN-OUT :

19

TTL: FAN-OUT $\cong 8 \div 20$

(ES) FAN-OUT = 10 pilotante garantisce V_{OH} finché eroga in uscita meno di 10 volte la corrente corrispondente al carico al livello logico H che è 40 mA.

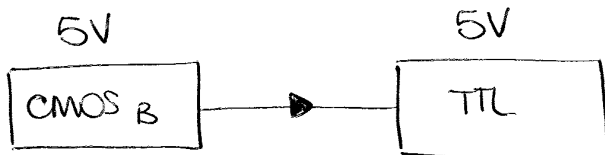
Perciò, posso fidarmi di V_{OH} se la corrente in uscita è $< 400 \mu A$, basta.

→ Val: FAN-OUT = 10 la porta assorbe fino a 16 mA. Non riuscirò mai a forzarli.



Tutto funziona.

② CMOS → TTL



$V_{OH} = 4.5V$

$>$

$V_{IH} = 2V$

$V_{OL} = 200mV$

$<$

$V_{IL} = 1V$

-) $R_O \cong \text{centinaia } \Omega$

(L) forza una corrente di 1/2 mA.

Molto alta per un CMOS



Val non lo ritengo + !!

Devo poi ancora controllare Val e' ancora compatibile con V_{IL}

COME SI GENERA IL RUMORE? COME CONTENERLO?

Il rumore si può generare:

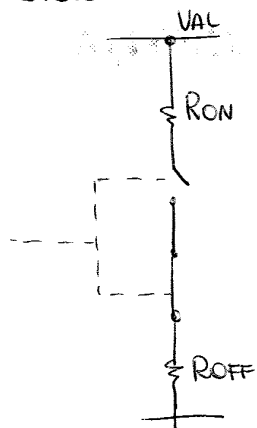
- errori nel funzionamento delle porte
- interferenze elettromagnetiche

Quindi riuscire a contenere il rumore

↗ evita le commutazioni multiple

↘ abbatte le interferenze elettromagnetiche

Stadio d'uscita CMOS:



Può capitare che entrambi gli interruttori siano chiusi per un brevissimo intervallo di tempo (decine ns).

Le cose vanno cmq bene dato che R_{ON} e R_{OFF} sono dell'ordine di 20/30 Ω :
Resistenze di canale

$R_{ON} = 25 \Omega$

$R_{OFF} = 25 \Omega$

$$I = \frac{5V}{25\Omega + 25\Omega} = 100mA$$

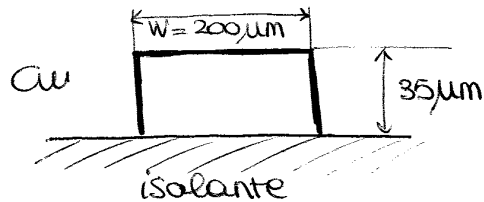
La porta CMOS consuma $I \approx \mu A$. Quando commuta $\times 10$ $I \uparrow$

la corrente passa da 0 A a 100 mA, valore grande per un $\Delta t \cong 10 ns$

Il rumore si genera. Quella che è $1 \text{ mV} = \text{mezzo } 10 \text{ mV}$, 1 mV non è molto rassicurante. Se $NM \approx 1 \text{ V}$ il rumore non deve superare $50/100 \text{ mV}$ per avere una sit. accettabile. Ricorda che nella realtà abbiamo + porte, qui solo una. Quindi il rumore si moltiplica e NM non viene + rispettato.

Tra alimentatore e porta c'è una pista in rame su un substrato di materiale isolante. Otteniamo un conduttore non ideale caratterizzato da una **RESISTENZA R_L** .

Supponiamo una pista di lunghezza, $l = 0,1 \text{ m}$



$$S = 0,2 \cdot 0,035 \approx 7 \cdot 10^{-3} \text{ mm}^2$$

Vediamo che è + lunga che larga:

$$R_L = \rho \frac{l}{S} = 0,018 \cdot \frac{0,1 \cdot 10^3}{7} \approx 40 \Omega$$

Normalmente $R_L = 1/5 \Omega$, ma le piste normalmente non sono così sinette. In questo caso R_L è preponderante su R_G .

$$R_L + R_G = 1 \Omega$$

→ la caduta di tensione è pari a 100 mV : $\Delta V = (R_G + R_L) \cdot \Delta I \approx 100 \text{ mV}$

Normalmente ho più porte che possono commutare insieme, quindi:

$$\Delta V = 100 \text{ mV} \cdot n, \quad n = \text{numero di porte.}$$

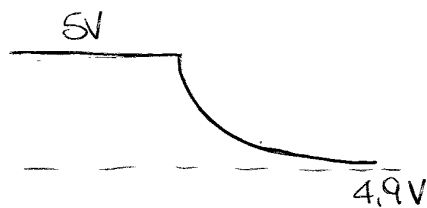
Usciamo subito da NM .

Siccome per un piccolo Δt ho un plus di carica elevato, metto un serbatoio di carica, **condensatore C** .

Quanta capacità è richiesta? $\Delta I \cdot \Delta t = \Delta Q$

$$100 \cdot 10^{-3} \cdot 10 \cdot 10^{-9} = 1 \cdot 10^{-9} \quad C = 1 \text{ nC}$$

↑ carica del condensatore, il plus di corrente non viene fornito dal generatore R_G che non viene nemmeno perturbato (idealmente).



Se richiedesse 100 mA per un tempo ∞ avremmo una caduta di 100 mV .

Più τ è lungo e + l'impulso ha durata breve rispetto a τ la tensione scenderà + velocemente.



$$\Delta Q = C \Delta V, \quad C = 1 \text{ nC} \quad \Delta V \approx 10 \text{ mV} \text{ (è da me impar)}$$

$$C = \frac{\Delta Q}{\Delta V} = \frac{1 \cdot 10^{-9} \text{ C}}{10^{-2} \text{ V}} = 100 \text{ nF}$$

terzo, x ridurre le oscillazioni:

23

- o Basso valore di L_s per avere oscillazioni più rapide
 $L_s \rightarrow 0$, oscillazioni così rapide da tornare allo stat. ideale
- o Per avere L_s piccolo $\rightarrow$ PISTA LARGA & CORTA (tazza).

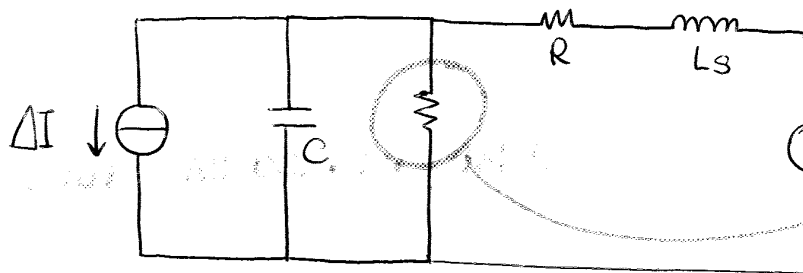
Per cui per ridurre il RUMORE:

- o CONDENSATORI di BYPASS tra pin di alimentazione e pin di GND
- o PISTE TOZZE, meglio piani di alimentazione diffusa.

! Più i reofori sono lunghi più L_s è alta.

- o I condensatori di bypass devono essere il + vicini possibile ai piedini di alimentazione dell'integrato.

TRUCCO: Aumentare coefficiente di smorzamento del circuito.



si aggiunge un R con valore basso. però consumo troppo e non si usa!

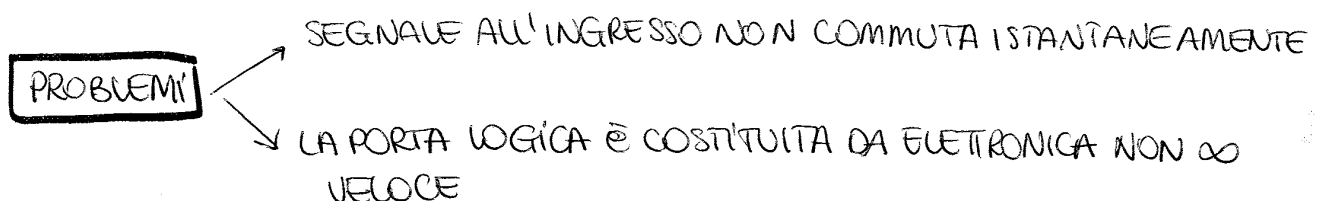
TRUCCO del TRUCCO: Si può evitare il problema di L_s introducendo CONDENSATORI di cattiva qualità (angolo di perdita non troppo basso) ad alta capacità (10/20 μF elettrolitici).
 $R_p \downarrow$ e mi serve x smorzare le oscillazioni.
 In posizioni strategiche.

PARAMETRI DINAMICI

Descrivono le variaz dei segnali d'ingresso della porta logica pilotata.

Il segnale all'ingresso è 0 o a H o a L senza transizioni (transizioni so rapide)? NO! I fronti hanno pendenza finite.

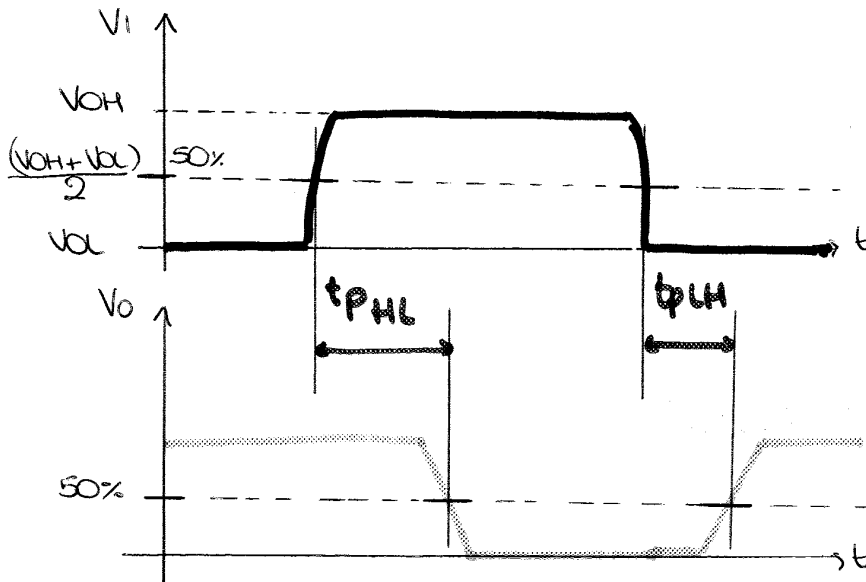
Il modulo digitale contiene componenti analogici che non possono sopportare variaz di tens./corrente istantanee.



Entrambi i problemi causano un **RITARDO** all'ingresso della porta della variazione.

25

Il segnale d'ingresso è + Ripido di quello in uscita.

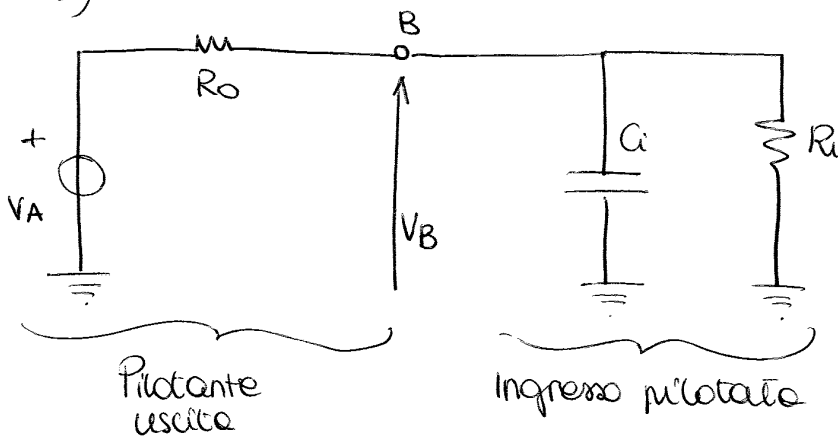


Indipendentemente da t_f , $\exists$ un RITARDO, **RITARDO DI PROPAGAZIONE** (o tempo) t_{PLH} / t_{PHL} . Come calcolarli? È necessario considerare il 50% dell'evoluzione (valor medio).

Tempo di Transizione: quando si considera il ^{all'ingresso} pilotante in parte di t_f e t_r , quando si considera il segnale all'uscita in parte di t_f .
Tempo di transizione $\equiv t_f$.

Modello elettrico per l'analisi dei t_f

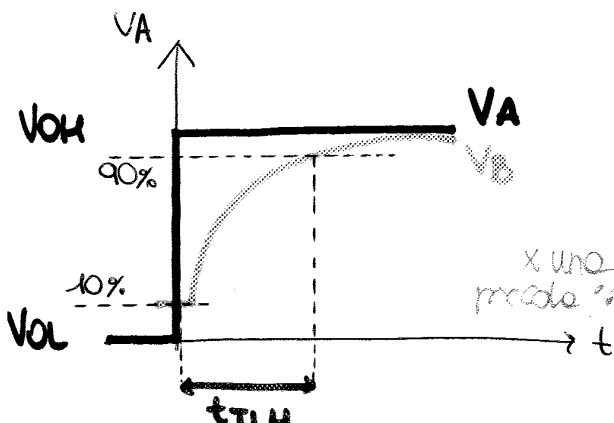
(CMOS)



- ✓ $R_O \ll R_i$:
 $\rightarrow R_O \approx$ centinaia Ω
 $\rightarrow R_i \approx M\Omega$

- ✓ V_B varia esponenzialmente
 $(1 - e^{-t/\tau})$. (AMMONTARE TRANSIZIONE)

- ✓ $\tau = C_i \cdot (R_O \oplus R_i) \approx$
 $\approx C_i \cdot R_O$
 $\rightarrow$ gen di saturazione.



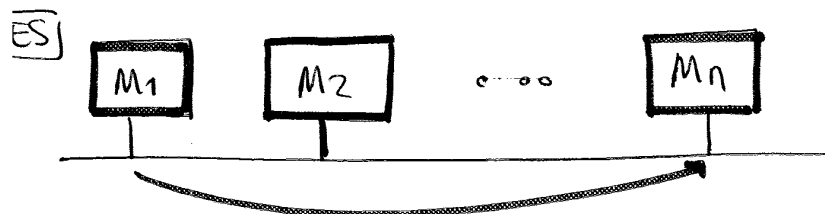
Dovendo misurare le t_r applicherei la def: oscilloscopio e valuto il 10% e 90% e calcolo il tempo che intercorre. Exp crescente. Considerando la sua evoluzione per % T (20% di T), l'evoluzione è pari alla % di T . Il tempo necessario per arrivare al 10% del valore finale.

Indica tra la VAL e il GND ed è nell'interno della segnaletica privata, (2; quindi la pilotata può vedere 0 o 1 e non possiamo prevederlo.



MAI FARLO!

Perché collegare 2 uscite? Per realizzare sist modulari in cui non è noto a priori il numero di dispositivi logici connessi (schede collegate sul BUS di un PC).



1. Farlo parlare M1 con Mn.

2. M2 è scollegato.

Poi voglio far parlare M2 con Mn
scollego M1.

So chi parla e quando!!

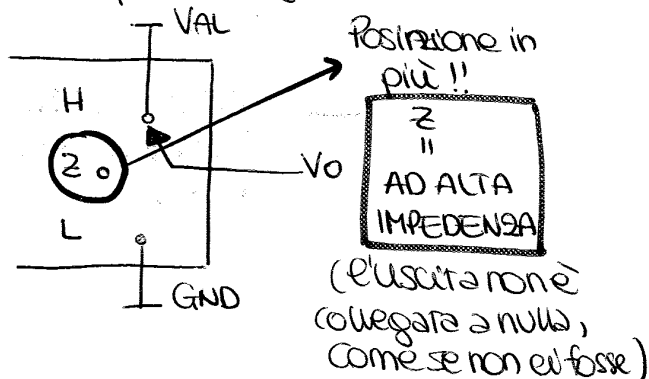
Ma a volte non so chi parlerà, quando e quanti insieme → devo poterli collegare tutti insieme!!



PORTE NON TRADIZIONALI

THREE STATE (3S)

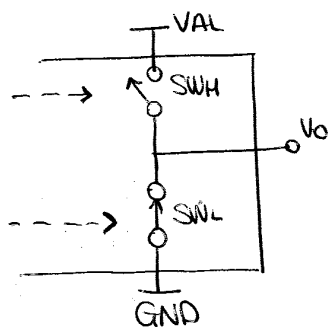
C.to equivalente



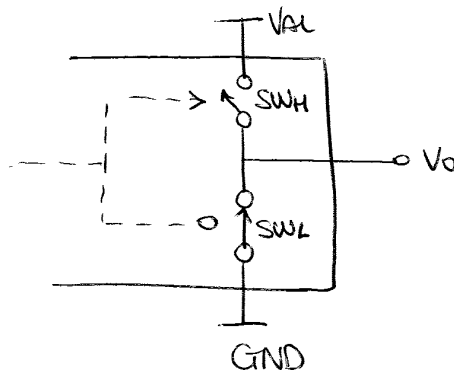
OPEN COLLECTOR (OC)

o
OPEN DRAIN (OD)

I comandi x gli interrupti sono INDIPENDENTI:



Totem-Pole (tradizionale CMOS)



OC e OD

(29)

OC → transistor bipolari (TTL)

OD → " CMOS / MOS

Lo stadio d'uscita è un interruttore collegato alla tens di riferimento:

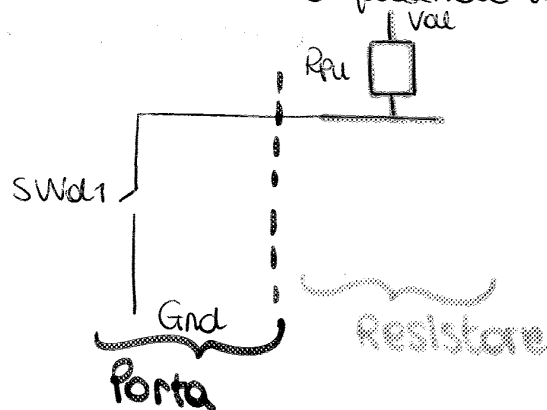


Se l'interruttore è chiuso → L

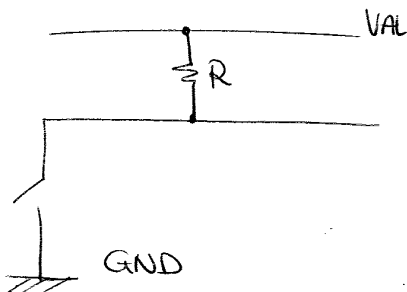
Se l'interruttore è aperto → Z

E il livello H? Non è disponibile. Per farlo devo collegare la porta con componenti (resistori) connessi alla V_{AL} quando lo c.t.o è aperto).

R_{pu} = resistore di pull-up
 Tiene a livello logico alto quando l'interruttore è aperto!



Altra schematizzazione:



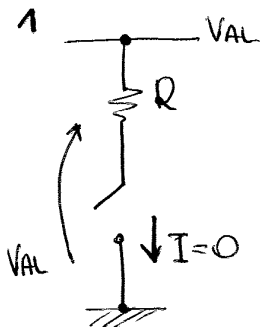
Interruttore:

- OPEN: $V_o = V_{AL}$ (in R non c'è I)
- CLOSE: $V_o = GND$

Per dimensionare il resistore dobbiamo considerare 2 aspetti:

→ INTEGRITÀ DELL'INTERUTTORE¹

→ COMPATIBILITÀ CON IL CARICO² (rispettare valori opposti di V_A e V_H)



Interruttore OPEN: $I=0$ tens max è V_{AL}

Se la tens è troppo alta:

- l'interruttore conduce
- l'interruttore si danneggia

LA TENS AI MORSETTI NON DEVE ESSERE SUPERIORE DI UN CERTO VALORE PREFISSATO.

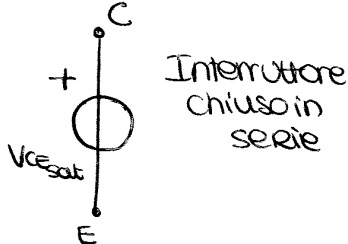


CHIUDIZIONE

Interruttore dovrebbe essere chiuso. Se vado in lab il collettore dovrebbe essere al potenziale del GND. In Realtà non è così!

$dclp \approx$ centinaia di mV

V_{CEsat}



È un'approssimazione xkè considera $V_{CEsat} = \text{cost.}$

Voglio garantire che la tens d'uscita sia $< V_{OL}$. Se $V_{CE} > V_{OL}$ non avrei compatibilità.

INTERDIZIONE

(31)

Interruttore dovrebbe essere aperto. In lab vedo che la corrente che scende in C dovrebbe essere 0, ma non lo è, assume un valore piccolo!

$I \approx \mu A$

I_{cosat}



Interruttore in parallelo

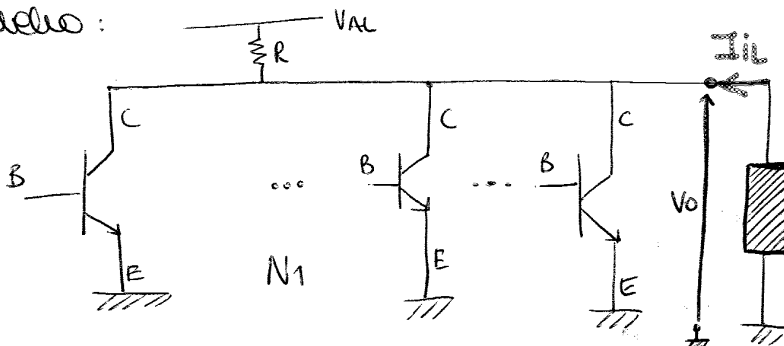
$R \approx$ centinaio $\Omega \div k\Omega$

In che cosa consiste il carico?

forte OC nascono per collegare molte porte che insistono sullo stesso R.

Se sono tutte in interdizione in uscita ho $V_O = V_{OL}$, ma se anche uno solo va in saturazione la tens scende a zero.

Modello:



Non importa, in realtà, cm è fatto il carico; i di scar di compatibilità e protez dell'interruttore sono i med. simi.

CARICO: N_2 porte TTL

Quanto deve valere R?

→ **INTEGRITA'**: come primo passo devo scegliere V_{AL} in funzione del carico. In questo caso: TTL → 5V

• **INTERDIZIONE**: $dclp$ tra C ed E = V_{OL}

perciò $V_{AL} \leq V_{CEmax}$

• **SATURAZIONE**: in R passa la max corrente che si chiude sui collett re degli altri transistori:

$$I_C = \frac{V_{AL} - V_{CEsat}}{R}$$

$V_{AL} = \text{nota}$

$V_{CEsat} = \text{nota (da data sheet)}$

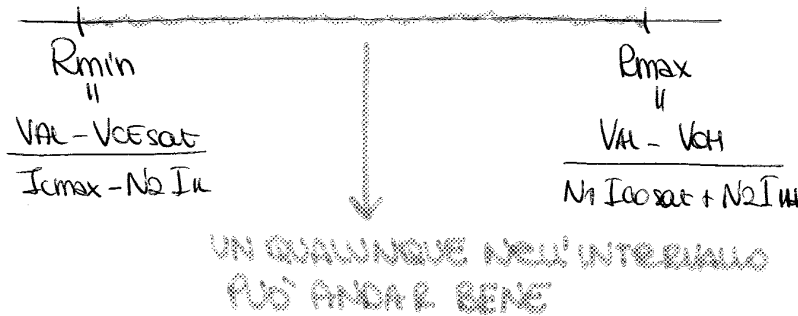
$R = \text{da determinare} \rightarrow$

$$V_{OH} - V_{AL} = -R (N_1 I_{OSAT} + N_2 I_{IL})$$

(33)

$$R_{max} \leq \frac{V_{AL} - V_{OH}}{N_1 I_{OSAT} + N_2 I_{IL}}$$

Possiamo a questo punto determinare l'intervallo di R:



! R

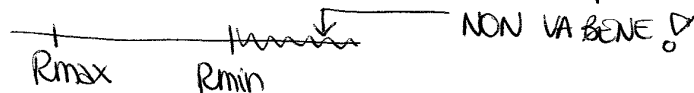
- prossima a R_{min} : condiz migliore x compatibilità con H (caduta su R è minima), ma se raggiungiamo quando un transistore va in saturazione $\rightarrow I \approx I_{cmax}$ e consumo di + ! Inoltre rischio di danneggiare il transistore
- prossima ad R_{max} : consumo meno, ma sono in condiz + critiche per V_{OH}

Perciò:

- $R = \text{media aritmetica} = \frac{|R_{min} - R_{max}|}{2}$
 - $R = \text{media geometrica} = \sqrt{R_{min} \cdot R_{max}}$
 - $R = \text{massimizzo NM} \approx R_{min}$
 - $R = \text{minimizzo i consumi} \approx R_{max}$
- } non troppo estreme.

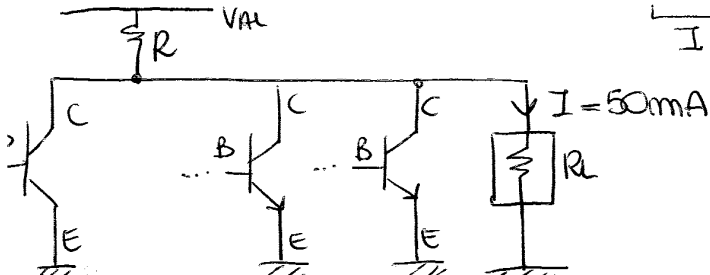
! Osservando R_{min} , $\uparrow N_2$ $\downarrow$ denominatore a tale punto che potrei avere:
 $I_{cmax} - I_{cmax} = 0$ e mandare R_{min} ad ∞ .

Questo può capitare se I_{cmax} è troppo basso oppure ho collegato troppe porte logiche:



CARICO: RELAY

È un carico resistivo. $R_L = 100 \Omega$ $V_L = 5V$ (x attivarlo, chiude o apre contatto)
 $I = 50mA$

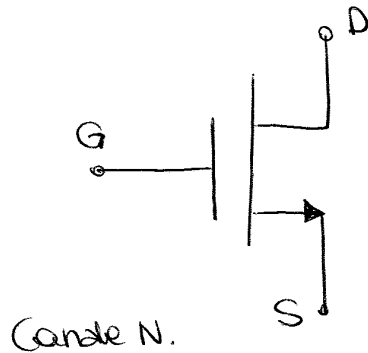


→

OPEN DRAIN

(35)

L'interruttore cambia → TRANSISTORE AD EFFETTO DI CAMPO:



3 morsetti

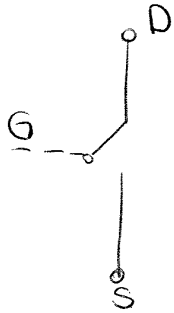
D = drain

G = gate

S = source

Tens tra G e S modula la resistenza vista tra D e S. Anche trans MOS a canale N o P. In questo mom non è molto imp. Anche lui può funzionare in una regione lineare nella quale si comporta come amplificatore o può lavorare in regione di conduzione, simulando un interruttore chiuso tra D e S oppure come circuito chiuso o canale aperto quando tra D e S vedo c.to aperto.

Il transistor è equivalente ad un interruttore:



Variando la tensione su G vario il canale

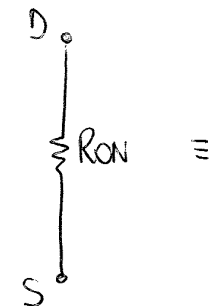
OPEN

↓ CHIOSE

Attenzione: a seconda di cosa consideriamo ho ≠ interpretazioni →

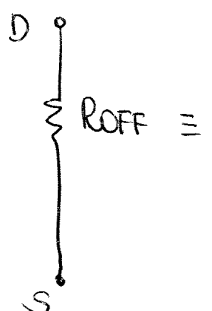
- DISPOSITIVO: canale chiuso : High- Ω circuito aperto
- C.T.O. ESTERNO: interruttore chiuso, conduzione

Condizione: interruttore è CHIUSO. Il canale può essere visto come resistenza, chiamata R_{ON} (ON = conduce). Ha un valore variabile a seconda del transistor: $\frac{1}{10} \text{ m}\Omega \div \text{poche centinaia } \Omega$



Ha un valore relativamente basso rispetto al valore che viene usato per rappresentare l'interruttore aperto

Sempre un resistore, R_{OFF} (OFF = c.to aperto). Idealmente dovrebbe valere ∞ . Tipicamente:

 $\text{M}\Omega \div \text{decine M}\Omega$ 

Approssimativi, ma x noi' addatti

→

Quindi trascurando la corrente su R.

(37)

$$I_{DS} = \frac{VAL}{R_{ON} + R}, \quad I_{DS} R_{ON} + I_{DS} R = VAL$$

$$R = \frac{VAL - I_{DS} R_{ON}}{I_{DS}}$$

Dovendo cercare il minimo valore di R e dovendo rispettare $I_{DS} < I_{DSmax}$, come x le porte OC, dobbiamo mettere il max valore di I_{DS} .

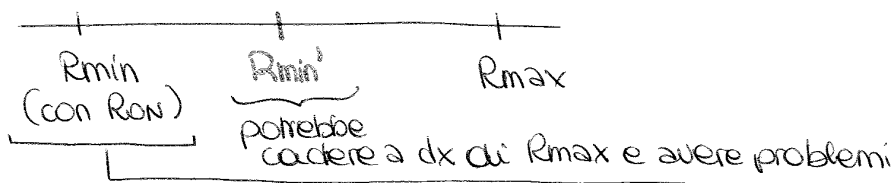
$$R_{min} \geq \frac{VAL - I_{DSmax} R_{ON}}{I_{DSmax}}$$

Supponendo l'interruttore ideale, R_{min} sarebbe $>$ perché non considero R_{ON} . Se $R_{ON} \downarrow$, I_{DS} non troppo grande:

$$R_{min}' \approx \frac{VAL}{I_{DSmax}}$$

va comunque bene

Quando considerare l'approssimazione potrebbe essere c'è un po'?



Spesso non si considera perché R_{ON} non è not a precisamente (intervallo di valori molto distanti fra loro).

Per trovare R_{max} : [$\approx$ per co]

Devo calcolarlo x interruttore OPEN $\rightarrow$ canale spento quindi R_{OFF} . Devo in porre: $V_O > V_{OH} > V_{IH}$ $\rightarrow$ quelle delle porte pilotate che voglio imporre $\uparrow V_{IH}$ quanto $\uparrow NM$

La tensione V_O è data dalla partizione di VAL , $3R$ e $R_{OFF} // R_1, R_2, R_{IN}$.

$$R_{OFF} \approx R_i \approx M\Omega$$

Abbiamo tutti i canali con R_{OFF} .

$\rightarrow$ leggermente + basso

Vediamo un valore di resistenza che è

grosso modo $\frac{R_{OFF}}{R_1 + R_2}$, tutti gli altri valori $\approx R_{OFF}$

[ES]: 10 porte pilotanti e 10 pilotate

$$R_{OFF} = R_i = 4 M\Omega, \quad N_2 = 20$$

sono 20 in parallelo quindi $R_{TOT} = 200 k\Omega$

$$\frac{1}{\frac{1}{4 \cdot 10^6} \cdot 20} = \frac{1}{\frac{20}{4 \cdot 10^6}} = \frac{1}{\frac{5}{10^6}} = \frac{1}{5} \cdot 10^6$$

Quanto vale R? Se $R \approx$ decina $k\Omega$ su R cadrebbe $\frac{1}{10} VAL$, se $VAL = 5V$,

$R = 20 k\Omega$ cadrebbe $0.5V$ e una tensione d'uscita di $4.5V$. Alta rispetto a $V_{IH} \rightarrow OK!$

$20 k\Omega$ potrebbe essere auto. Con un n° di porte 10/20 le condi'z su

PORTE LOGICHE ELEMENTARI

(39)

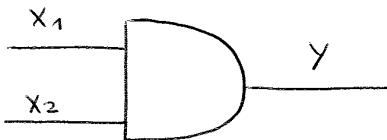
• PORTA NOT



X	Y
1	0
0	1

inverter : inverte il segnale all'ingresso

• PORTA AND a 2 ingressi

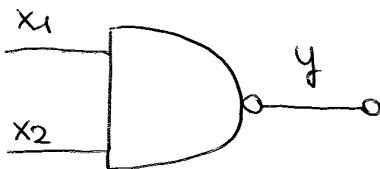


X ₁	X ₂	Y
0	0	0
0	1	0
1	0	0
1	1	1

L'USCITA È A LIVELLO LOGICO ALTO (1) QUANDO ENTRAMBI GLI INGRESSI SONO A LIVELLO LOGICO ALTO (1).

• PORTA NAND

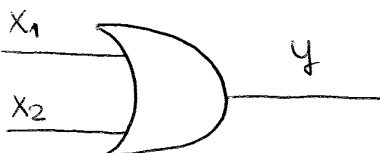
Porta AND negata:



X ₁	X ₂	Y
0	0	1
0	1	1
1	0	1
1	1	0

L'USCITA VA A ZERO SOLO SE ENTRAMBI GLI INGRESSI SONO 1.

• PORTA OR



X ₁	X ₂	Y
0	0	0
0	1	1
1	0	1
1	1	1

L'USCITA VA AD 1 SE ALMENO UN INGRESSO È AD 1.



POTENZA CONSUMATA

41

Per che cosa è usata l'E?

- funzionamento interno del modulo
- segnali
- trasformazione in calore (E' è sprecata)

L'E necessaria è fornita dall'alimentatore ($V_{AL} = \text{cost}$, tipicamente 5V).
L'indicatore del consumo è la CORRENTE ASSORBITA:

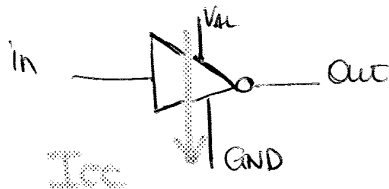
$$P = V_{AL} \cdot I \rightarrow I = \frac{P}{V_{AL}}$$

Svantaggi di un alto consumo:

- $\uparrow I$ 
- conduttori grossi
- Radiodi'sturb' 
- generazione di molto calore
- minor autonomia delle batterie

POTENZA STATICA, P_S

Assorbita dal modulo quando stati d'ingresso e di uscita sono fissi.
La corrente è costante. Per diminuire P_S , diminuisco I_{CC} e V_{AL} .

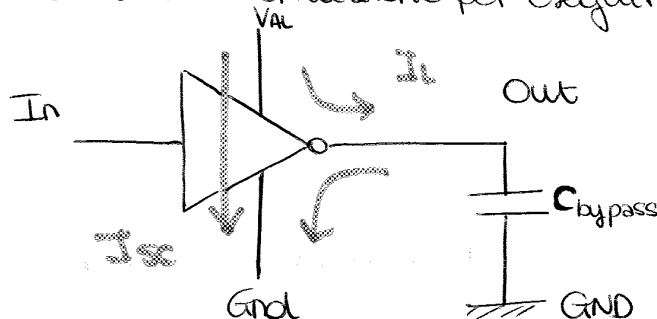


$$I_{CC} = \text{cost}$$

$$P_S = V_{AL} \cdot I_{CC}$$

POTENZA DINAMICA, P_d

Assorbita dall'alimentazione per eseguire una commutazione ($H \rightarrow L$, $L \rightarrow H$).



- corrente I_L che carica (o scarica) la capacità C in uscita
- corrente I_{SC} che scorre tra V_{AL} e GND durante la commutazione.

La potenza statica dipende dalla tecnologia del dispositivo:

- TTL : $P_S \approx 10 \text{ mW}$ (alta)
- CMOS : $P_S \approx 40/50 \mu\text{W}$ (quasi 1000 volte meno). Consuma quasi come un PM. $I \approx 8/10 \mu\text{A}$ $V_{AL} \approx 5\text{V}$

CIRCUITI COMBINATORI e SEQUENZIALI

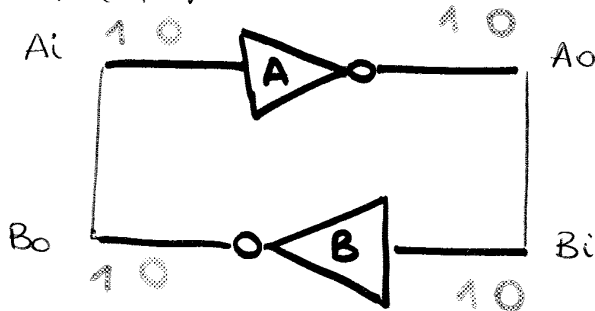
(43)

C. ti combinatori = uscita funzione degli ingressi applicati all'istante to

C. ti sequenziali = uscita funzione degli ingressi e anche dello stato precedente.

↳ devono contenere elementi di MEMORIA

L'elemento di memoria base è il **FLIP-FLOP**: contiene 1 bit e solo 2 stati (0, 1).



Anello di inverter

Supponiamo: $A_i = 0$ 1

$A_o = 1$ 0

||

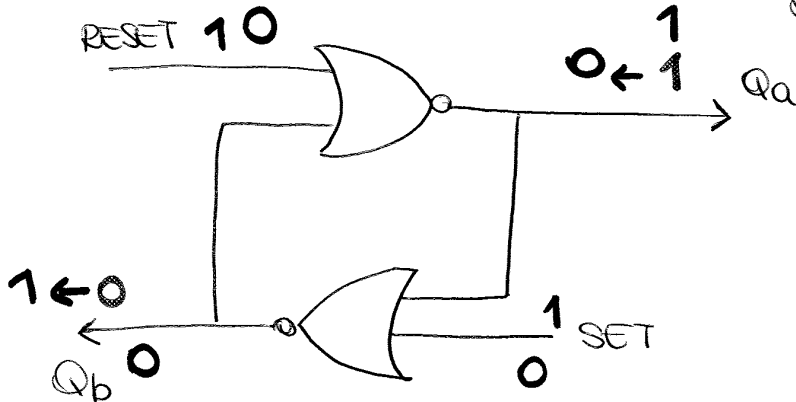
$B_i = 1$ 0

$B_o = 0$ 1

STATO STABILE

Non so all'accensione in quale stato ci troviamo. Però quando viene raggiunta questa condizione viene mantenuta. Però non posso dirgli se deve essere 0 oppure 1.

Per forzarlo → comandi esterni. Anello di inverter → anello di NOR. In questo modo inserisco i comandi agli ingressi.



S e R : L = anello di inverter.

2 stati stabili:

• S0 : $Q_a = 1$ $Q_b = 0$

• S1 : $Q_a = 0$ $Q_b = 1$

↓
uscita principale

Supponiamo: $Q_a = 1$ $Q_b = 0$

RESET → H, Q_a diventa 0 e Q_b 1 **CAMBIAMENTO di STATO**

SET → H, $Q_a = 1$ $Q_b = 0$ **NESSUN CAMBIAMENTO**

In qualunque stato si trovi l'anello:

impulso sul SET → $Q_a = 1$ ⇒ se non agisco + lo stato viene ricordato x sempre
impulso sul RESET → $Q_a = 0$

MEMORIA

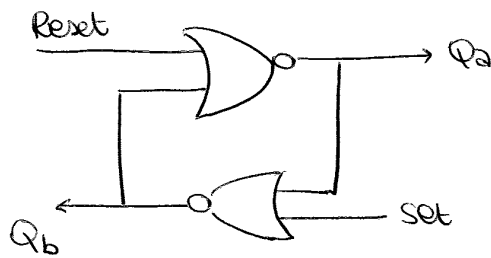
ANALISI DI NAND

RIGUARDA

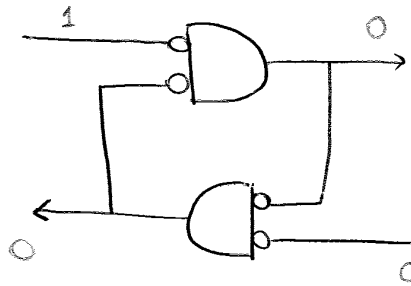
$$R=1 \rightarrow Q_0=0$$

(45)

NOR $\equiv$ AND con ingressi invertiti



$\rightarrow$

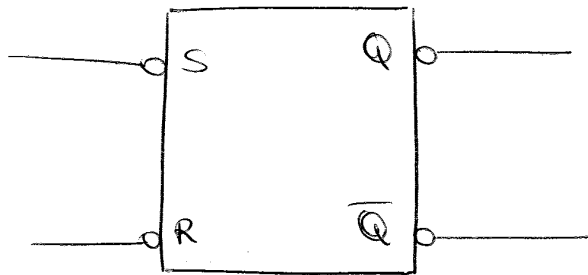


$\rightarrow$

AND

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

SIMBOLO FUNZIONALE

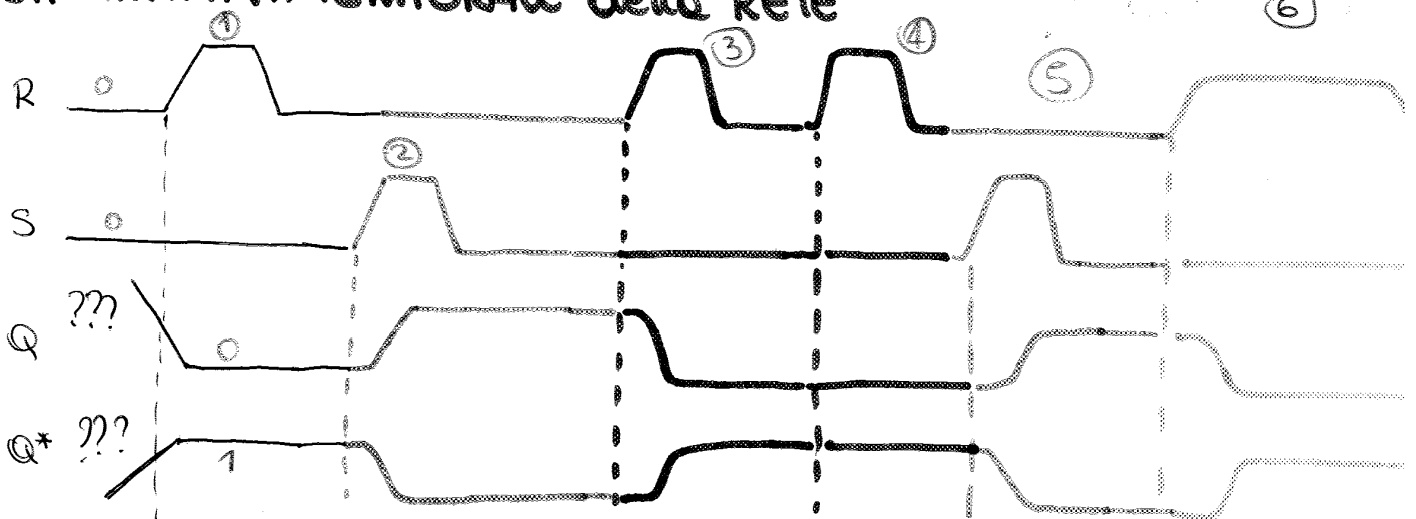


Set e Reset sono negativi, quindi attivi quando sono ZERO.
La condizione di memoria diventa $S=1$ $R=1$

S^*	R^*	Condizione	Q_a	Q_b
1	0	Reset	0	1
0	1	Set	1	0
1	1	Memoria	Q_{-1}	Q_{-1}
0	0	Cond. proibita	1	1

DIAGRAMMA TEMPORALE della RETE

NOR



① impulso sul RESET

③ impulso sul RESET

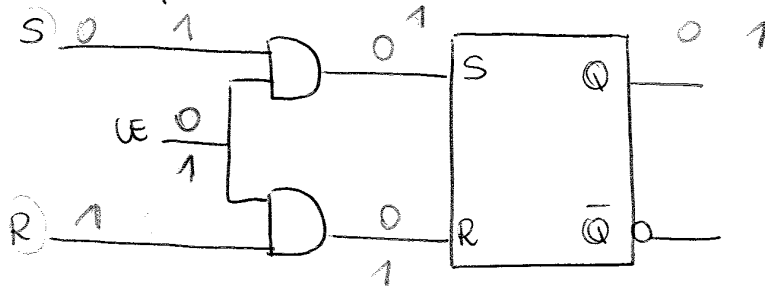
⑤ impulso di SET

② impulso sul SET

④ impulso sul RESET $\rightarrow$ sit non

⑥ impulso lungo di RESET

Il cui equivalente è:



X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1

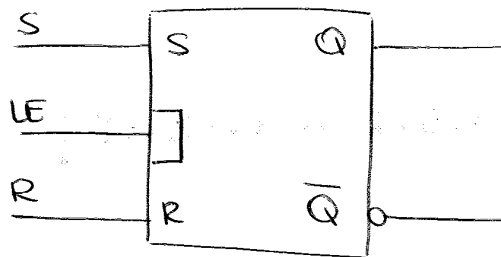
41

Se $LE=0$, non importa in che stato si trovino SET e RESET, le uscite saranno identiche e ci troveremo nella condizione di memoria.

Se $LE=1 \rightarrow$ a seconda degli stati di SET e RESET ho attivo il set o R. Quindi è comandato da noi.

FF a 3 ingressi $\rightarrow$ dovrei avere 8 combinazioni, ma ne ho meno perché quando $LE=0$ non importa cosa ho su R e S.

Simbolo funzionale:



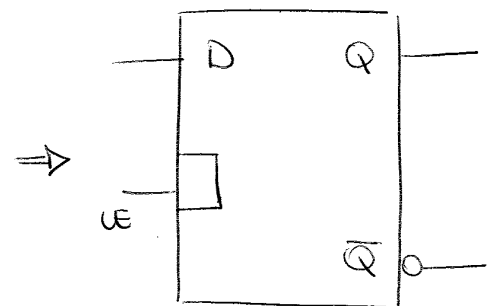
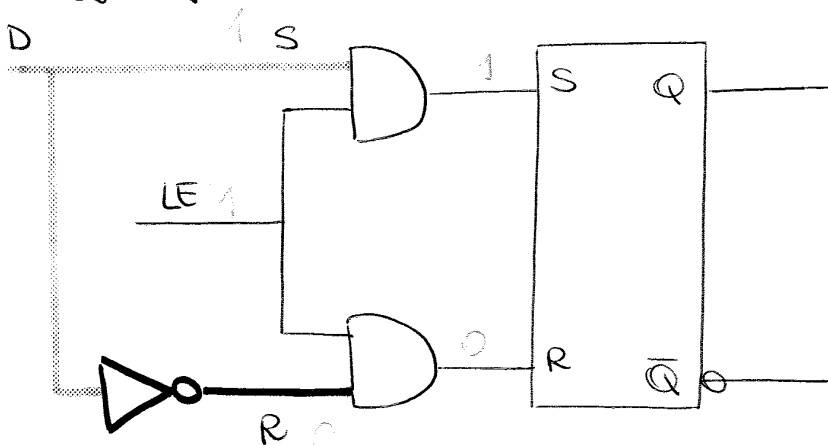
$LE=1 \rightarrow$ uscite è legata agli ingressi.

STATO TRASPARENTE

$LE=0 \rightarrow$ l'uscita non commuta
STATO di MEMORIA

LATCH D

Aggiungiamo un inverter. 2 ingressi



Ingresso di R = ingresso di SET invertito. I comandi SET e R ricavati da un unico segnale D.

$D=1$ $S=1$ $R=0$

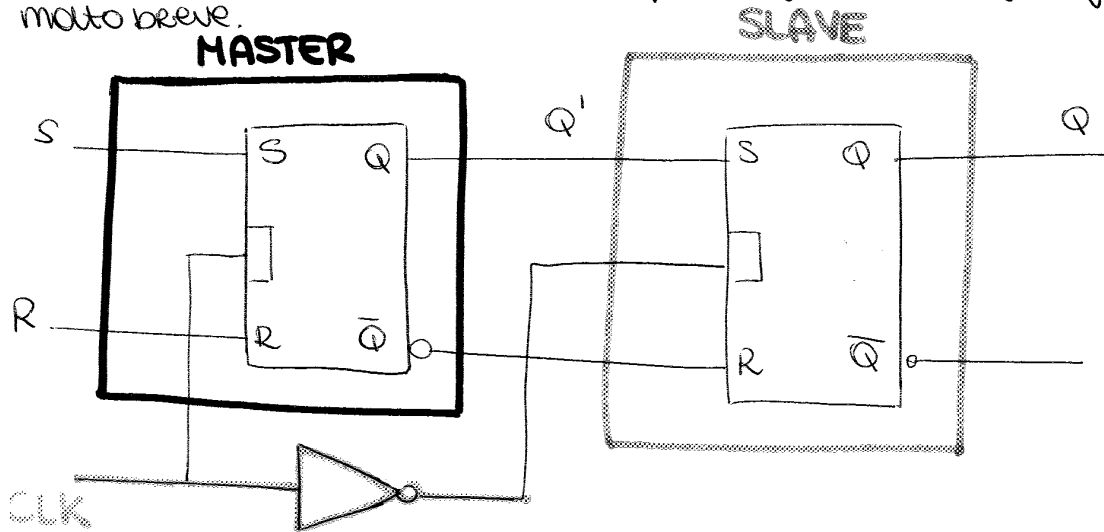
$D=0$ $S=0$ $R=1$

Monica LE

FLIP-FLOP MASTER-SLAVE

(49)

Cascate di 2 FF-SR L. Fotografe gli stati degli ingressi in un istante molto breve.



CLOCK = 1



Master

FF₁ = trasparenza (LE=1)

Slave
FF₂ = memoria

(LE=0)

La sua uscita non varia

CLOCK = 0
Fronte di discesa



Master = memoria (LE=0)

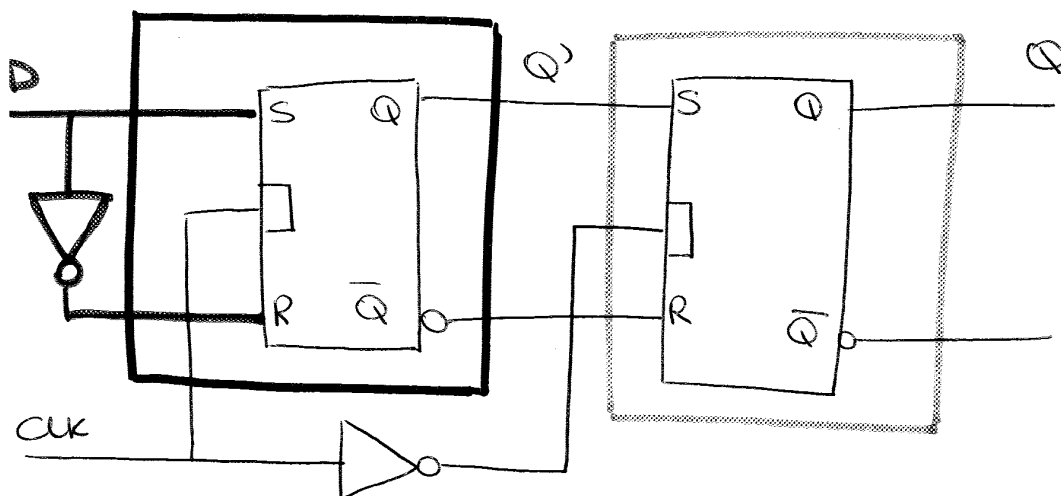
Slave = trasparenza (LE=1)

Ricorda lo stato SR un istante prima dello stato di fronte di discesa. Modifica le uscite per avere quelle del primo che è bloccato.



Viene memorizzato il dato presente all'ingresso in corrispondenza della transizione H → L del clock.

FLIP-FLOP MASTER-SLAVE D



$D = S = R^*$

Porta in uscita lo stato di D in corrispondenza dei fronti di discesa del clk.

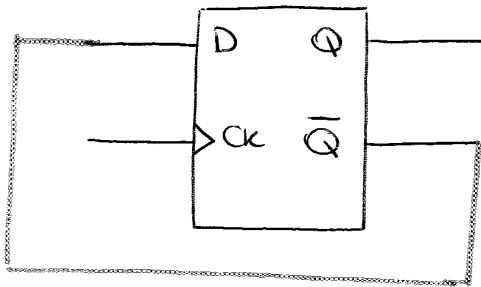
Posso sincronizzare le variaz di D ad un segnale di clock che denota la SINCRONIZZAZIONE.



INGRESSI ASINCRONI

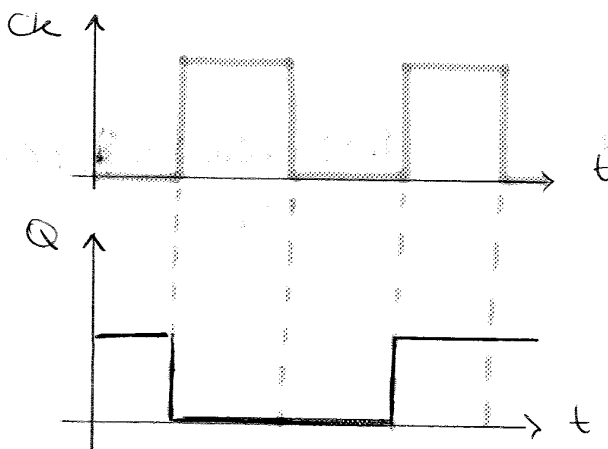
(51)

FLIP-FLOP D ingressi asincroni $\rightarrow$ FF - T



FF di tipo T, toggle:
1 ingresso 2 uscite

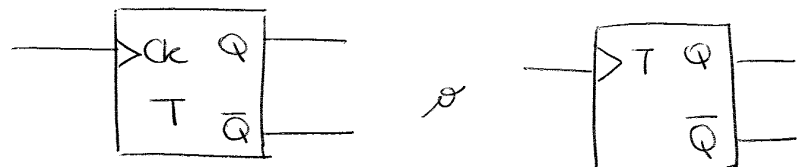
Triggerato sul fronte di salita. Ho una variazione di Q solo con fronte di salita del clk.
Ma se uniamo $\bar{Q}$ con D : $Q=1$ $\bar{Q}=0$ $D=0$



Lo stato dell'uscita cambia in corrispondenza del fronte di salita del clk.
In questo modo la freq viene dimezzata.

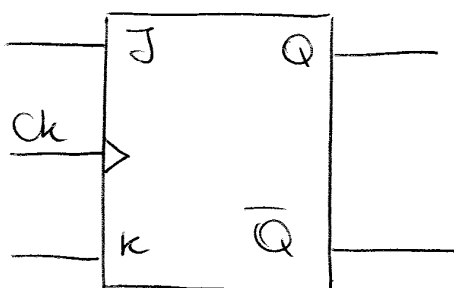
Serie x contatori

Simbolo:



FLIP-FLOP J-K

È controllato da un segnale di clock che è sensibile ai fronti del clk.
In corrispondenza di questi, FF-Jk si comporta come SR con un clock $\rightarrow$ TAVOLA di VERITÀ (non ho le clock perché mi basta sapere se sono in presenza di livelli o fronti $\rightarrow$ condiz. di variaz.).



J	K	clk	Q	$\bar{Q}$	
0	0		Q_{-1}	Q_{-1}^*	Memoria $\hat{=} S=R=0$
0	1		0	1	k ha l'effetto di l'uscita cambia
1	0		1	0	J $\hat{=} S$
1	1		Q_{-1}^*	Q_{-1}	

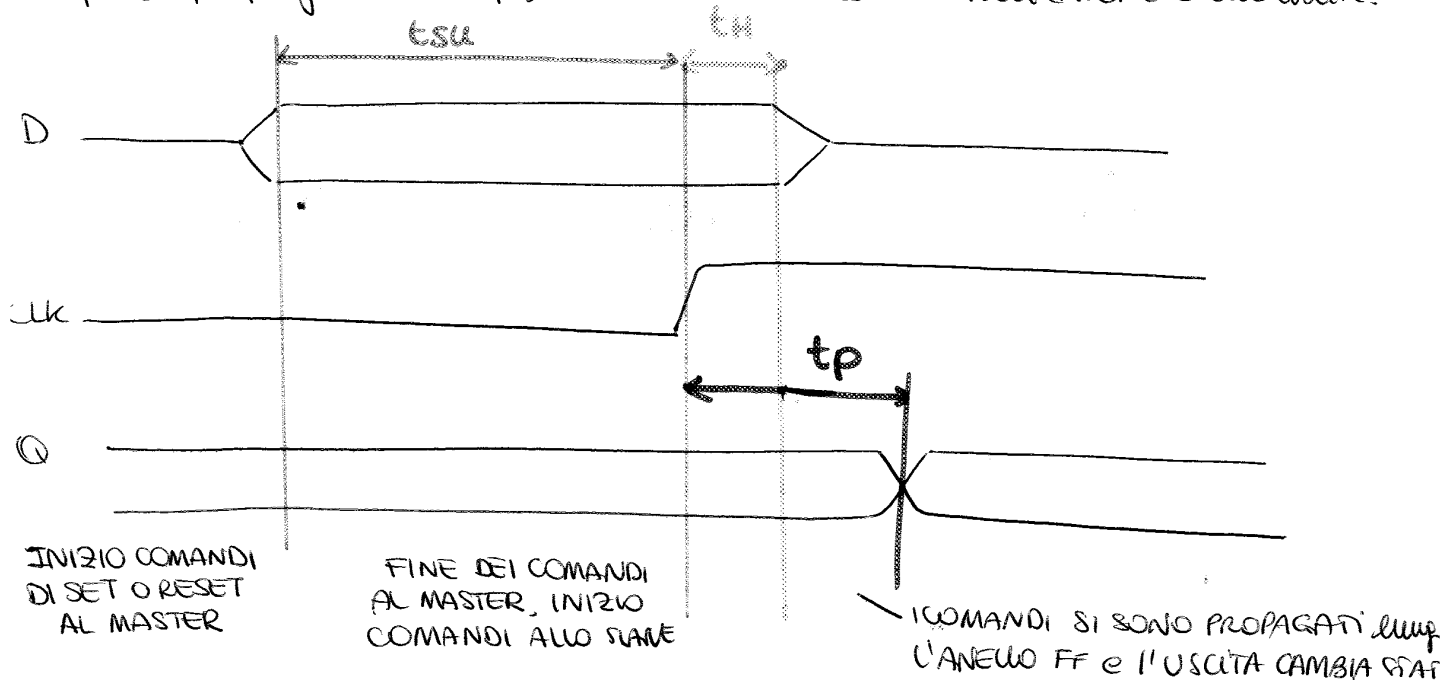
Inverte lo stato delle uscite !!

questo cambiamento non deve essere istantaneo → tempo minimo di ritardo (53) su uno dei 2 rami.

Perché FF cambi stato in modo stabile, la variaz di stato deve propagarsi lungo tutto l'anello. S e R devono avere una durata minima

Nel FF-D : margine tra D e clk per avere S-R minimi
Tempo di setup (t_{su}) Tempo di hold (t_h)

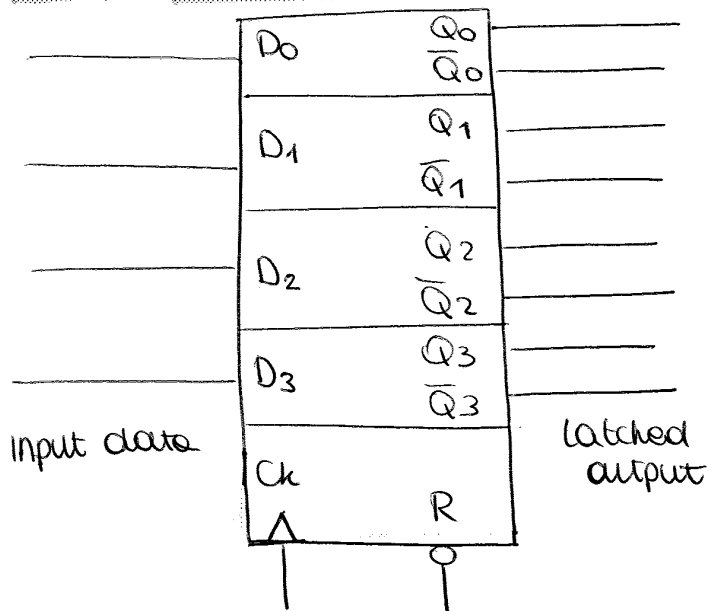
Tempo di propagazione (t_p) → ritardo nella commutazione delle uscite.



REGISTRI

È un insieme di FF (D) con il clock in comune ed eventualmente il segnale asincrono del reset. Estende la funzione del FF-D di memorizzare lo stato del dato in un istante.

• PIPO : parallel input - parallel output



Parola da memorizzare di lunghezza N.

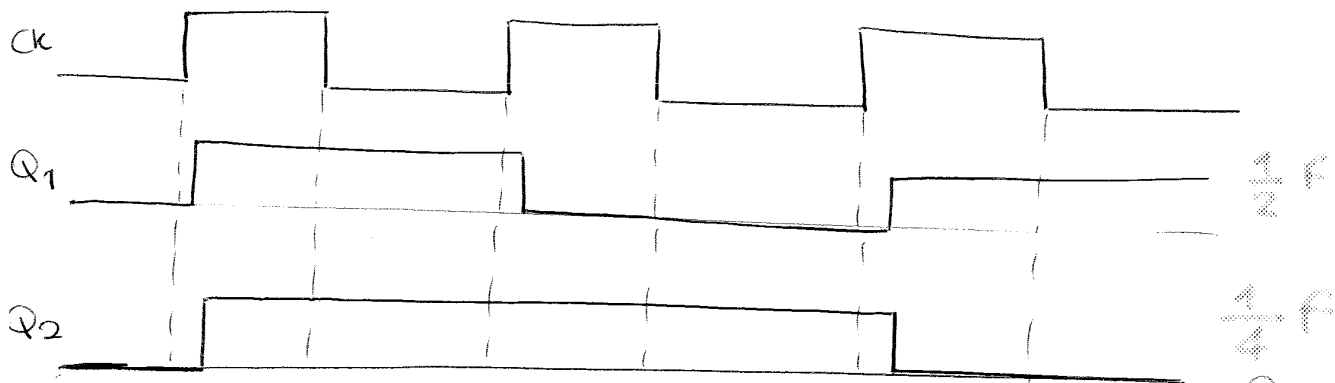
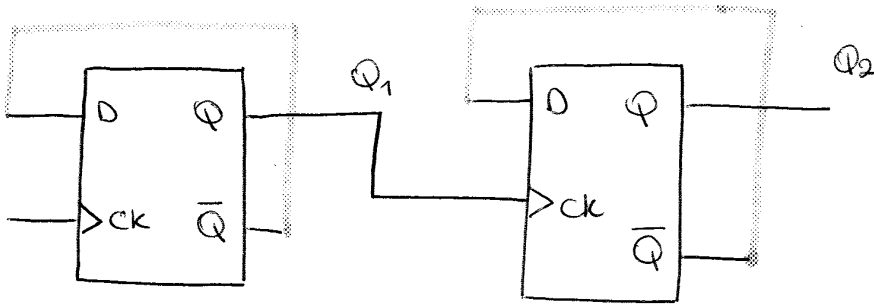
Il n° di uscite del registro è $2N$ (2 uscite $\forall$ FF-D, posso prendere Q o $\bar{Q}$). Vedo la parola com'era o negata.

R è attivo basso. Tutti i FF n'potrebbero nelle condiz in cui $Q = 0$ in modo asincrono dal ck.

DIVISORE DI FREQUENZA

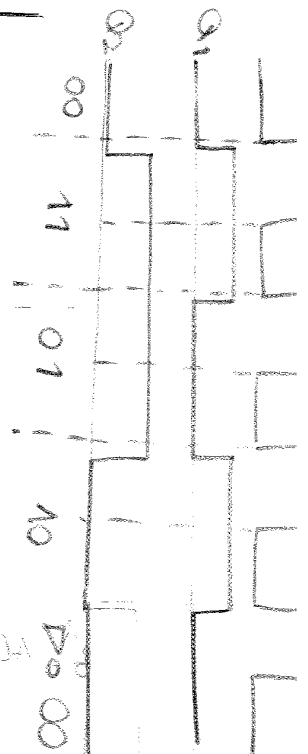
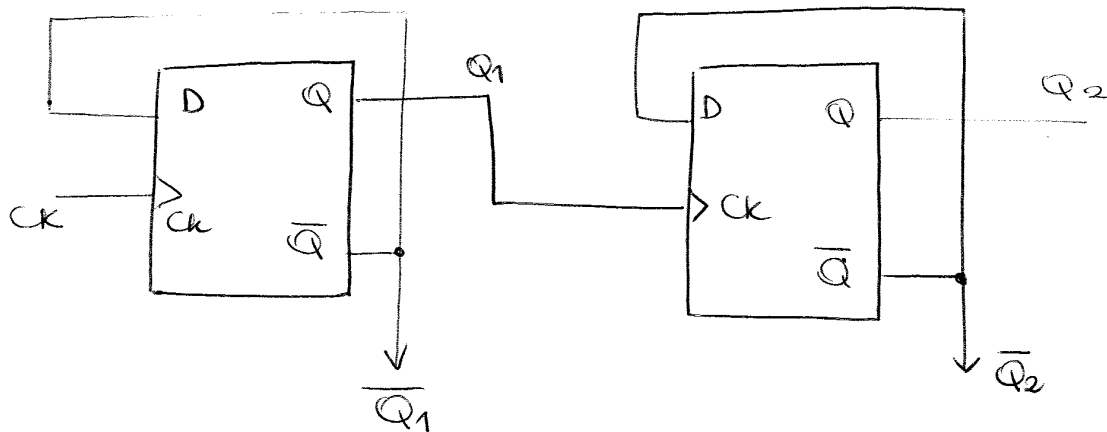
(55)

Prendendo m FF di tipo T e mettendoli in cascata posso dividere la frequenza per 2^m .



CONTATORE ASINCRONO

Le uscite commutano sfasate nel tempo



Supponiamo all'inizio : $Q_1 = Q_2 = 0$

Primo fronte del clock : $Q_1 = 1$ $Q_2 = 0$

Secondo " " " $Q_1 = 0$ $Q_2 = 1$

Terzo " " " $Q_1 = 1$ $Q_2 = 1$

Quarto " " " $Q_1 = 0$ $Q_2 = 0$

dopo 3 commutazioni
torno all'inizio.

$$0 \div 2^n - 1, n = \#FF$$

Può contare fino a 4 eventi.

Se avessi guardato $\bar{Q}$:

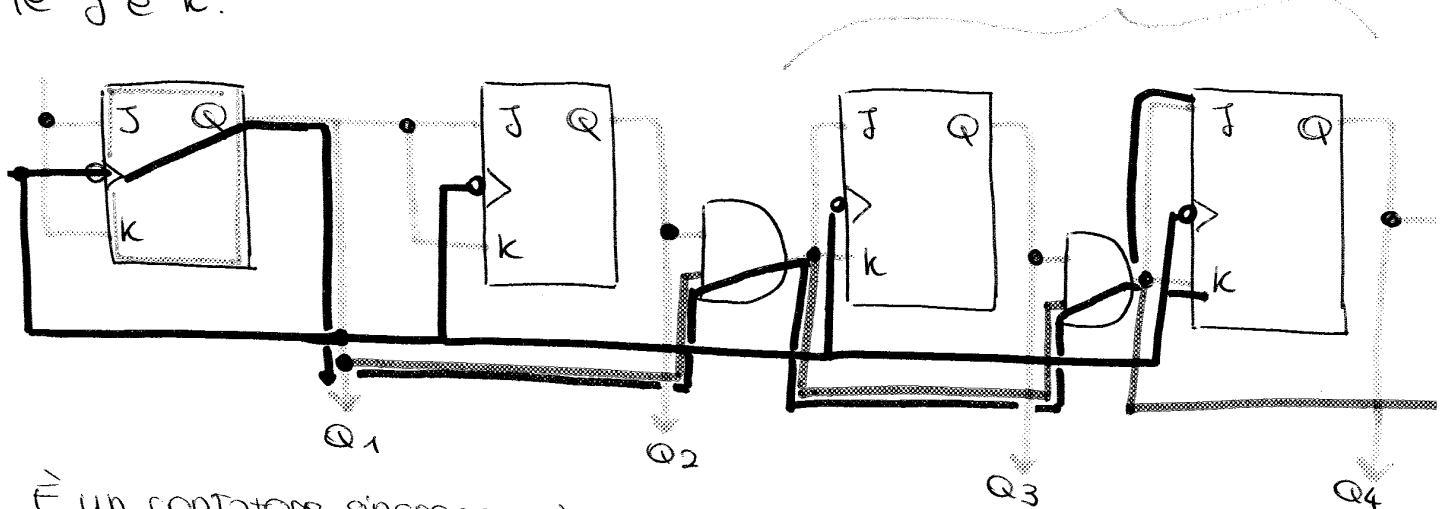
1° $\bar{Q}_1 = 1$ $\bar{Q}_2 = 1$ 3° $\bar{Q}_1 = 1$ $\bar{Q}_2 = 0$

2° $\bar{Q}_1 = 0$ $\bar{Q}_2 = 1$ 4° $\bar{Q}_1 = 0$ $\bar{Q}_2 = 0$

CONTATORE SINCRONO

(57)

Volendo freq più alte devo risolvere le problemi dei ritardi. È necessario che tutti i FF commutino quasi contemporaneamente. Sfrutto separatamente J e K.



È un contatore sincrono. Le uscite commutano in modo sincrono con il fronte di discesa del clock.

Dal 3° FF in poi tutti gli stadi sono uguali.

La massima freq di funzionamento è legata al ritardo del FF $CK \rightarrow Q$ e delle catene di AND.

MICROPROCESSORE

Servono a avere la max flessibilità. Possiamo specializzare l'hardware perche faccia ciò di cui abbiamo bisogno.

È formato da una CPU (Central Processing Unit) i cui circuiti xmettono al disp di fare operazioni matematiche e logiche.

La CPU agisce su operandi, i cui valori sono custoditi in una memoria esterna. Nella CPU troviamo una memoria particolare → REGISTRI.

La CPU comunica con l'esterno attraverso 3 bus:

- **BUS DATI**: scambio dati con la memoria. Come accedere alle celle di memoria corretta? Devo conoscerne l'indirizzo.

- **BUS DEGLI INDIRIZZI**: contiene l'indirizzo della cella.

- **BUS di CONTROLLO**: dice alla memoria quale operazione effettuare.

La memoria mette a disposizione sul bus dati le dati e lo comunica alla CPU attraverso il bus di controllo. A questo punto la CPU può leggerlo.

Il sistema microprocessore è quindi formato da:

- ✓ CPU: vero e proprio microprocessore
- ✓ 3 BUS
- ✓ elementi in + connessi alla CPU (es, memoria)
- ✓ periferiche (porte seriali/parallele, contatori, temporizzatori, convertitore A/D-D/A...)

to un solo BUS di 8 bit, per comunicare con l'esterno → periferiche. (59)

CPU: il cuore è l'ALU = unità logica/matematica. Svolge le operazioni logiche ed aritmetiche che noi chiediamo alla CPU. Il risultato è portato sul BUS e letto da gruppi funzionali altri a fare quello (che gliel'ha dato) deve fare). L'ALU modifica un REGISTRO (parzialmente)

cella di memoria specializzata x una certa fnz

Ad es: registro di stato che descrive parametri dello stato interno della macchina → uno dei bit dello status register viene settato ad 1 quando il risultato dell'operazione è 0, ovvero 0 bit. Un'altra volta se voglio sapere se l'ALU ha svolto una differenza e ha dato come risultato 0 o no non mi serve leggere il risultato, ma basta leggere il valore del bit 0: se è 1 → ALU ha restituito 0. Più semplice leggere solo questo bit. Anche altri bit x altre funzioni (ripeto, ...).

L'ALU lavora su 1 o 2 operandi: 2 possibili ingressi. Questi operandi devono essere contenuti nei REGISTRI GENERAL PURPOSE (blocco di celle di memoria).

Ci sono 32 General Purpose che contengono valori a cui posso accedere velocemente. I registri sono di 8 bit. 3 di questi (X, Y, Z) hanno fnz ≠ mi serve poter memorizzare gli indirizzi che occupano 12 bit, quindi gli 8 bit non bastano, ho bisogno di 2 registri affiancati. Perciò, di 32 G.P., **6 REGISTRI LAVORANO A 16 bit (X, Y, Z)** e li uso appunto x memorizzare gli indirizzi.

Devo capire quali sono le operazioni da eseguire.

Il programma è contenuto in un banco di memoria chiamato PROGRAM FLASH. Qui abbiamo un banco x il programma e uno x contenere i dati a cui accedere velocemente.

↓
program flash

↓
SRAM

fuori dalla CPU

Dentro la CPU → un program counter. Il programma è una serie di istruzioni che devono essere eseguite + o - in sequenza. Il program counter è il contatore che tiene conto delle istruzioni da eseguire.

1^a ISTRUZIONE → INCREMENTO → 2^a ISTRUZIONE → INCREMENTO → 3^a ...

l'indirizzo della prog. flash che contiene l'istruzione.

Prog. counter è collegato alla prog. flash.

INTERNO

ESTERNO

risce 2 valori analogici di tensione. L'intervallo di tensione è $P_{IO} \leq P \leq P_{+}$ se una è $>$ dell'altra $\rightarrow 1$, diversamente 0 . Mi serve a sapere, ad esempio, se la tens di batteria è ancora sufficiente. (61)

I pin che hanno anche altre funzioni sono chiamati: **PIN con FUNZIONI ALTERNATIVE**

Linee I/O supponiamo che possano essere configure tutte come I e O. Devo specificare le funz della porta attraverso un'interfaccia digitale al cui interno devo scrivere delle parole in **REGISTRI di CONFIGURAZIONE** per decidere come usare la porta.

Quando scrivo il programma, devo scegliere una linea e usarla come porta d'uscita. Devo quindi programmare la porta (es, PO $\rightarrow$ uscita).

Dopo aver programmato la porta, devo usare un altro registro a mettere i valori che voglio sulle linee di uscita della porta. Ma siccome può essere programmata anche come ~~porta~~ di ingresso che mi serve a leggere valori logici generati da un dispositivo esterno, allora devo avere un 3° registro a leggere i valori sul pin della porta.

Quindi 3 registri:

- linea I o O? **DATA DIRECTION REGISTER (DDR)** della porta $\begin{matrix} B \\ \leq \\ C \\ \leq \\ 0 \end{matrix}$
- per scrivere i valori da avere sulle ^{uscite} porte: **REGISTRO di USCITA** della porta
- mettere il dato letto alle linee di ingresso: **REGISTRO di INPUT**

Ci saranno registri specializzati a le funzioni alternative.

Questo discorso vale l'periferica del microcontrollore. Le periferiche (imp: temporizzatori, contatori) sono molte. Funz + usate: temporizzazioni e conteggi svolti da blocchi appositi. Per programmabili si usano registri adatti: **TIMERS / COUNTERS**.

Dentro convertitore A/D che permette di convertire una tens da analogica a digitale presente all'ingresso della porta C (Ad es). Si usa spesso.