



Corso Luigi Einaudi, 55 - Torino

Appunti universitari

Tesi di laurea

Cartoleria e cancelleria

Stampa file e fotocopie

Print on demand

Rilegature

NUMERO: 1733A -

ANNO: 2015

A P P U N T I

STUDENTE: Lurgo Chiara

MATERIA: Tecnologie Digitali - prof. Comarchia

Il presente lavoro nasce dall'impegno dell'autore ed è distribuito in accordo con il Centro Appunti.

Tutti i diritti sono riservati. È vietata qualsiasi riproduzione, copia totale o parziale, dei contenuti inseriti nel presente volume, ivi inclusa la memorizzazione, rielaborazione, diffusione o distribuzione dei contenuti stessi mediante qualunque supporto magnetico o cartaceo, piattaforma tecnologica o rete telematica, senza previa autorizzazione scritta dell'autore.

**ATTENZIONE: QUESTI APPUNTI SONO FATTI DA STUDENTIE NON SONO STATI VISIONATI DAL DOCENTE.
IL NOME DEL PROFESSORE, SERVE SOLO PER IDENTIFICARE IL CORSO.**

MODULI DIGITALI: PARAMETRI ELETTRICI

Un segnale digitale è una sequenza di numeri (generalmente in base 2). A differenza di un segnale analogico che è continuo sia in tempo che in ampiezza, un segnale digitale è discreto nel tempo (definito solo in un certo intervallo e solo per alcuni istanti di tempo) e discreto in ampiezza (può assumere solo alcuni valori entro un determinato intervallo).

→ Un modulo digitale ha 2 caratteristiche:

1. ALIMENTAZIONE (tensione V_{AL} , generalmente positiva)
2. SEGNALI DI INGRESSO E USCITA: possono essere trasmessi in forma SERIALE (1 solo filo: + lento ma meno costoso) o in forma PARALLELA (+ fili: + veloce ma anche + costoso)

→ Gli stati logici sono rappresentati mediante grandezze elettriche (generalmente tensioni V)

1. stati 0/L \Rightarrow livello elettrico basso, tensione $V_L \approx 0V, GND$

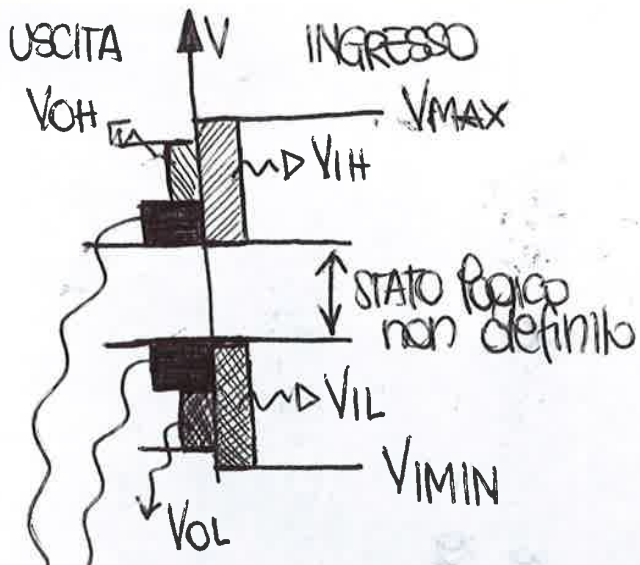
2. stati 1/H \Rightarrow livello elettrico alto, tensione $V_H \approx V_{AL}$

→ Gli stati di ingresso e uscita vengono riconosciuti confrontandoli con una tensione di soglia V_T

1. $V_i < V_T \Rightarrow$ stato L

2. $V_i > V_T \Rightarrow$ // H

→ Se la V_i (tensione di ingresso) proviene dall'uscita di un altro circuito logico, i valori di V_o e V_i devono essere coerenti



$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

MARGINI DI RUMORE (NM)

→ Ogni passo di elaborazione aggiunge rumore che x0' per i segnali digitali e' recuperabile (entro certi limiti)

*** PARAMETRI DINAMICI**

Nei moduli digitali avvengono variazioni di tensioni e correnti che non possono essere istantanee + si lavora con celle RC. Questo comporta un RITARDO nel passaggio dai segnali logici di ingresso a quelli di uscita

- ⇒ c'è:
1. RITARDO nella propagazione dei segnali logici all'interno del sistema
 2. LIMITI della velocità operativa

→ I ritardi sono dolitamente tabulati
 ~ tempo che ci mette x riconosce il segnale come alto e abbassato o viceversa

→ TEMPO PROPAGAZIONE: tempo che passa dal 50% di variazione in ingresso al 50% di " " uscita

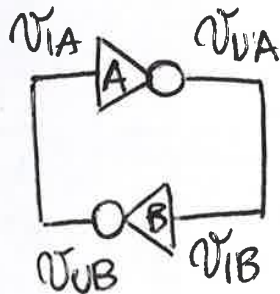
→ T_r = TEMPO DI RISE } ingresso uscita { T_{HL} = tempo trans. H → L
 T_f = " " FALL } T_{LH} = tempo trans. L → H

CIRCUITI LOGICI SEQUENZIALI

L'uscita al tempo t_1 non dipende solo dall'entrata al tempo t_1 (come x i circuiti combinatori) ma anche dallo stato del circuito all'istante precedente (t_0)
 \Rightarrow ho bisogno di un elemento che mantenga la memoria a breve termine (volatile) (Latch o Flip-Flop)

*** ANELLO INVERTER:** \rightsquigarrow non posso controllare lo stato di entrata: per farlo devo usare un flip-flop che ha lo stesso comportamento ma con il controllo invertito

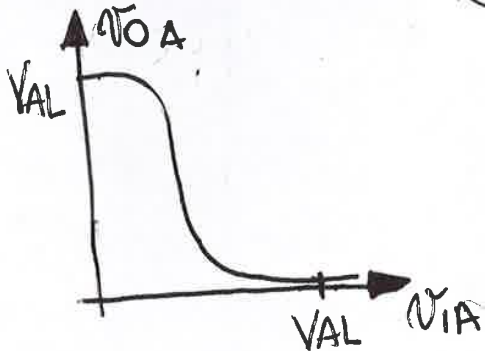
Elemento di base della memoria: L'ingresso di un inverter è collegato all'uscita di un altro



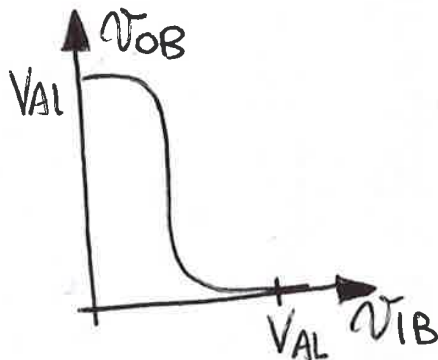
$$V_A = \overline{V_B}$$

$$\overline{V_A} = V_B$$

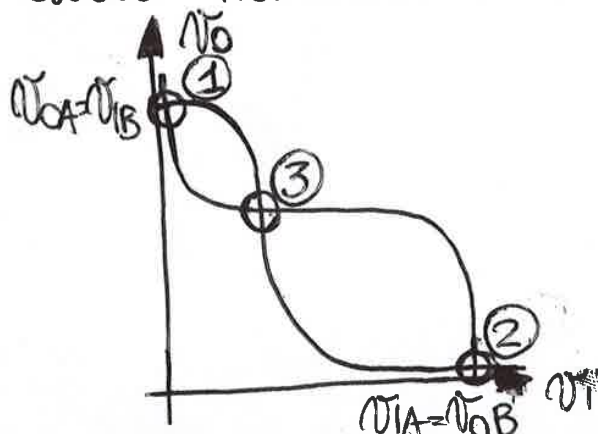
- struttura inverter (A)



- struttura inverter (B)



\rightarrow Incontro delle trascuratteristiche



$$S = 0 \Rightarrow A_0 = H, B_0 = L$$

$$S = 1 \Rightarrow A_0 = L, B_0 = H$$

1. LATCH TRASPARENTE \Rightarrow CLK = 1
 $Q = D$

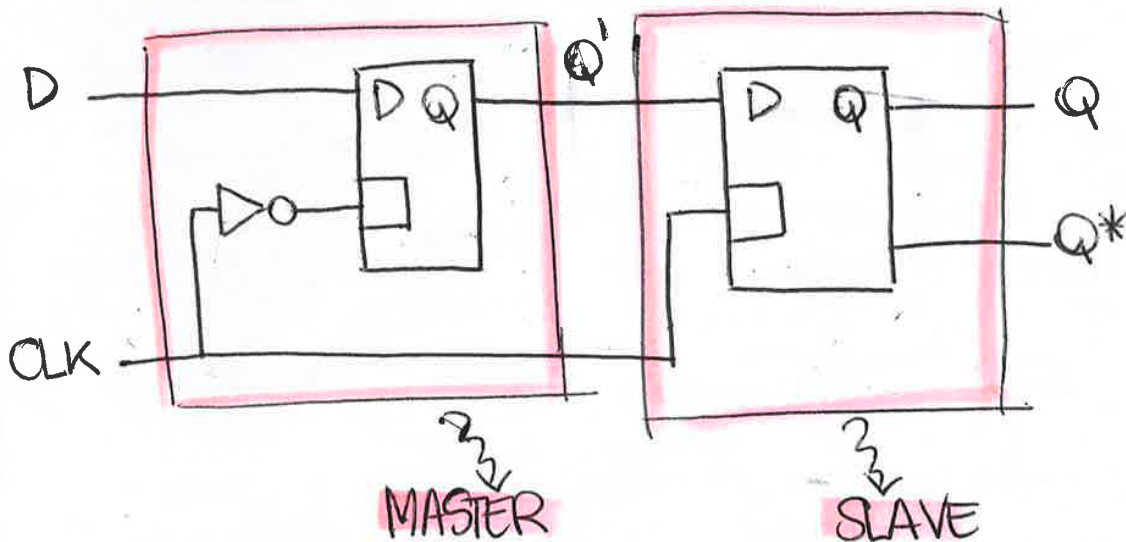
2. LATCH OPACO \Rightarrow CLK = 0

Sotto si apre e sopra si chiude
 e c'è un anello inverter
 \Rightarrow l'uscita non dipende da D

\rightarrow L'uscita varia sempre depo l'entrata

* FLIP FLOP MASTER-SLAVE \rightsquigarrow garantisce la memoria

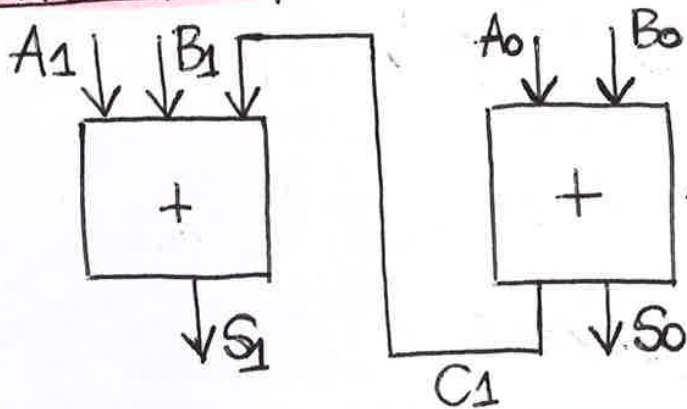
Composto da due latch D collegati in cascata. Sono controllati dallo stesso clock ma uno è negato e l'altro no quindi i due latch hanno un comportamento l'uno l'opposto dell'altro (uno mantiene la memoria e l'altro invece fa passare un nuovo dato).
 \rightarrow serve per separare il tempo di capture da quello di memorizzazione



- CLK = 0 \Rightarrow 1° OK, 2° BLOCCATO (Master trasparente, Slave memoria)
- CLK = 1 \Rightarrow 1° BLOCCATO, 2° OK (Master memoria, Slave trasparente)
- \rightarrow In uscita viene memorizzato lo stato che ho durante la transizione 0 \rightarrow 1

CIRCUITI COMBINATORI

*RIPPLE CARRY: circuito per somma binaria



FULL ADDER:

- 3 bit in ingresso
- 2 bit in uscita

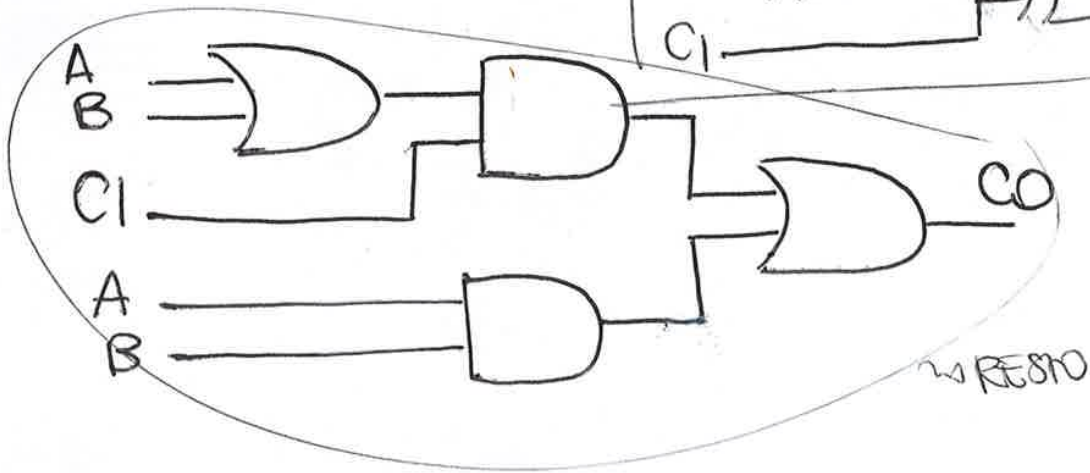
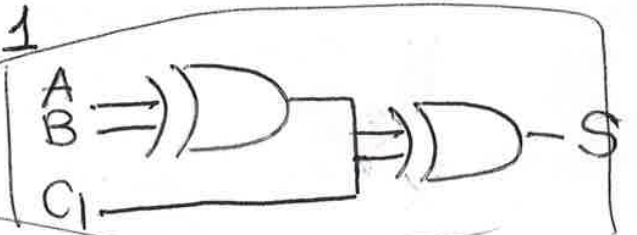
x avere resto 1 delle 3
 deve essere 1 una e' possibile
 se sono almeno 2 uguali = 1

$$S_i = C_i \text{ XOR } A_i \text{ XOR } B_i \quad | \quad C_{i+1} = B_i C_i + A_i C_i + A_i B_i$$

A	B	C	A ⊕ B	A ⊕ B ⊕ C
0	0	0	0	0
1	0	0	1	1
0	1	0	1	1
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

$C_{i+1} = \text{RESTO}$
 $S = \text{SOMMA}$

~> SOMMA



~> RESTO

*TRASFERTIMENTO SEGNALI

I segnali numerici possono essere trasferiti

1- IN FORMA SERIALE

2- IN FORMA PARALLELA

} codificati da un segnale di clock

① • Bit presenti in tempi successivi su un unico filo
• N bit con N cicli di clock

② • Bit presenti allo stesso tempo su fili diversi
• N bit con 1 clock

① • LENTA: 1 bit x volta

- 1 SOLA LINEA: minor consumo e costo
- + USATA SU LUNGHE DISTANZE

② • VELOCE: + bit x volta

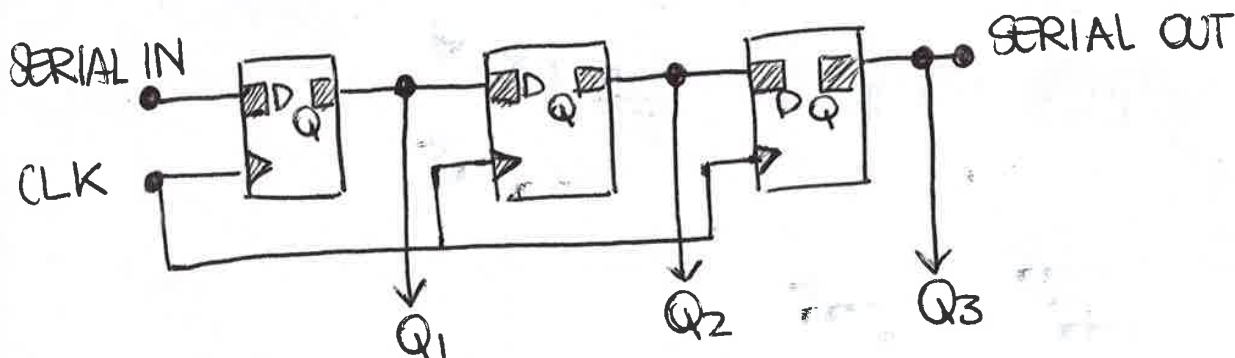
- + LINEE: maggiore costo e consumo
- + USATA SU DISTANZE BREVI

*REGISTRI

Insieme di Flip-Flop

→ SHIFT-REGISTER 'SIPO'

Serial In - Parallel Out: può convertire un dato seriale in parallelo

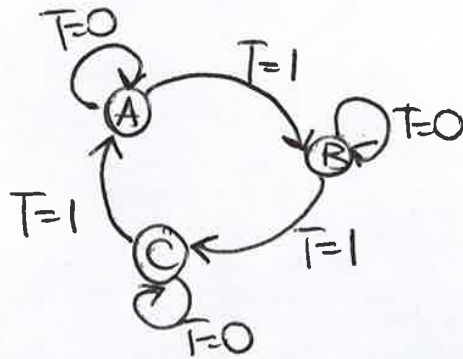


→ esempio:

Cambio stato ogni volta che il timer è a 1

→ stato presente se $T=0$
 ⇒ rimango nello stesso stato

→ stato presente +1 se $T=1$
 ⇒ passo allo stato successivo



RETE STATO FUTURO = cosa devo fare dopo?

RETE STATO USCITA = cosa devo fare adesso?

→ La rete di uscita controlla gli attuatori in base allo stato presente

- indipendentemente dagli ingressi (FSM di Moore)
- anche in base agli ingressi (FSM di Mealy)

→ il contatore, in base ad una rete combinatoria, attiva le uscite che comandano gli attuatori

→ La massima frequenza di funzionamento è legata al tempo di set-up dei flip-flop

→ il tempo di hold limita il ritardo minimo

→ La **MASSIMA FREQUENZA DI FUNZIONAMENTO** è legata a:

- ritardo del clock
- " della logica combinatoria
- tempo di set-up

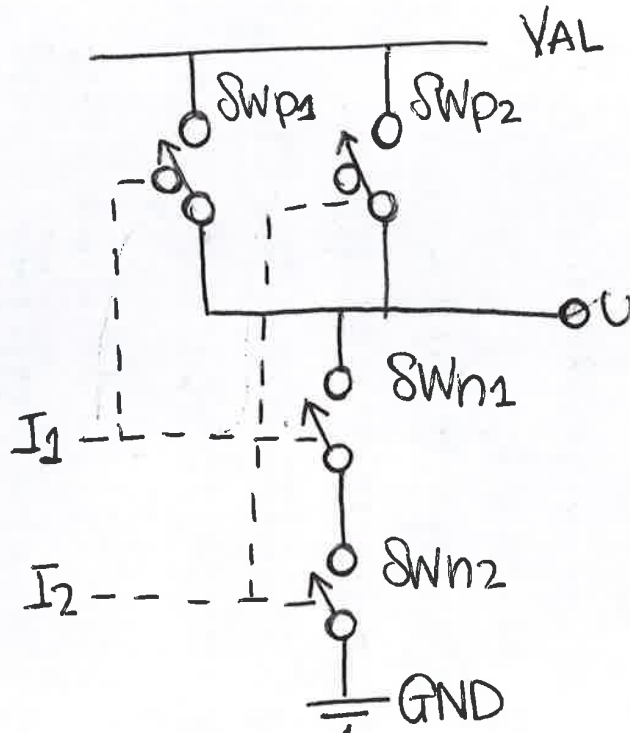
↓ deve essere maggiore della somma delle 3 per dare il tempo di free tutto

* NAND (tipo CMOS)



Inversione della porta logica 'AND'

I_1	I_2	U
0	0	1
0	1	1
1	0	1
1	1	0



1. INTERRUTTORI n

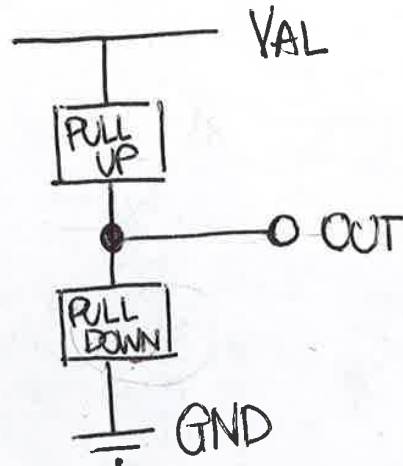
- sono in SERIE
- $U=0$ solo se $I_1 = I_2 = 1$ (entrambi chiusi)

2. INTERRUTTORI p

- sono in PARALLELO
- $U=0$ se almeno $I_1 \circ I_2 = 0$ (almeno 1 aperto)

→ ESTENSIONE A CMOS COMPLESSI

La combinazione di SW in serie e parallelo può essere estesa a qualsiasi configurazione



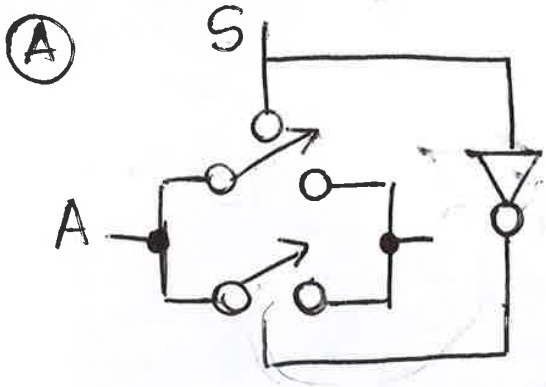
→ PULL-UP e PULL-DOWN:

Sono due reti comandate dagli stessi ingressi ma complementari:

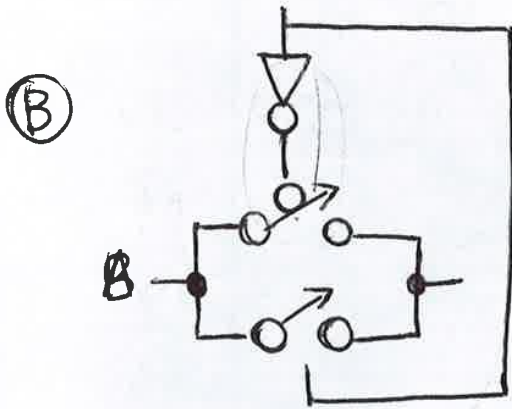
- il PULL DOWN si chiude quando la combinazione degli ingressi è fatta in modo che l'uscita sia 0
- il PULL UP si chiude quando la combinazione degli ingressi è fatta in modo che l'uscita sia 1

→ COSTRUZIONE SISTEMI COMPLESSI

1. Costruisco la rete PULL DOWN andando a invertire l'out (ne costruisco il negato: $+ \rightarrow x$, $A \rightarrow \bar{A}$).
 → dove ho una somma → PARALLELO
 → " " un prodotto → SERIE
2. Costruisco la rete PULL UP andando ad invertire quello di PULL DOWN: dove avevo SERIE ora ho PARALLELO, dove avevo PARALLELO ora ho SERIE; dove avevo un interruttore n MOS ora ho p MOS e viceversa



I due interruttori si chiudono entrambi per $S=0$ (entrambi negati)



I due interruttori si chiudono entrambi per $S=1$

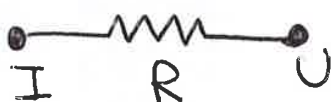
- VANTAGGI PASS GATE:

Il numero di interruttori è minore rispetto a quello che avrei usando le porte logiche: devo contare gli interruttori + 2 per ogni inverter

- SVANTAGGI PASS GATE:

Non rigenera il segnale anzi, lo degrada

→ il pass gate corrisponde ad una resistenza



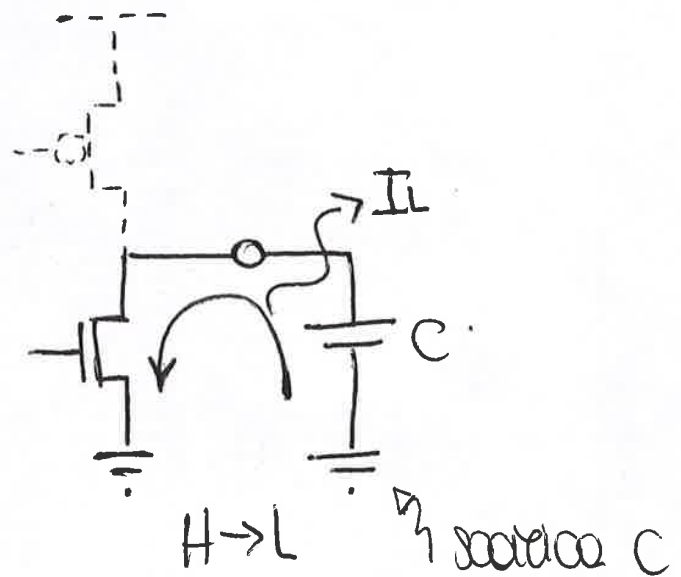
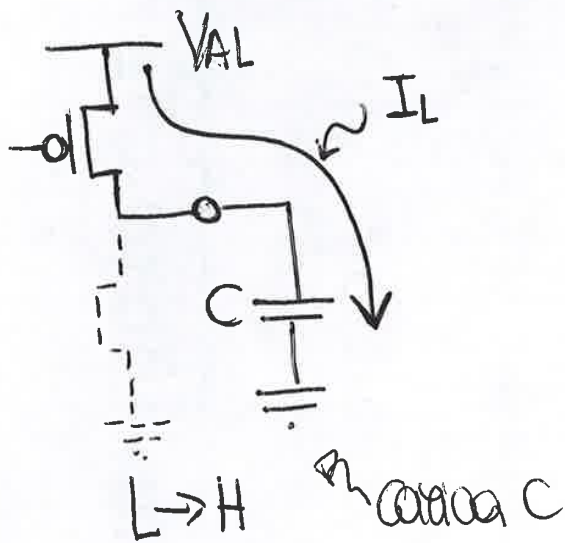
$$V_U = V_I - R \cdot I \quad V_U < V_I$$

→ se ho tanti pass gate in cascata alla fine posso arrivare ad avere un segnale talmente degradato da non riuscire più a riconoscerne il suo stato logico

→ **POTENZA DINAMICA** \rightsquigarrow dipende dalla tecnologia del dispositivo e dal carico capacitivo

È la potenza assorbita dall'alimentazione per eseguire una commutazione

- Può essere vista come una corrente I_L che carica e scarica la capacità in uscita
- Circola solo in corrispondenza delle commutazioni



→ $P_D = V \times I$

→ $I = F \times Q = F \times C \times V$ \rightsquigarrow frequenza di commutazione

→ $Q = C \times V$ \rightsquigarrow carica condensatore

$\Rightarrow P_D = V \times F \times C \times V = F \times C \times V^2$

\rightsquigarrow dipende dalla frequenza di commutazione

\rightsquigarrow dipende dalla tecnologia!

① NOT



A	\bar{A}
0	1
1	0

② AND



$A \times B$

A	B	$A \times B$
1	0	0
0	1	0
0	0	0
1	1	1

③ OR



$A + B$

A	B	$A + B$
0	0	0
1	0	1
0	1	1
1	1	1

④ XOR



$A \oplus B$

A	B	$A \oplus B$
0	0	0
1	0	1
0	1	1
1	1	0

• PROPRIETA':

- $A \times \bar{A} = 0$
- $A + \bar{A} = 1$
- $A + 1 = 1$
- $A + 0 = A$

$$\left. \begin{array}{l} - A \times 0 = 0 \\ - A \times 1 = A \\ - \overline{A \times B} = \bar{A} + \bar{B} \\ - \overline{A + B} = \bar{A} \times \bar{B} \end{array} \right\} \text{regole di De Morgan}$$

→ Quando un ingresso dello STATO ALTO è in grado di forzare l'uscita (o dello STATO ALTO o dello STATO BASSO), indipendentemente dagli altri ingressi, si dice che l'ingresso è ATTIVO ALTO.

→ Quando un ingresso dello STATO BASSO è in grado di forzare l'uscita (o dello STATO ALTO o a quello BASSO), indipendentemente dagli altri ingressi, l'ingresso è ATTIVO BASSO → x es 'AND' e 'NAND'.

→ Per ogni amplificatore posso quindi avere 2 punti di vista:

① **COMPORIAMENTO IN FREQUENZA** (f, ω)

- guadagno $A_v(\omega)$: **diagramma di Bode** (modulo)

② **COMPORIAMENTO NEL TEMPO** (t)

- tensione in uscita $V_u(t)$: **risposta al transitorio**

① **DIAGRAMMA DI BODE**

- Considero segnali **SINUSOIDALI**

- Individuo una **BANDA PASSANTE**: range di valori in cui il segnale si comporta come ci aspettiamo

- Funzione di rete:

$$H(s) = \underbrace{K}_{\text{costante moltiplicativa}} \frac{s^{n_z} \left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) \dots}{s^{n_p} \left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_2}\right) \dots} = K s^{n_z - n_p} \frac{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) \dots}{\left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_2}\right) \dots}$$

$K =$ costante moltiplicativa

$\omega_i =$ zeri nell'origine

$p_i =$ poli nell'origine

($\text{se } n_z - n_p \neq 0$)

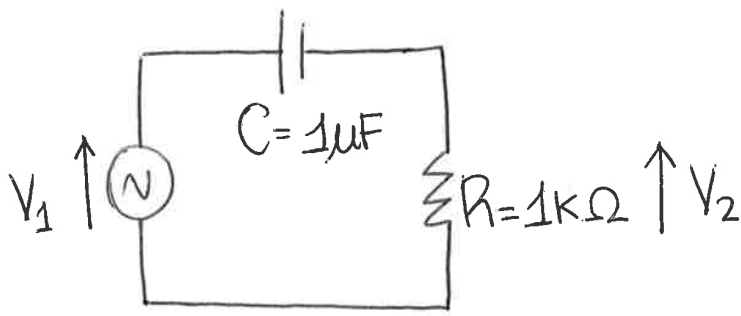
$H(s)$ è una rappresentazione di **$|H(j\omega)|$ (dB)** in funzione della frequenza angolare ($\omega = 2\pi f$)

DIAGRAMMA DI BODE (del modulo)

- Applico le proprietà dei logaritmi:

$$\begin{aligned} |H(j\omega)| \text{ (dB)} &= 20 \log_{10} (|H(j\omega)|) = \\ &= 20 \log_{10} (|K|) + (n_z - n_p) 20 \log_{10} (\omega) + \\ &+ \sum_{i \geq 1} 20 \log_{10} \left(\left| 1 + \frac{j\omega}{\omega_i} \right| \right) - \sum_{j \geq 1} 20 \log_{10} \left(\left| 1 + \frac{j\omega}{p_j} \right| \right) \end{aligned}$$

* CELLA 1° ORDINE - PASSA ALTO



↳ filtro costituito da un circuito elettrico che fa in modo che il segnale passi solo al di sopra di una determinata frequenza

• Risposta in FREQUENZA:

$$\frac{V_2}{V_1} = \frac{R}{\frac{1}{sC} + R} = \frac{R}{\frac{1 + sCR}{sC}} = \frac{sCR}{1 + sCR}$$

→ $RC = \tau \Rightarrow \boxed{\frac{V_2}{V_1} = \frac{s\tau}{1 + s\tau}}$

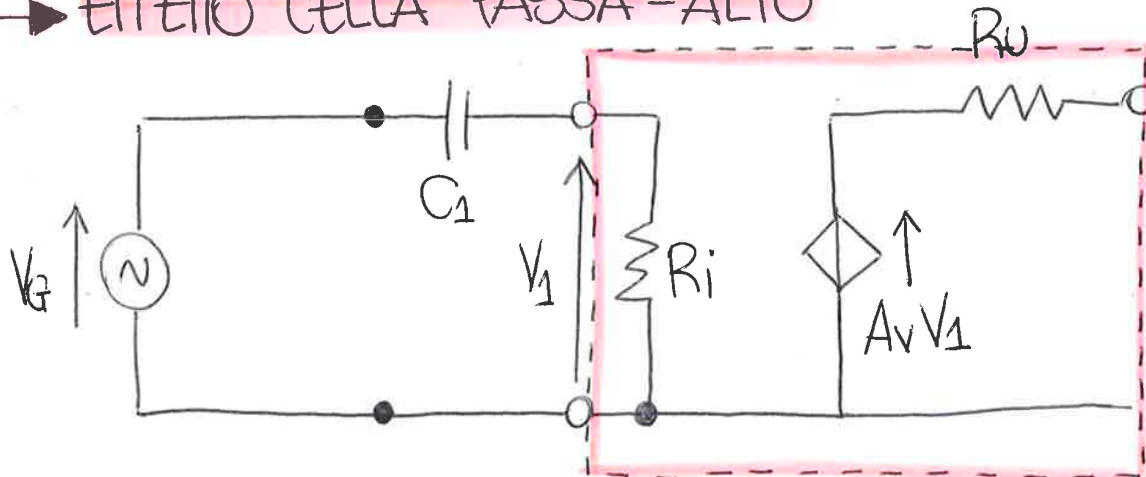
• Risposta nel tempo:

$$V_2(t) = V_A + V_B e^{-t/\tau}$$

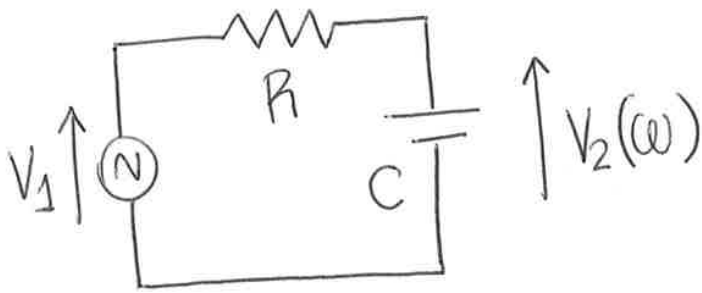
- $t \rightarrow \infty$, $V_2(\infty) = V_A \rightarrow [e^{-\infty} = 0]$

- $t \rightarrow 0$, $V_2(0) = V_A + V_B \rightarrow [e^0 = 1]$

→ EFFETTO CELLA PASSA-ALTO



*CELLA 1° ORDINE - PASSA BASSO



filtra costituito da un circuito elettrico due fasi in modo che il segnale passi solo al di sotto di una determinata frequenza

• Risposta in FREQUENZA

$$\frac{V_2}{V_1} = \frac{\frac{1}{sC}}{\frac{1}{sC} + R} = \frac{\frac{1}{sC}}{\frac{1 + RsC}{sC}} = \frac{1}{1 + RsC}$$

$$\rightarrow RC = \tau \quad \Rightarrow \quad \boxed{\frac{V_2}{V_1} = \frac{1}{1 + s\tau}}$$

• Risposta nel tempo

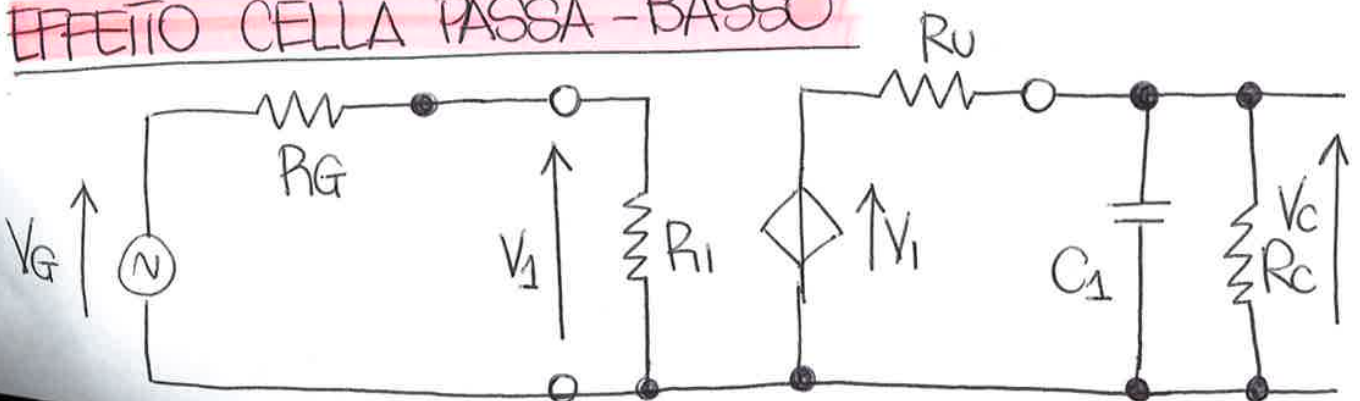
$$V_2(t) = V_A + V_B e^{-t/\tau}$$

$$-t \rightarrow \infty ; V_2(\infty) = V_A = V_1(\infty) = V_{ir}$$

$$-t \rightarrow 0 , V_2(0) = 0 , V_B = -V_A$$

$$\boxed{V_2(t) = V_{ir} (1 - e^{-t/\tau})}$$

EFFETTO CELLA PASSA - BASSO



- Hanno una struttura semplice da realizzare perché ripetitiva
- FPGA: Ha la stessa struttura di base della PLA (matrice) ma svolge funzioni molto + complesse: non solo combinatorie ma anche sequenziali.
- L'utente non programma solo + le interconnessioni ma anche la funzione delle singole celle.
- Sono programmabili (e riprogrammabili):
 - interconnessioni
 - celle logiche
 - celle I/O
- è un sistema + efficiente e rapido dei microprocessori

Contenuti in una memoria buffer intermedia e molto veloce

4. EXECUTE: esecuzione nelle ALU

5. STORE RESULTS: scrittura dei risultati nella memoria esterna

→ Ogni una di queste fasi non comprende un unico componente ma più di uno

→ Ogni istruzione viene svolta in serie: prima la 1° poi la 2°, ecc... ma così occorre molto tempo

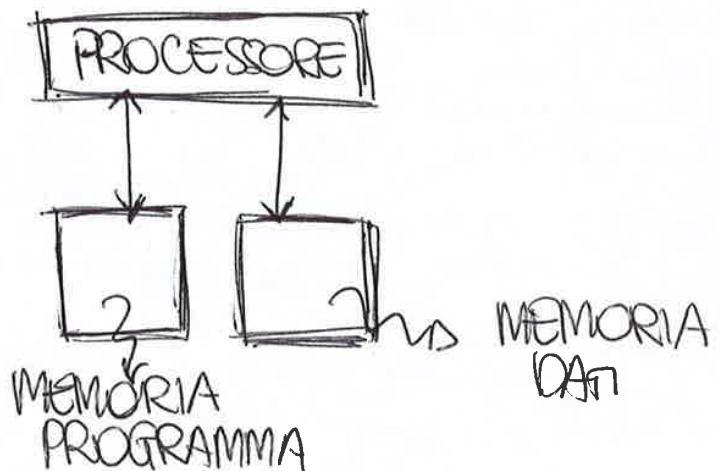
⇒ ARCHITETTURA PIPELINE: al posto di aspettare il termine dell'intero 1° ciclo di macchina x iniziare il 2°, distanziano i due cicli di un solo ciclo di clock

→ Maggiore è il numero di istruzioni che il processore può fare in parallelo, maggiore è la velocità

* 2 possibili strutture di memoria:

1. Harvard:

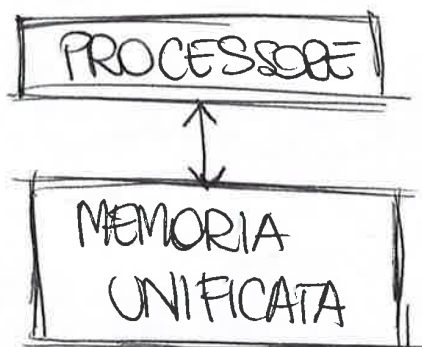
- migliori prestazioni



2. Princeton

- meno fili

↓
- meno costi



→ GPU

Particolare ASIC x grafica bi e tridimensionale.
E' programmabile per un elevatissimo numero di core (ripetuti x ogni pixel) ma il controllo e' molto semplice xk le operazioni sono tutte ripetute → elevato parallelismo

trasformazione. => non e' significativa la media della tangente ma lo sono i picchi

-> **BANDA** = correlata alla tangente del segnale

-> Devo sempre tener conto del **RUMORE** che e' sempre presente su tutto

BANDA STRETTA = segnali che variano lentamente nel tempo

* **SEGNALI ANALOGICI**

BANDA LARGA = segnali che variano + rapidamente. Contengono + info ma sono + complessi

Sono sempre **CONTINUI**

- nel TEMPO: definito in qualsiasi istante di tempo

- in AMPIEZZA: puo' assumere un qualsiasi valore in un determinato intervallo

* **SEGNALI DIGITALI**

Sono una SEQUENZA DI NUMERI (generalmente base 2).

Sono **discreti**

- nel TEMPO: definiti solo per alcuni istanti di tempo

- in AMPIEZZA: possono assumere solo determinati valori entro un certo intervallo

-> **ERRORI DELLA RAPPRESENTAZIONE DIGITALE**

① **CAMPIONAMENTO**: i valori sono definiti solo a tempi discreti

-> quando vado a tradurre un segnale da analogico a digitale lo divido in una serie di istanti temporali

② **QUANTIZZAZIONE**: numero finito di valori rappresentabili

-> dopo aver diviso il segnale in istanti di campionamento, vado a valutare in essi: vado ad associare al segnale una stringa di bit. A seconda del numero di bit varia l'errore: + e' alto + basso sarà l'errore

Per ricostruire in maniera corretta un segnale in banda limitata bisogna campionarlo ad una frequenza almeno doppia della banda di quello in ingresso

* LIMITI DEL DIGITALE :

- presenta errori intrinseci :
 QUANTIZZAZIONE (legata al numero di BIT)
 CAMPIONAMENTO (legato alla densità nel tempo dei campioni)
- alcuni segnali possono essere solo analogici
- i segnali ad alta velocità (alte frequenze) vanno trattati come segnali analogici

④ CAMPIONAMENTO

- intervallo di campionamento = T_s

$$\text{frequenza di campionamento} = f_s = \frac{1}{T_s}$$

Costanza tra campioni

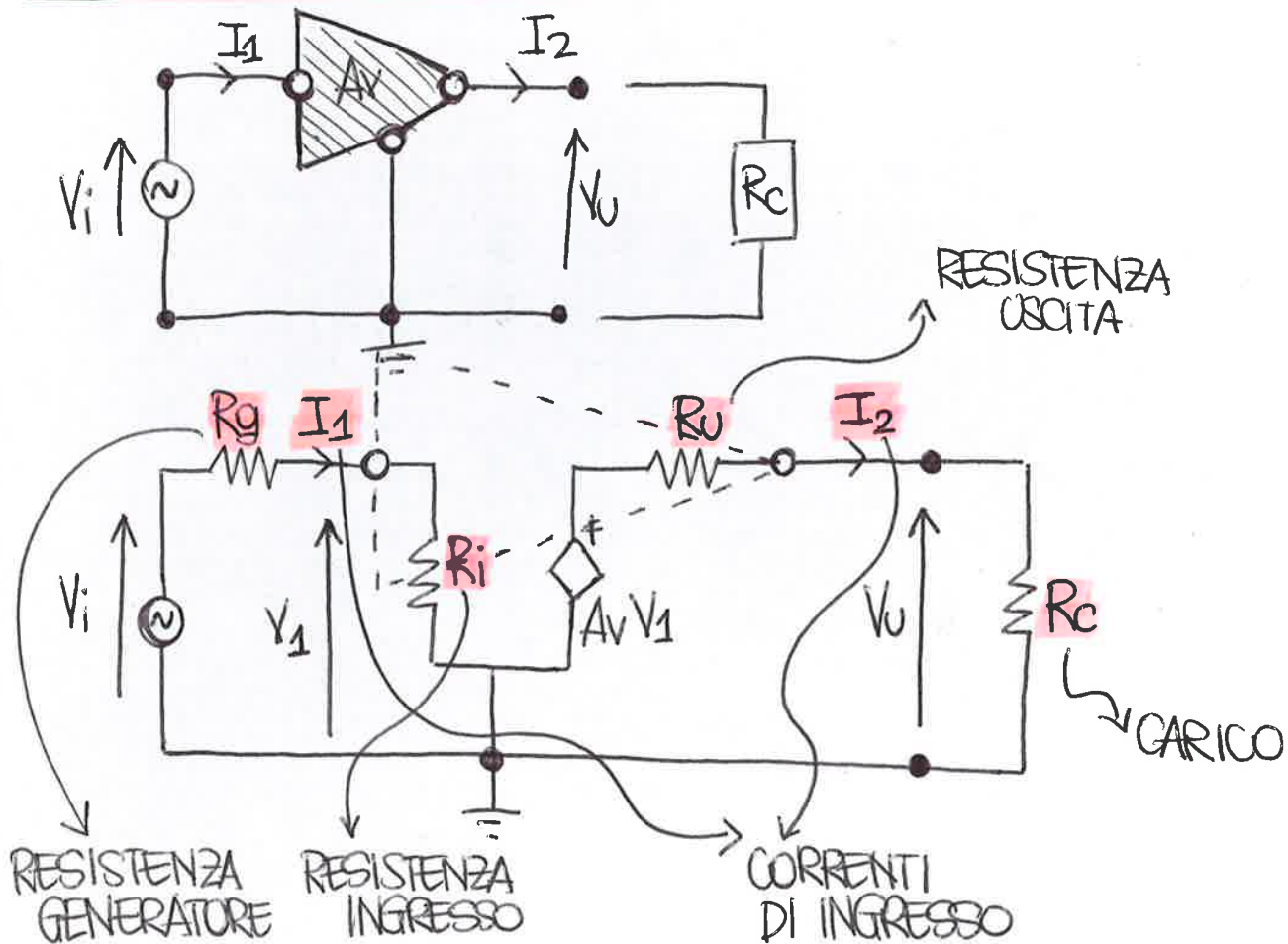
② QUANTIZZAZIONE

- se ho N bit ho 2^N valori
- ⇒ errore di quantizzazione = $\frac{100}{2^N} \%$

→ Esistono 4 tipi di amplificatori:

- $V \rightarrow V$ TENSIONE
- $I \rightarrow I$ CORRENTE
- $V \rightarrow I$ TRANSCONDUITANZA
- $I \rightarrow V$ TRANSRESISTENZA

*MODELLO DI AMPLIFICATORE



- R_i : determina la partizione che modifica V_u/V_i

$$V_1 = V_i \frac{R_i}{R_i + R_g} \quad (\text{partitore di tensione})$$

$$V_u/V_i = A_v V_1 / [V_1 (R_i + R_g) / R_i]$$

$$\Rightarrow V_u/V_i = A_v R_i / (R_i + R_g)$$

[R_g : la tensione di ingresso proviene da un generatore con R_g interna]

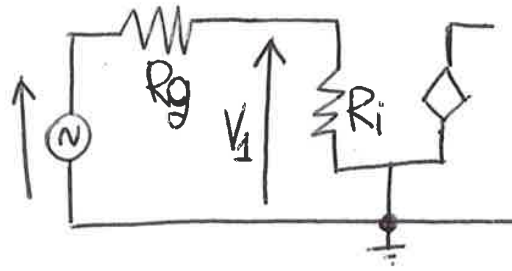
1.1 INGRESSO IN TENSIONE

$$R_g = ? \quad R_i \rightarrow \infty$$

$$V_1 = V_i \left(\frac{R_i}{R_i + R_g} \right)$$

$\rightarrow 1$ se $R_i \rightarrow \infty$

$$\Rightarrow V_1 \rightarrow V_i$$



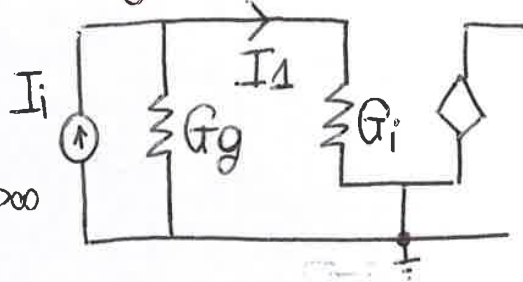
1.2 INGRESSO IN CORRENTE

$$G_g = ? \quad G_i \rightarrow \infty$$

$$I_1 = I_i \left(\frac{G_i}{G_i + G_g} \right)$$

$\rightarrow 1$ se $G_i \rightarrow \infty$

$$\Rightarrow I_1 \rightarrow I_i$$

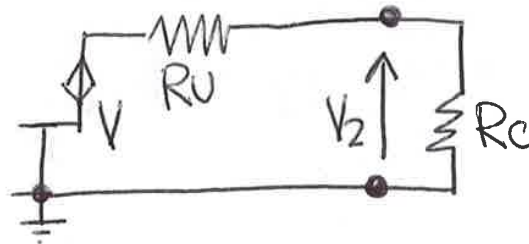


2.1 USCITA IN TENSIONE

$$R_u = 0 \quad V_2 = V$$

\rightarrow devo avere BASSA R_u per evitare partizione di V tra R_u e R_c

$$V_2 = V \frac{R_c}{R_u + R_c}$$

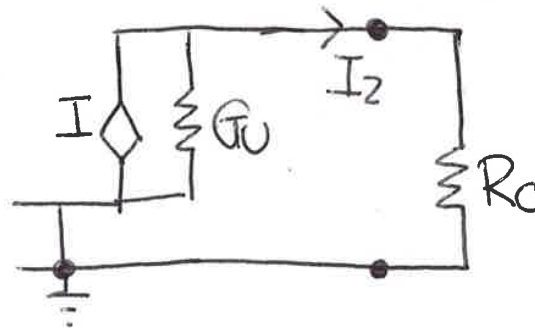


2.2 USCITA IN CORRENTE

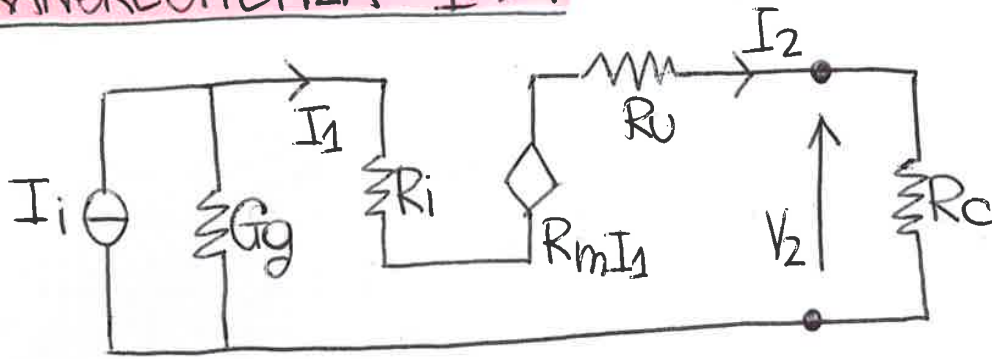
$$G_u = 0 \quad I_2 = I$$

\rightarrow per evitare partizione della I devo avere BASSA G_u (alta R_u)

$$I_2 = I \frac{1/R_c}{1/R_c + 1/R_u}$$

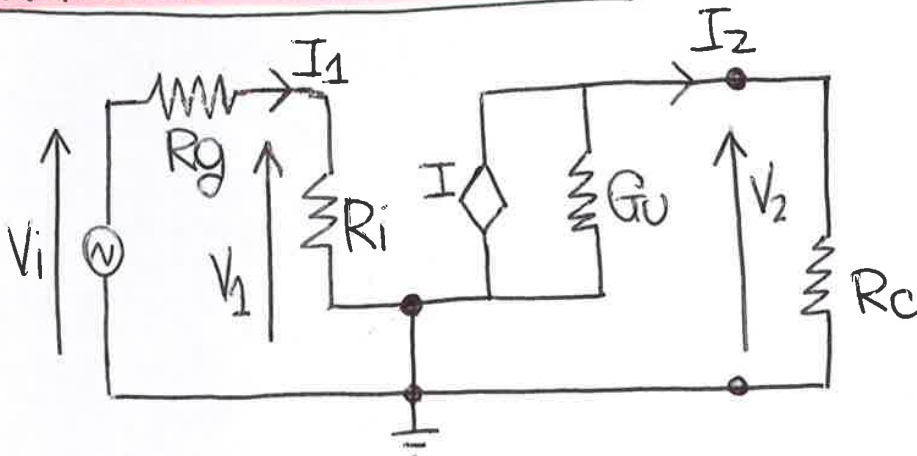


③ TRANSGRESITENZA $I \rightarrow V$



- Per non avere partizione in entrata : $G_i \rightarrow \infty$ ($R_i = 0$)
- " " " " " usata : $R_u = 0$

④ TRANSCODUTTANZA $V \rightarrow I$



- Per non avere partizione in entrata : $R_i \rightarrow \infty$
- " " " " " usata : $R_u \rightarrow \infty$ ($G_u = 0$)

DOPPI BIPOLI IN CASCATA

- Una catena di doppi bipoli puo' essere trasformata in un singolo doppio bipolo equivalente
- Se non vi e' reazione (il segnale si propaga solo dall'ingresso verso l'uscita)

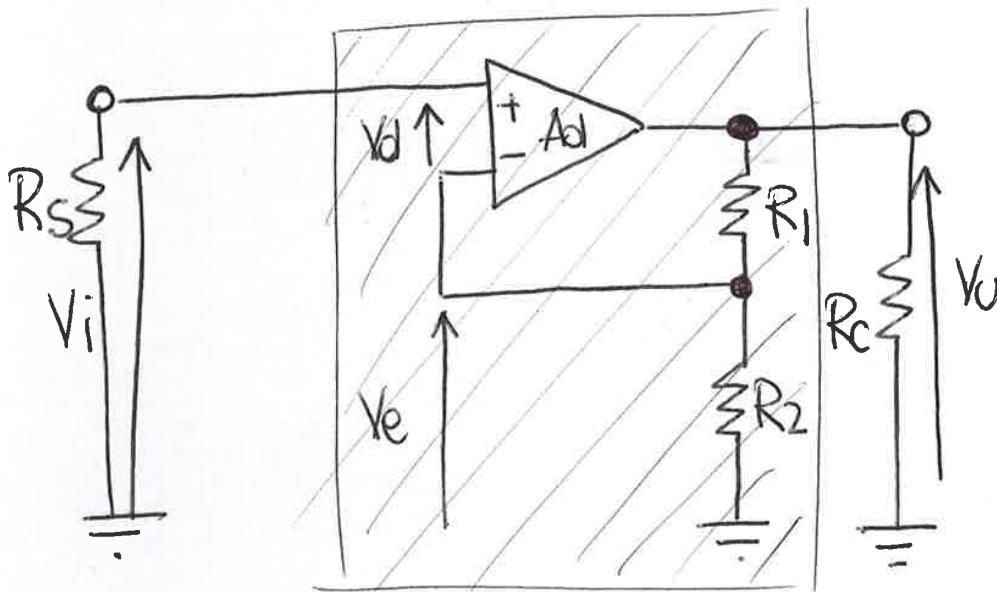
$R_i = R_{i1} \rightarrow$ resistenza di ingresso = R ingresso 1° stadio

$R_u = R_{u/v} \rightarrow$ " " uscita = R uscita ultimo stadio

*GUADAGNO A_V

$A_V = V_U / V_i \rightarrow$ dipende solo dal rapporto R_1/R_2

- la resistenza in ingresso $R_i \rightarrow \infty$
- la resistenza in uscita $R_u = 0$



$$V_U = A_d V_d$$

$$V_e = V_U \frac{R_2}{R_1 + R_2}$$

$$V_d = V_i - V_e = V_i - V_U \frac{R_2}{R_1 + R_2}$$

$$A_d \rightarrow \infty \quad V_d = \frac{V_U}{A_d} = 0$$

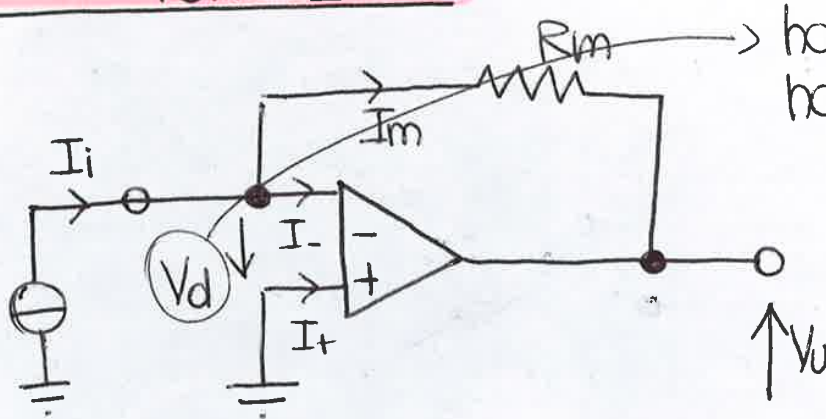
$$\Rightarrow V_i = V_U \frac{R_2}{R_1 + R_2} \quad V_U = V_i \frac{R_1 + R_2}{R_2}$$

$$A_V = \frac{V_U}{V_i} = \frac{V_i \frac{R_1 + R_2}{R_2}}{V_i} = \frac{R_1 + R_2}{R_2}$$

→ Nel calcolo non devo prendere in considerazione né il generatore (R_s) né il carico (R_c)

- segnale di morsetto **NON INVERTENTE**:
→ ingresso e uscita in fase! (-, - o +, +)
- segnale di morsetto **INVERTENTE**:
→ ingresso e uscita con segni opposti!

① AMPLIFICATORE I → V



→ ha verso in basso xk ho invertito l'amplificatore

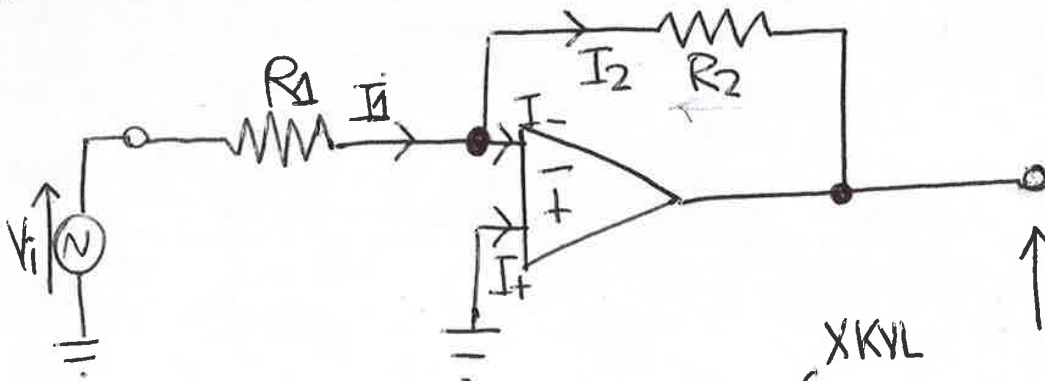
$$I_-, I_+ = 0 \quad V_d = 0$$

$$\Rightarrow I_i = I_m$$

$$V_u = -R_m I_m = \boxed{-R_m} I_i \quad (\text{negativa} \rightarrow \text{INVERTENTE})$$

→ **TRANSRESISTENZA**

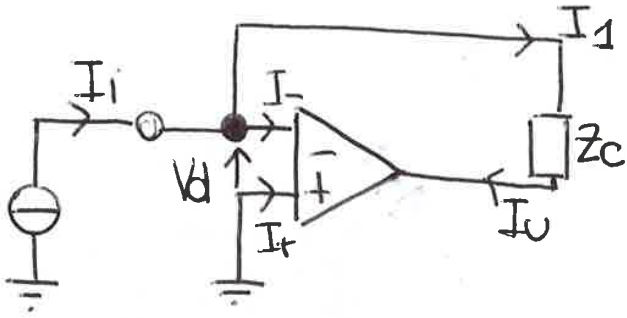
→ AMPLIFICATORE DI TENSIONE INVERTENTE



$$I_- = 0 \Rightarrow I_1 = I_2 \quad I_1 = \frac{V_i}{R_1} / V_u = -R_2 I_2 = \boxed{-\frac{R_2}{R_1}} V_i$$

→ **AV**

➔ INSEGUITORE DI CORRENTE

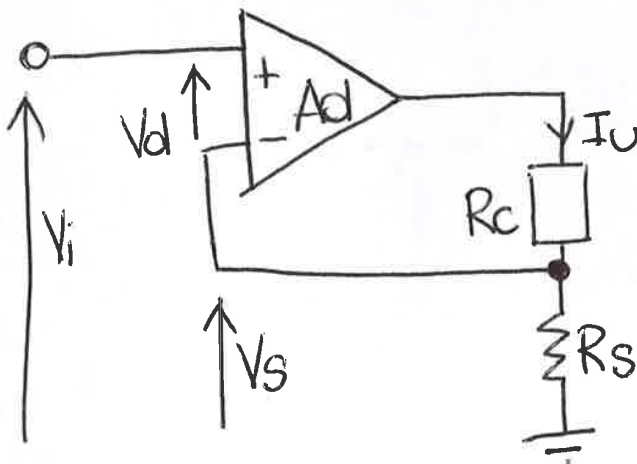


R_i bassa
 R_u alta

$$V_d = 0 \quad I_-, I_+ = 0$$

$$I_i = I_1 = I_0$$

③ AMPLIFICATORE $V \rightarrow I$



$$V_d = 0$$

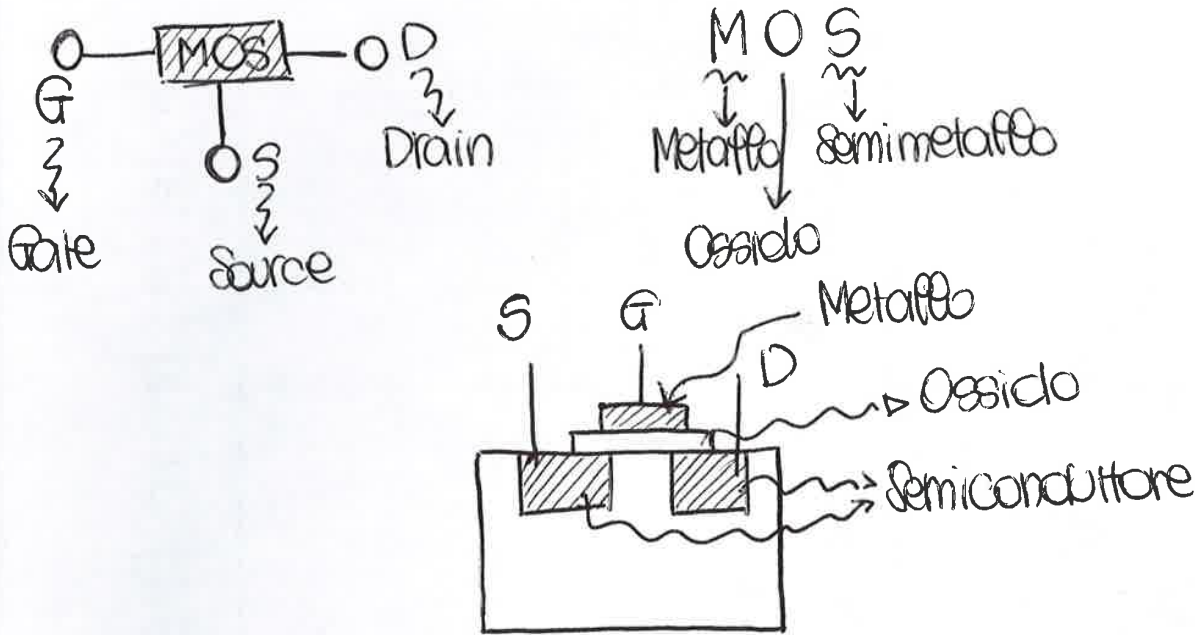
$$V_d = V_i - V_s$$

$$V_i = V_s$$

$$I_0 = \frac{V_s}{R_s} = \frac{V_i}{R_s}$$

$$G_m = \frac{1}{R_s} = \text{transconduttanza}$$

MODULI DIGITALI

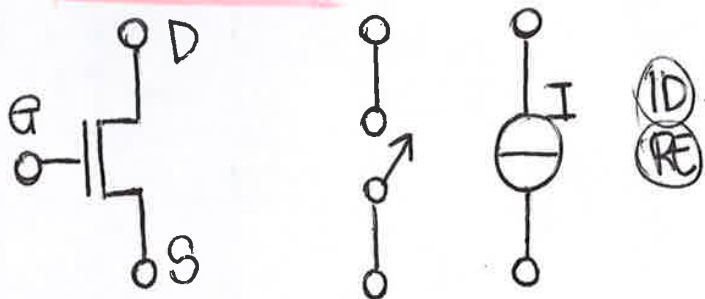


→ Ho una resistenza variabile in base alla tensione applicata al gate

*TRANSISTORE NMOS

Individuo una tensione di soglia V_{TH} (> 0)

- $V_{GS} \ll V_{TH} \Rightarrow$ nessuna conduzione tra D e S



STATO OFF

(ID) - circuito aperto
 (RE) - generatore I (non è vero che non scorre nessuna corrente, in realtà c'è una bassa corrente)

→ INVERTER



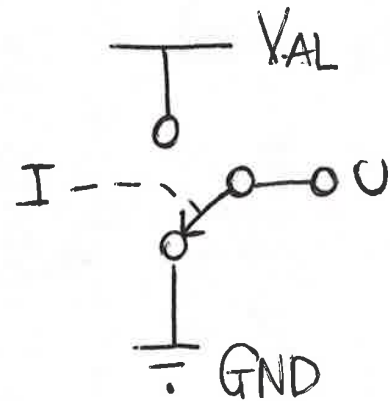
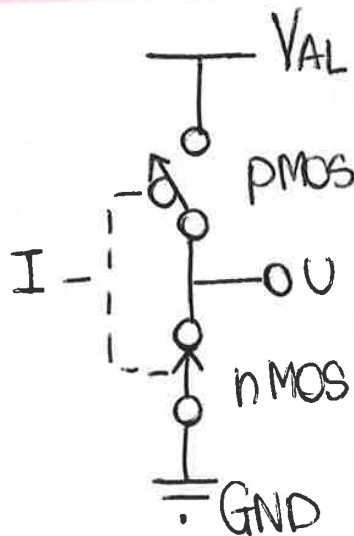
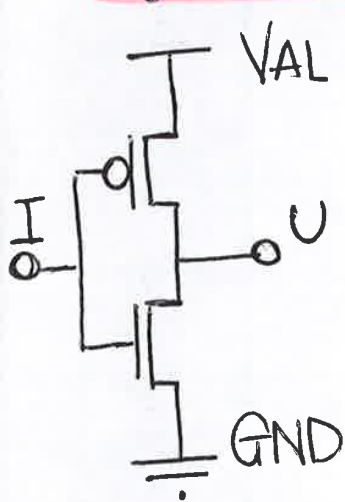
CMOS!

Trasforma il livello di ingresso nel suo duale:
 se l'ingresso è alto, l'uscita sarà bassa, se l'ingresso è basso, l'uscita sarà alta

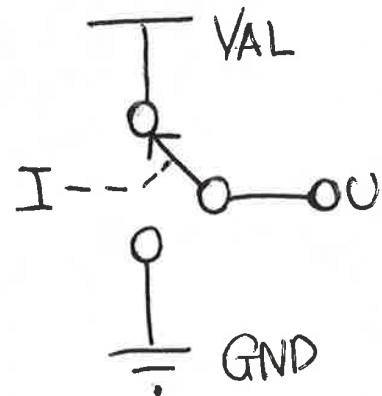
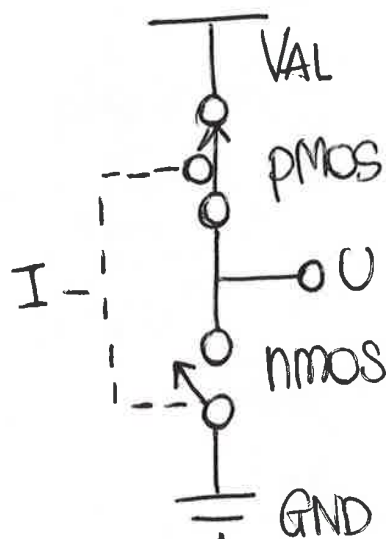
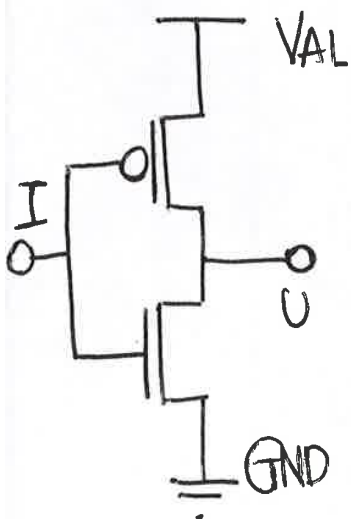
→ Composto da due interruttori MOS che operano come un unico deviatore: quando uno è aperto l'altro è chiuso e viceversa (uno nMOS, l'altro pMOS)

→ Se l'ingresso è intermedio non posso conoscere il comportamento

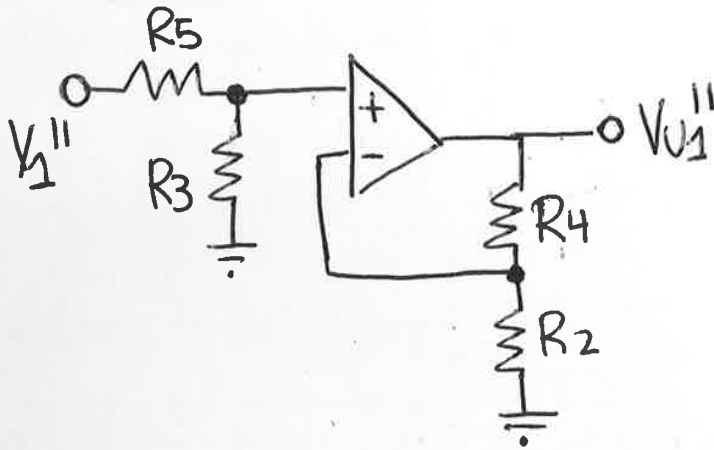
① Ingresso H → Uscita L



② Ingresso L → Uscita H



$$- V_1'' = V_1$$

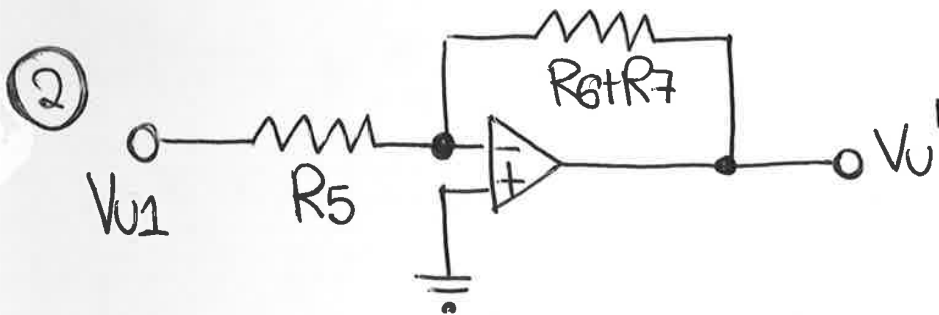


$$V_i = V_1'' \frac{R_3}{R_3 + R_5}$$

$$V_i = V_{U1}'' \frac{R_2}{R_2 + R_4}$$

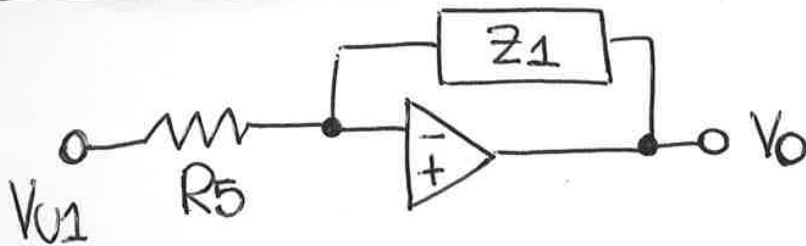
$$V_{U1}'' = V_i \frac{R_2 + R_4}{R_2} = V_1'' \frac{R_3}{R_3 + R_5} \frac{R_2 + R_4}{R_2}$$

$$\Rightarrow V_{U1} = V_{U1}' + V_{U1}'' = -V_1' \frac{R_4}{R_1} + V_1'' \frac{R_3}{R_3 + R_5} \frac{R_2 + R_4}{R_2}$$



$$V_{U'} = -V_{U1} \frac{R_6 + R_7}{R_5}$$

$$\Rightarrow V_{U'} = \left(V_1' \frac{R_4}{R_1} - \left(\frac{R_3}{R_3 + R_5} \frac{R_2 + R_4}{R_2} \right) V_1'' \right) \frac{R_6 + R_7}{R_5}$$



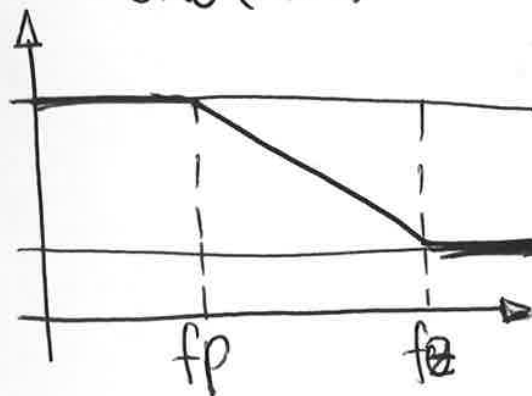
$$Z_1 = Z + R_7 = \frac{sCR_6}{1+sCR_6} + R_7 = \frac{sCR_6 + R_7(1+sCR_6)}{1+sCR_6}$$

$$V_0 = -V_{U1} Z_1 \frac{1}{R_5} = V_{U1} \left(\frac{R_3}{R_3+R_5} \frac{R_2+R_4}{R_2} - \frac{R_4}{R_1} \right) \cdot \frac{R_7 + sCR_6(1+R_7)}{1+sCR_6} \cdot \frac{1}{R_5}$$

$$\omega_p = \frac{1}{CR_6} \quad f_p = \frac{\omega_p}{2\pi}$$

$$\omega_z = sCR_6(1+R_7) = -R_7 \quad s = -\frac{R_7}{CR_6(1+R_7)}$$

$$\Rightarrow \omega_z = \frac{R_7}{CR_6(1+R_7)}$$

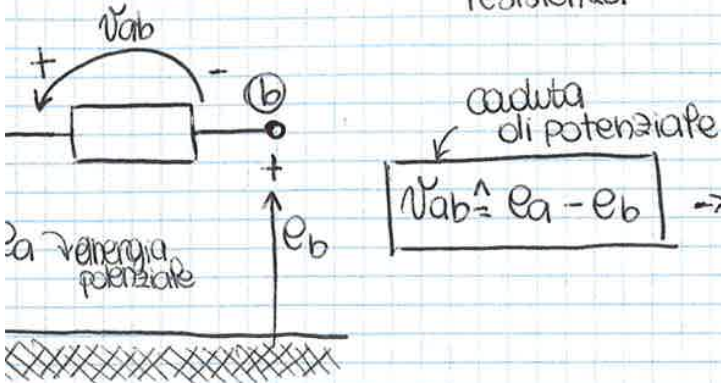
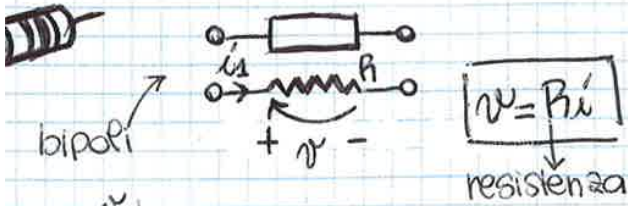


$A_0 \rightsquigarrow$ guadagno con $s \rightarrow 0$

$A_{\infty} \rightsquigarrow$ guadagno con $s \rightarrow \infty$

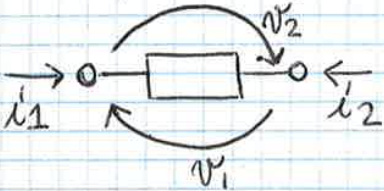
LENTI CIRCUITALI E DIREZIONI DI RIFERIMENTO

RESISTENZA (ALE) → MODELLO: Resistore ideale



→ non è detto che sia positiva: se fosse negativa ~~non~~ vorrebbe dire semplicemente che il polo denominato con + non è quello a potenziale + alto → NON CAMBIA IL VERSO!

quante variabili posso definire?

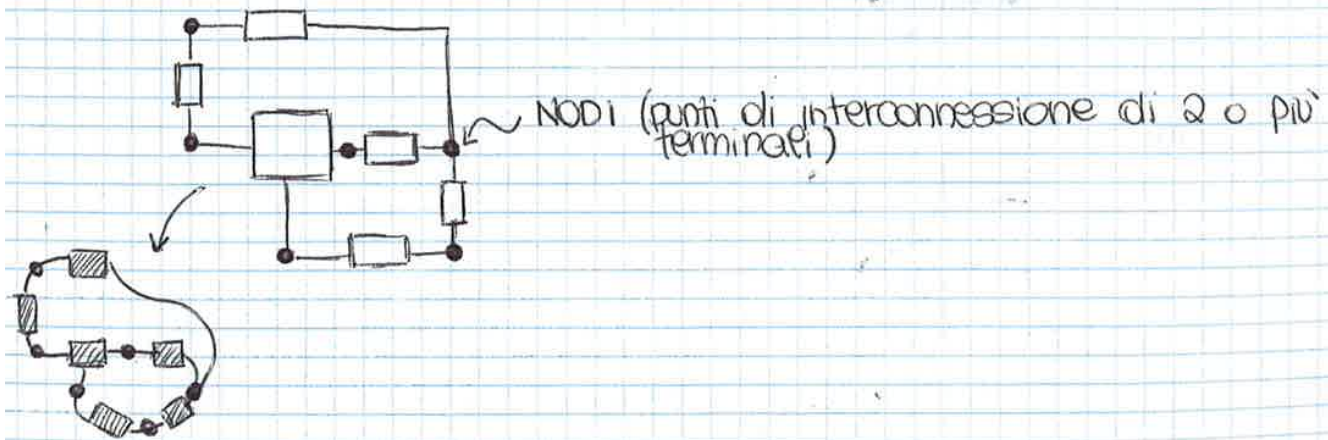


→ Per un bipolo non serve definire 4 variabili ma ne bastano 2

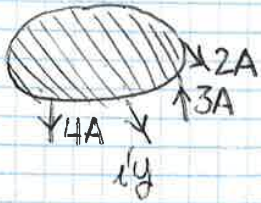
$v_1 = e_a - e_b$; $v_2 = e_b - e_a \Rightarrow v_2 = -v_1$
 anche x la corrente vale un discorso simile: $i_2 = -i_1$ } 2 variabili

i_1, i_2 } tensioni e correnti con verso "associato"

Effettiva o Circuito: struttura astratta, connessione di elementi a più terminali

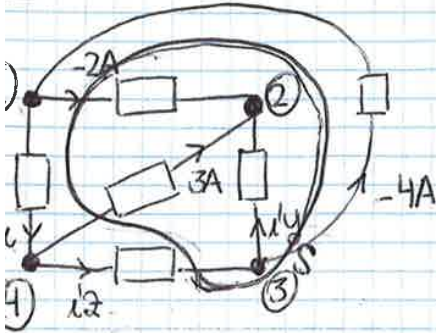


metodo (giusto)



$$4 + iy + 2 - 3 = 0 \rightarrow \boxed{iy = -3A}$$

ESERCIZIO

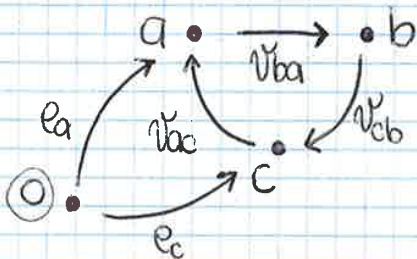


KCL ① $ix - 2A + 4A = 0$
 $\boxed{ix = -2A}$

KCL ② $iy + 3 - 2 = 0 \rightarrow \boxed{iy = -1A}$

KCL ③ $ix = -5A$

KVL Data una sequenza chiusa di nodi, la somma delle tensioni definite tra nodi adiacenti $\equiv 0$



$$V_{ac} + V_{ba} + V_{cb} = 0$$

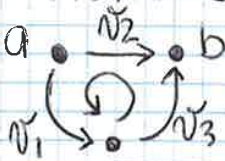
$$(e_a - e_c) + (e_b - e_a) + (e_c - e_b) \equiv 0$$

In alternativa:

scego un verso di percorrenza (ORARIO/ANTIORARIO)

definisco ARBITRARIAMENTE le tensioni tra nodi adiacenti (manca)

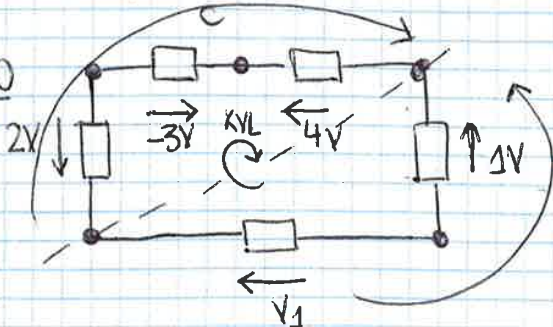
la somma algebrica delle tensioni con convenzione di verso coerente con il senso ORARIO/ANTIORARIO $\equiv 0$



$$+V_1 - V_2 + V_3 = 0$$

conviene usare i loop x calcolante

esempio



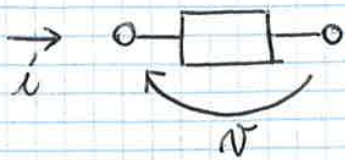
KVL ① $V_1 - 2V - 3V - 4V - 1V = 0$
 $V_1 = 10$

posso anche considerare una retta che congiunge due nodi e considerare separatamente le 2 tensioni ed eguagliare ai due risultati

$$V_A = V_B$$

$$-2V - 3V - 4V = -V_1 + 1$$

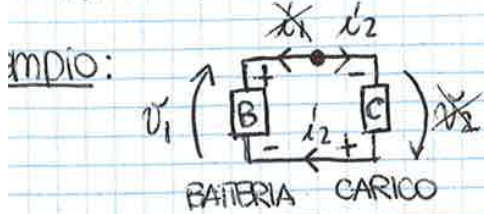
ERGETICA DEI BIOLI



$$P_A = \hat{v}i' \quad [W]$$

"ASSORBITA"

RIFERIMENTO ASSOCIATO

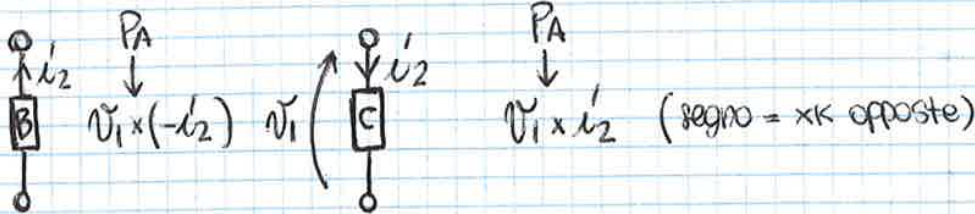


x KVL $\rightarrow \textcircled{2} v_1 + v_2 = 0 \rightarrow v_2 = -v_1 \rightarrow$ posso non considerare v_2
 x KCL $\rightarrow i_1 + i_2 = 0 \rightarrow i_1 = -i_2 \rightarrow$ posso non considerare i_1

$$\hat{P}_A = -v i' \quad \text{"EROGATA"}$$

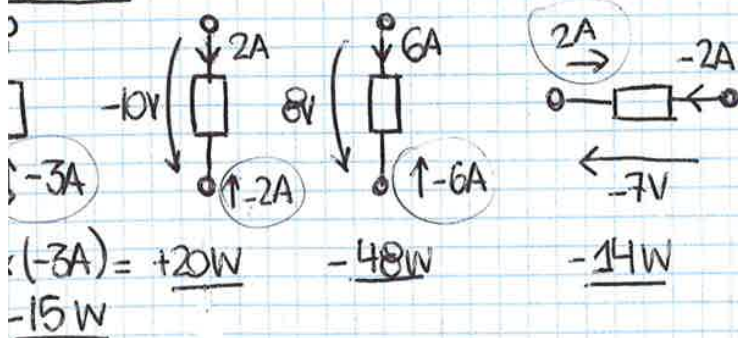


↓ negli associati corretti

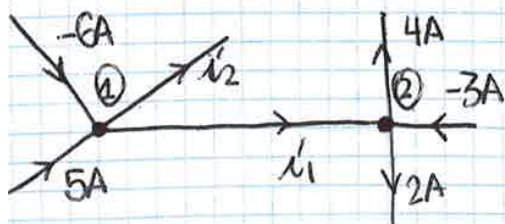


POTENZE ASSORBITE = 0! \rightarrow CONSERVAZIONE POTENZA

ESERCIZIO



ESERCIZIO

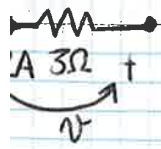


$$\textcircled{2} i_1 - 3A - 4A - 2A = 0$$

$$i_1 = 9A$$

$$\textcircled{1} -6A + 5A - 9A - i_2 = 0$$

$$i_2 = -10A$$

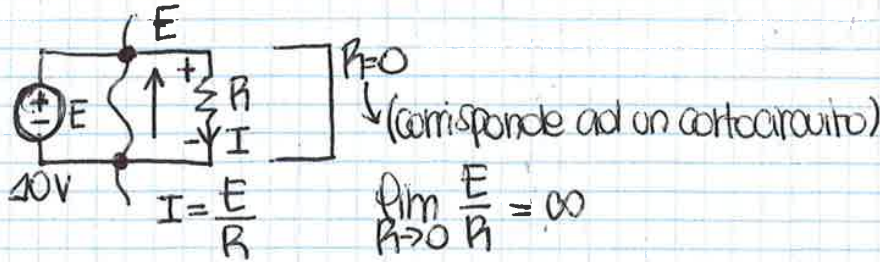


$$V = 3\Omega \cdot (2A) = -6V$$

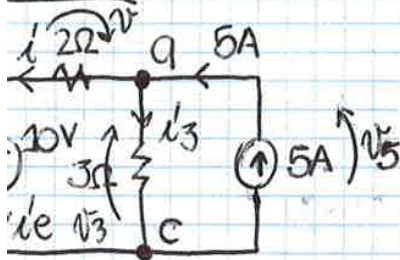
$R=0 \Rightarrow V = Ri' = 0 \rightarrow$ CIRCUITO CORTO

$R=\infty, G=0 \Rightarrow i' = GV = 0 \rightarrow$ CIRCUITO APERTO $[G = \frac{1}{R}]$

esempio:



esercizio



KCL @ $i'_3 = 5 - i'$

KCL @ $i' = i'_e$

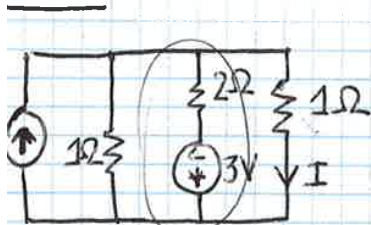
$$\left. \begin{array}{l} n=3 \\ (n-1)=2 \end{array} \right\} \text{KCL}$$

$b-n+1 = 2 \rightarrow \text{KVL}$

KVL $10V + V - V_3 = 0$

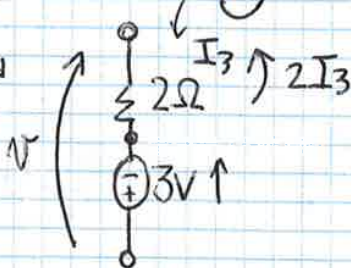
$\downarrow \quad \downarrow \quad \downarrow$
 $E \quad 2i' \quad 3i'_3$

esercizio



KCL: $-2A + \frac{V}{1\Omega} + I_3 + \frac{V}{1\Omega} = 0$

KVL:

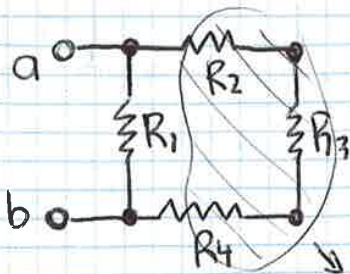


$$I_3 = \frac{V-3}{2}$$

$3V + 2I_3 - V = 0$



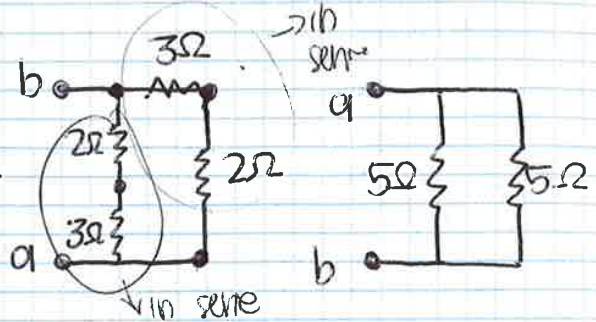
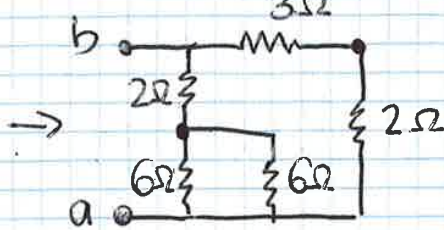
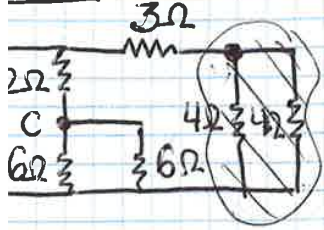
esempio:



in serie
 $R_{eq} = R_2 + R_3 + R_4$
 $\Rightarrow R_{eq_{TOT}} = \frac{R_1}{R_{eq}}$

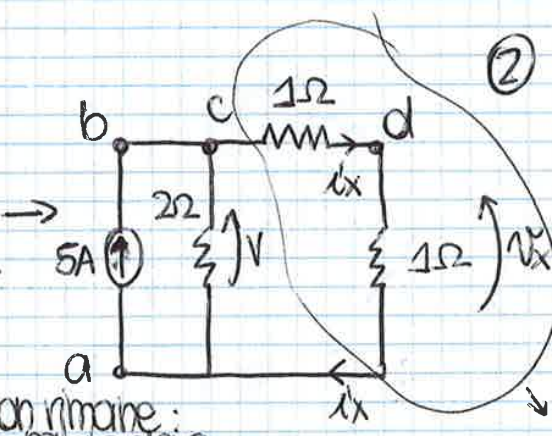
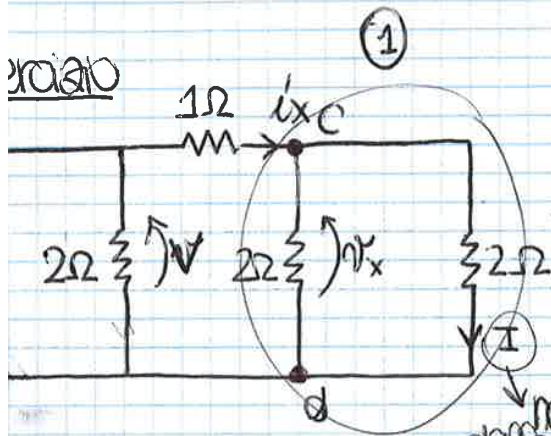
ne' in serie
 ne' in parallelo

esercizio



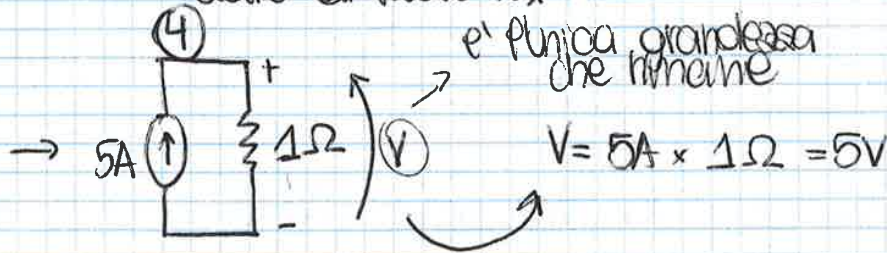
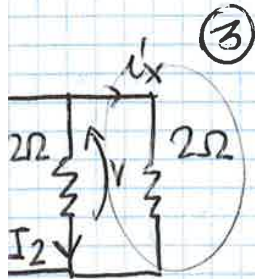
$R_{eq} = 5/2$

esercizio



non rimane
 dalla parte delle
 celle di nuovo I_x

rimane I_x
 ma non I_x



e' l'unica grandezza
 che rimane

$V = 5A \times 1\Omega = 5V$

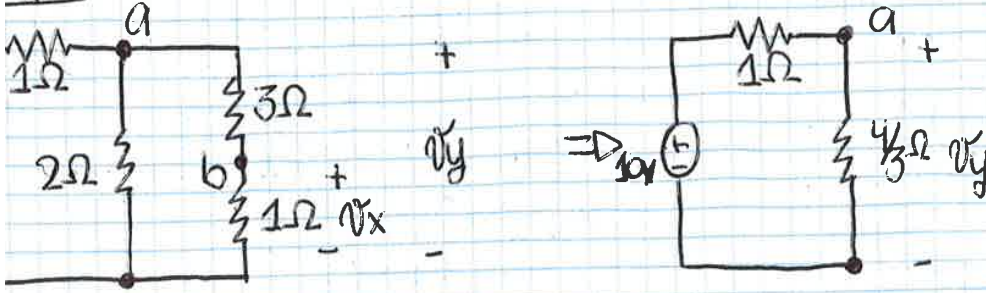
(in ③) $I_2 = \frac{V}{2\Omega} = \frac{5}{2} A \Rightarrow KCL \ I_x = 5 - I_2 = \frac{5}{2}$

(in ②) $V_x = 1\Omega \times I_x = 5/2 V$

(in ①) $I = V_x / 2\Omega = 5/4 A$

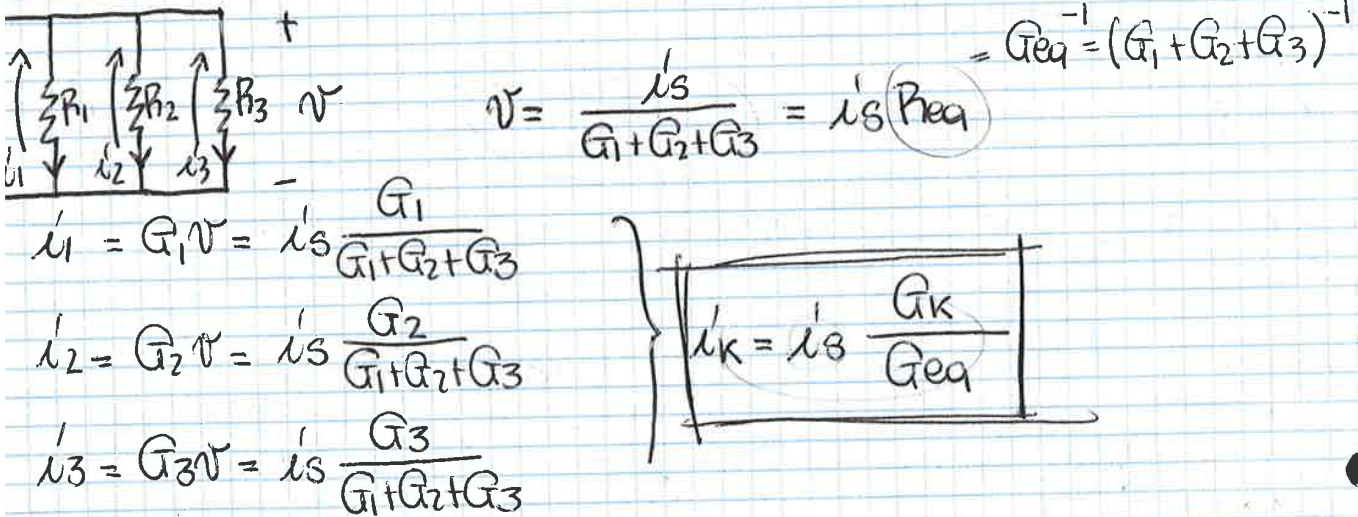
11-03-2014

npio

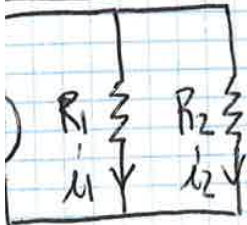


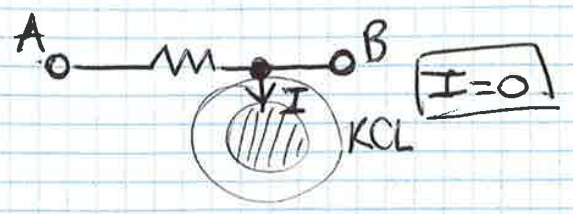
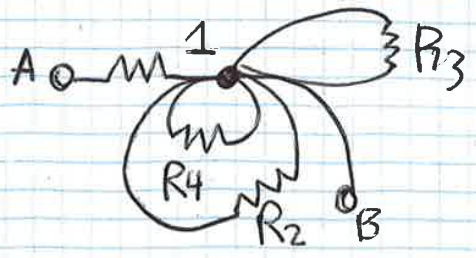
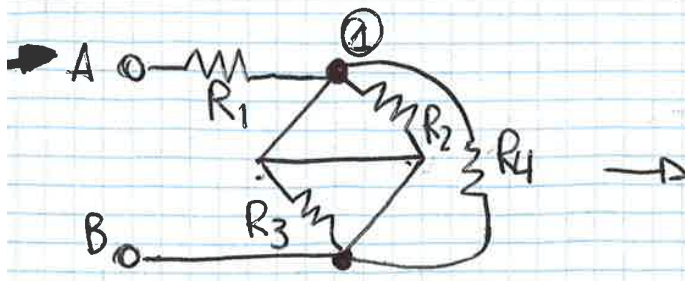
$i_e = \frac{10}{7/3} = 30/7 \text{ A}$
 $V_y = 10 \cdot \frac{4/3}{7/3} = \frac{40}{7} \text{ V}$
 $V_x = V_y \cdot \frac{1}{1+3} = \frac{40}{7} \cdot \frac{1}{4} = \frac{10}{7} \text{ V}$

CURRENT DIVISION RULE

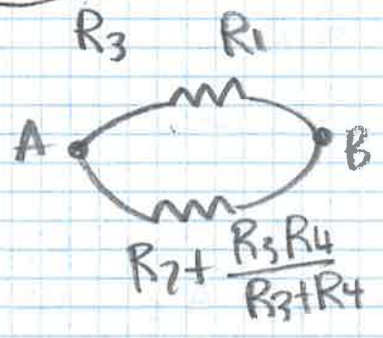
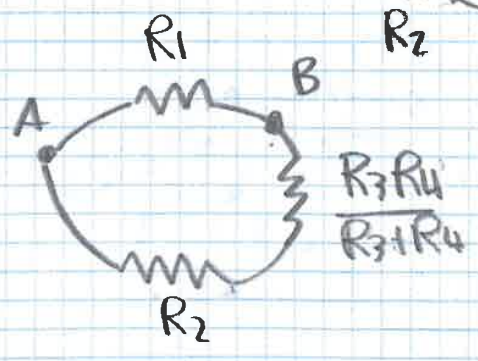
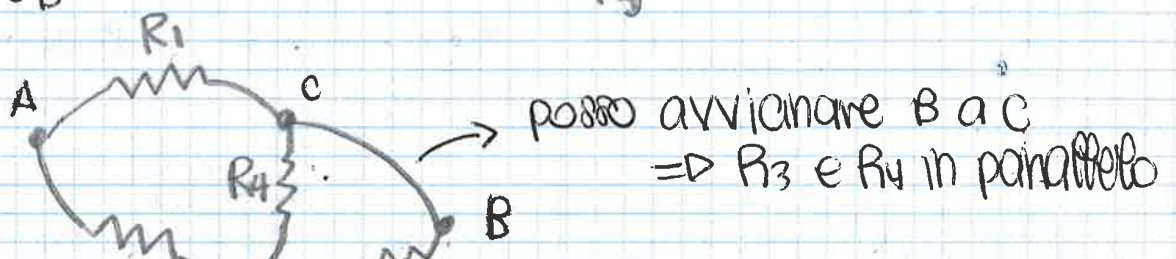
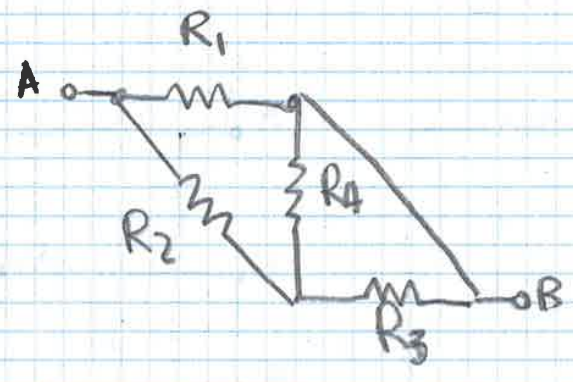
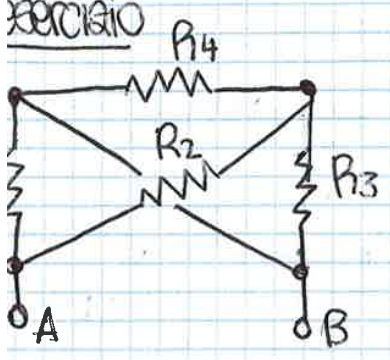


CASO CON 2 RESISTORI



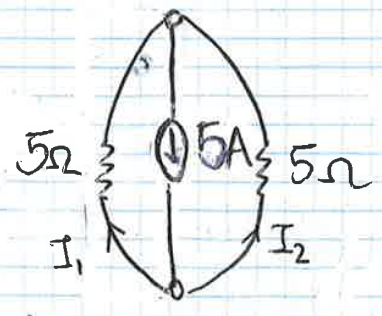
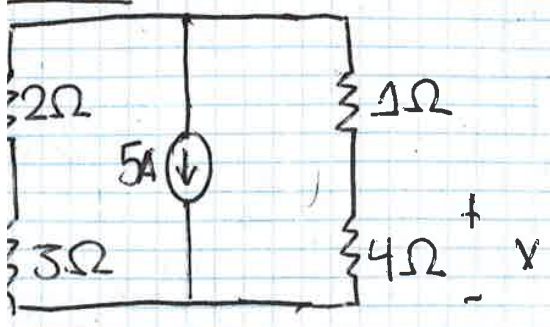


esercizio



$$R_1 + \frac{R_3 R_4 (1 + R_2)}{R_3 + R_4}$$

esercizio:

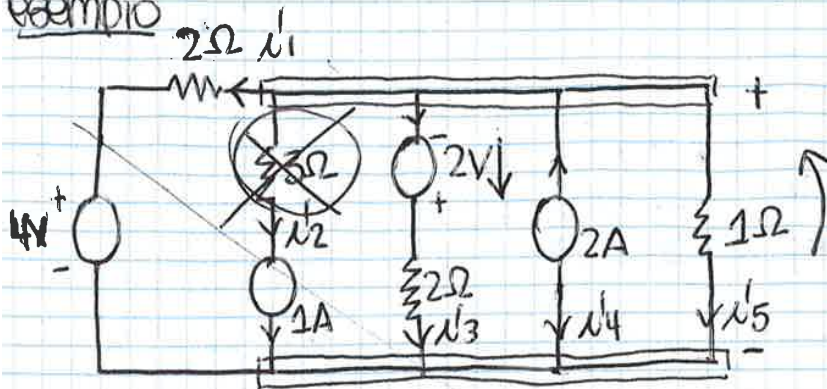


$$I = 5 \frac{5}{5+5} = \frac{5}{2} \text{ A}$$

$$\uparrow \quad \downarrow \quad \uparrow I_2 \quad \downarrow \quad \uparrow I_1$$

$$(I_2 \times 4\Omega) = 10 \text{ V} \Rightarrow \text{10V}$$

esempio



$$[A] = \frac{4V}{2\Omega} - \frac{2V}{2\Omega} = 2A - 1A = 1A$$

$$[B] = 2A - 1A = 1A$$

$$[C] = \frac{1}{2\Omega} + \frac{1}{3\Omega} + \frac{1}{2\Omega} + \frac{1}{1\Omega}$$

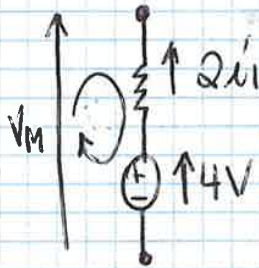
$$= V_M = \frac{1A + 1A}{14/6} = \frac{6}{7}V$$

NO!

$$\Rightarrow i'_1 + i'_2 + i'_3 + i'_4 + i'_5 = 0$$

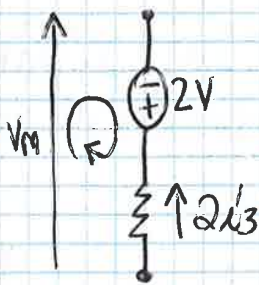
\downarrow \downarrow \downarrow \downarrow \downarrow
 $1A$ $-2A$ $\frac{V_M}{1\Omega}$

• i'_1 :



$$V_M - 2i'_1 - 4V = 0 \Rightarrow i'_1 = \frac{V_M - 4}{2}$$

• i'_3 :



$$V_M + 2V - 2i'_3 = 0 \Rightarrow i'_3 = \frac{V_M + 2}{2\Omega}$$

$$\Rightarrow \frac{V_M - 4V}{2\Omega} + 1A + \frac{V_M + 2V}{2\Omega} - 2A + \frac{V_M}{1\Omega} = 0$$

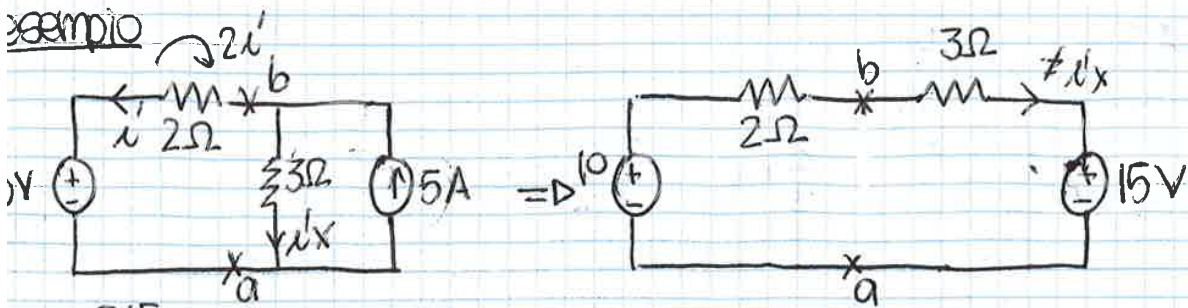
$$V_M \left[\frac{1}{2} + \frac{1}{2} + 1 \right] = \underbrace{4V/2\Omega - 2V/2\Omega}_{[A]} + \underbrace{2A - 1A}_{[B]}$$

$\underbrace{\hspace{10em}}_{[C]}$

\Rightarrow (Non valdo a considerare 3Ω perche' e' una resistenza in serie ad un generatore \Rightarrow non devo considerarla)!

\rightarrow La corrente e' sempre quella forzata dal generatore

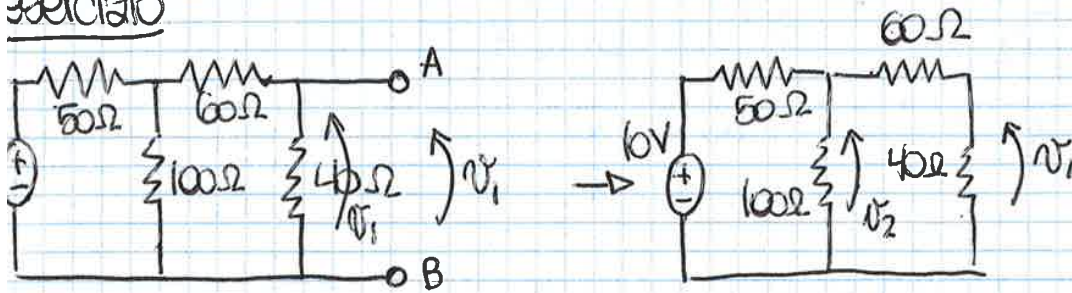
esempio



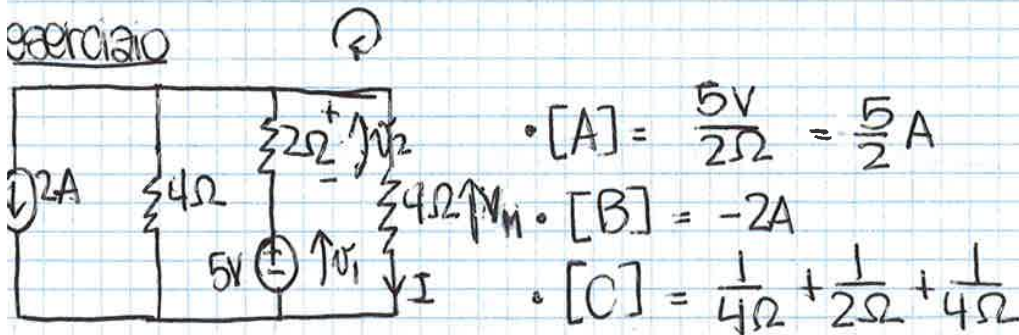
$$V_M = \frac{5+5}{\frac{1}{2} + \frac{1}{3}} = 12V$$

$$I_x = \frac{V_M}{3\Omega} = 4A$$

esercizio



esercizio



$$\bullet [A] = \frac{5V}{2\Omega} = \frac{5}{2} A$$

$$\bullet [B] = -2A$$

$$\bullet [C] = \frac{1}{4\Omega} + \frac{1}{2\Omega} + \frac{1}{4\Omega}$$

$$V_M = \frac{5/2 A - 2A}{1\Omega} = 1/2 V$$

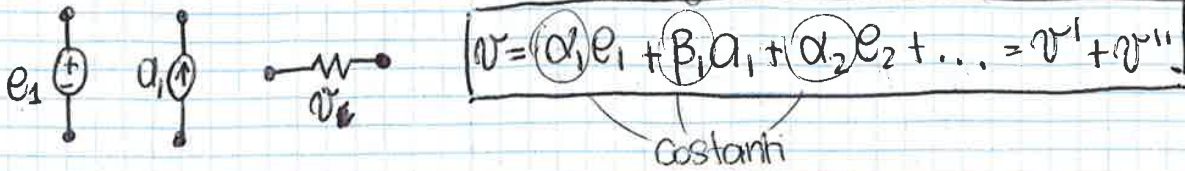
$$\text{KVL} \Rightarrow v_1 - V_M + v_2 = 0 \quad v_2 = V_M - v_1 \quad v_2 = \frac{1}{2} V - 5 = -\frac{9}{2} V$$

$$\Rightarrow I = \frac{V_M}{R} = \frac{1}{8} A$$

18-03-2014

TEMA DI SUPERPOSIZIONE

non c'è limitazione x il numero di generatori

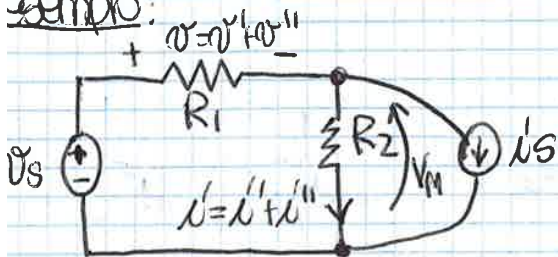


→ e' come se ne guardassi uno individualmente mentre tutti gli altri sono disattivati (cortocircuito x generatori di tensione, circuito aperto x generatori di corrente)

$$P = v i = (v' + v'')(i' + i'') \neq v' i' + v'' i'' \text{ NO!}$$

→ mancherebbe $v' i'' + v'' i'$

esempio:

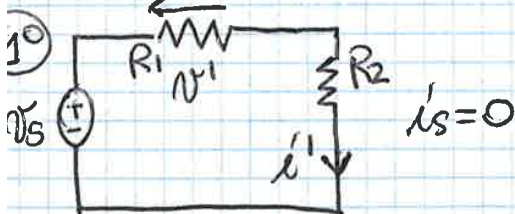


→ x Millman: $V_M = \frac{v_s G_1 - i_s}{G_1 + G_2}$

→ x KVL $v = v_s - v_m = v_s - \frac{v_s G_1 - i_s}{G_1 + G_2} = \frac{v_s G_2 + i_s}{G_1 + G_2}$

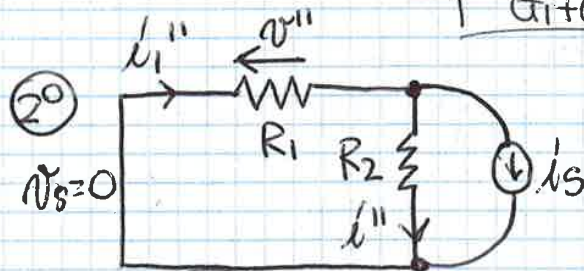
$$v = \alpha_1 v_s + \beta_1 i_s = v' + v''$$

$$i = \alpha_2 v_s + \beta_2 i_s = i' + i''$$



$$v' = v_s \frac{R_1}{R_1 + R_2} \rightarrow R_1 \text{ e } R_2 \text{ in serie}$$

$$i' = \frac{v_s}{R_1 + R_2}$$



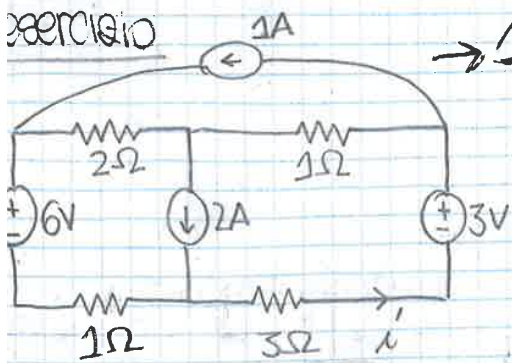
$$v'' = \left(i_s \frac{R_2}{R_1 + R_2} \right) R_1$$

$$i'' = -i_s \frac{R_1}{R_1 + R_2}$$

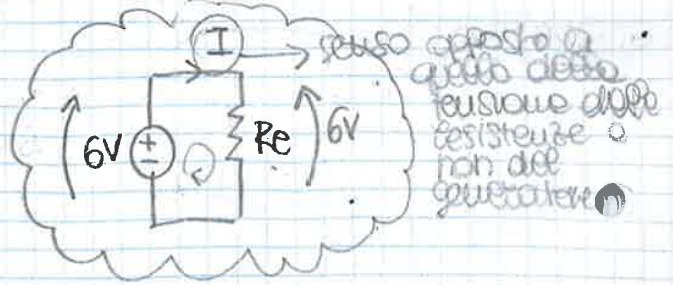
$$\rightarrow v = \left(v_s \frac{R_1}{R_1 + R_2} + i_s \frac{R_1 R_2}{R_1 + R_2} \right) \frac{(G_1 G_2)}{(G_1 G_2)} = \frac{v_s G_2 + i_s}{G_1 + G_2}$$

$$\rightarrow i = \frac{v_s}{R_1 + R_2} - i_s \frac{R_1}{R_1 + R_2}$$

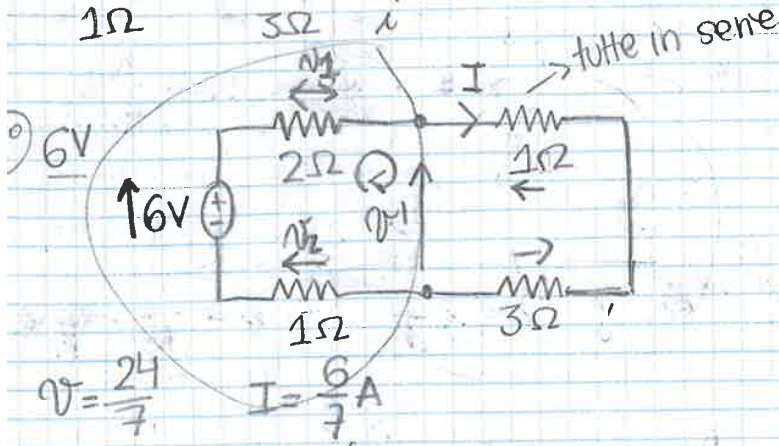
esercizio



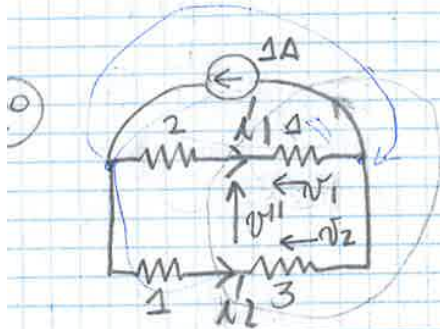
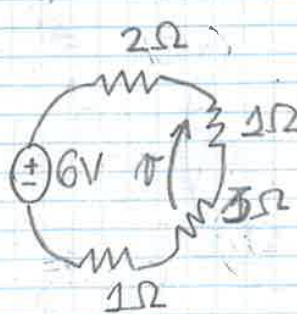
→ 1A + millmann



senso opposto a quello delle tensioni delle resistenze non del generatore

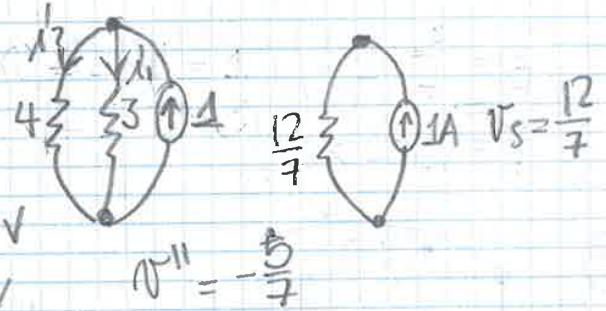


$V = \frac{24}{7}$
 $I = \frac{6}{7} A$

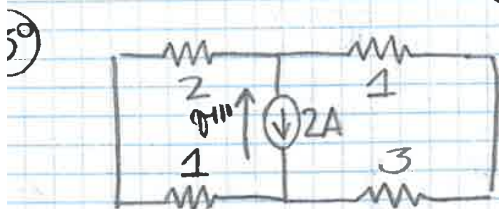


$V^{II} = V_1 - V_2$

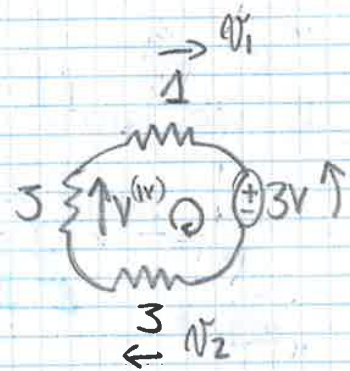
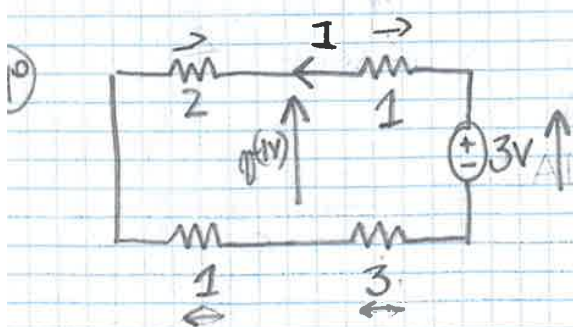
$V_1 = V_s \frac{1}{4+3} = \frac{1}{7} V$
 $V_2 = V_s \frac{1}{4} = \frac{1}{4} V$



$V^{II} = -\frac{5}{7}$



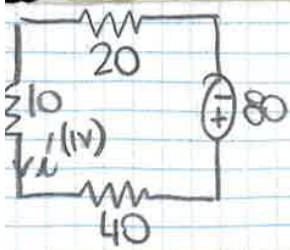
$R_{eq} = \frac{12}{7}$ $V^{III} = -R_e 2A = -\frac{24}{7}$



$V_1 = 3V \frac{1}{7} = \frac{3}{7}$
 $V_2 = 3V \frac{3}{7} = \frac{9}{7}$

$V^{(iv)} + V_1 - 3V + V_2 = 0$

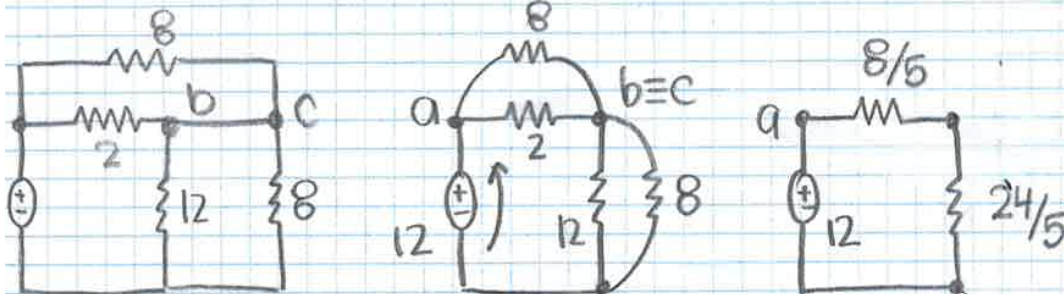
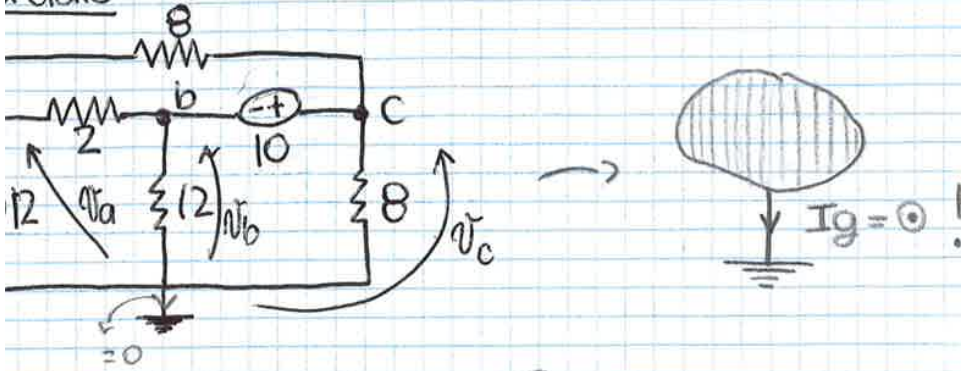
$V^{(iv)} = 3V - \frac{3}{7} - \frac{9}{7} = \frac{9}{7}$



$$i'(iv) = -\frac{80}{70} A = -\frac{8}{7}$$

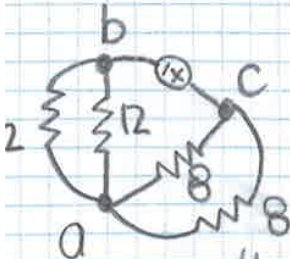
$$i = i' + i'' + i''' + i'(iv) = -\frac{16}{7} A \approx -2,286 A$$

esercizio

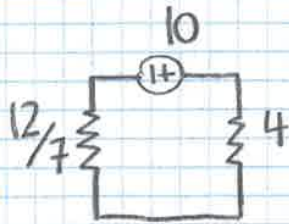


$$V_{b,c} = 12 \frac{24/5}{8/5 + 24/5}$$

$$V_a = 12$$



$$V_a = 0$$

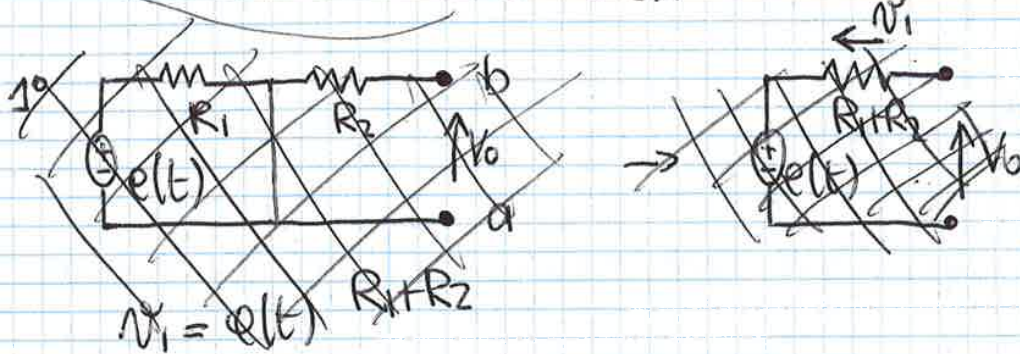
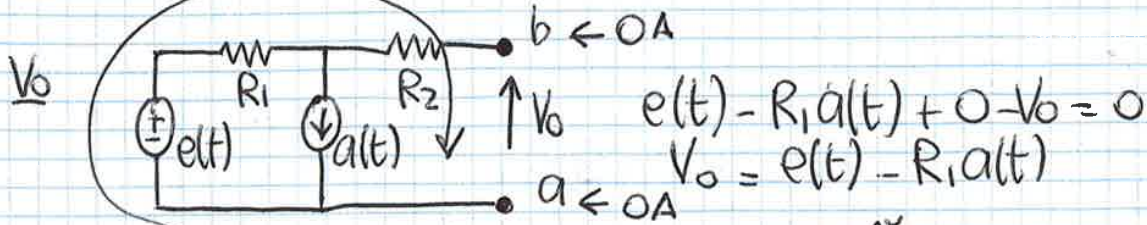
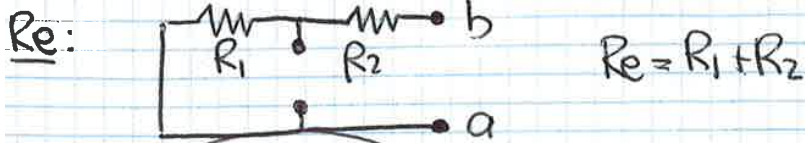
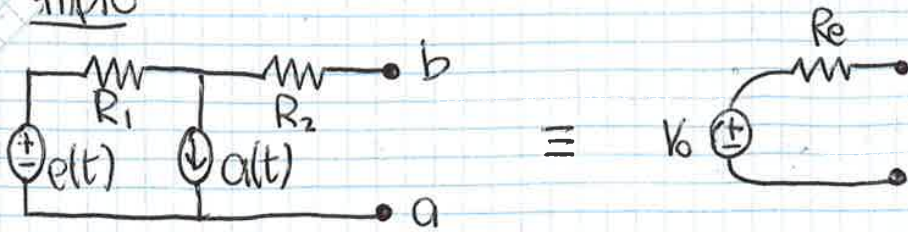


$$V_c = 10 \frac{4}{4 + 12/7} = 7$$

$$V_b = -10 \frac{12/7}{4 + 12/7} = -3$$

$$V_a = 12 + 0 \quad V_b =$$

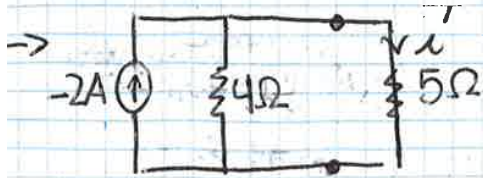
esempio



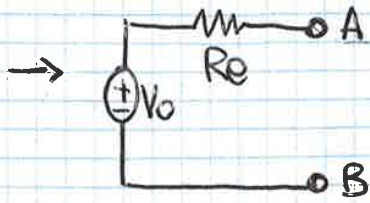
→ MILLMANN: $[A] = \frac{e(t)}{R_1}$
 $[B] = -a(t)$
 $[C] = R_1 + R_2$

$\Rightarrow V_0 = \frac{e(t) - a(t) R_2}{R_1 + R_2}$

no R_2
 xx se la corrente è zero
 \Rightarrow la caduta di potenziale è zero



$$i' = -2A \frac{4}{4+5} = -\frac{8}{9}A$$



- 1) $R_e = 0 \Rightarrow$ non esiste Norton
- 2) $G_e = 0 \Rightarrow$ // // Thevenin
- 3) $R_e \neq 0 \Rightarrow$ esistono entrambi

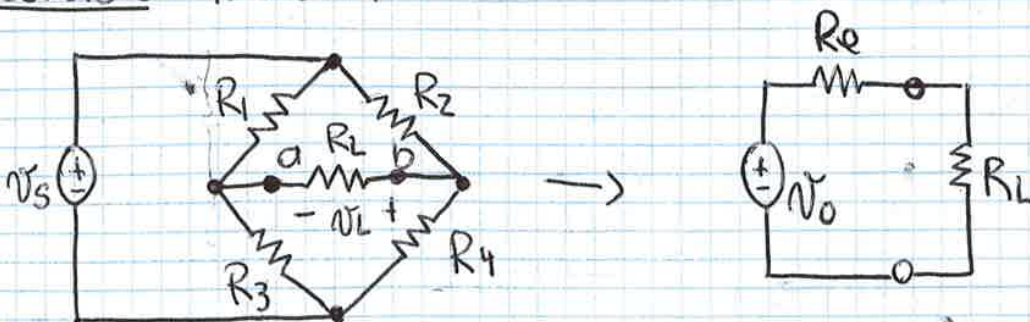
$\rightarrow \infty$ non può essere risolto \Rightarrow Thevenin (A) non esiste

$\rightarrow \infty$ non può essere risolto \Rightarrow Norton (B) non esiste

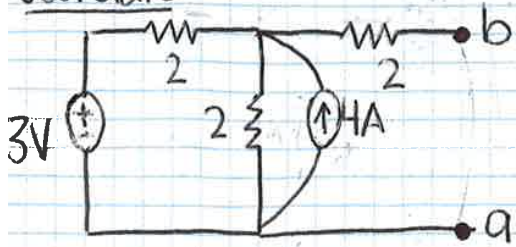
esempio (A) \nexists Thevenin

esempio (B) \nexists Norton

esercizio: Thevenin.



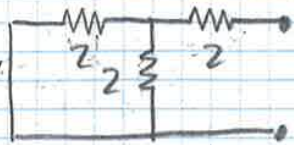
esercizio



① THEVENIN

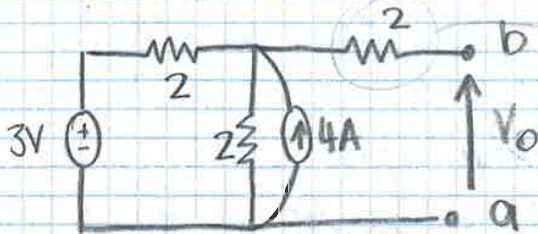


R_e



$$R_e = 2 // 2 + 2 = 3\Omega$$

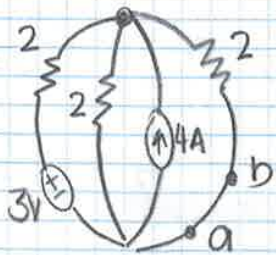
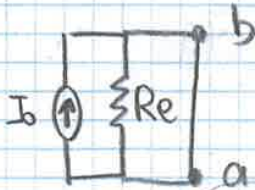
V₀



x Millmann
non fa considero
(non ci passa corrente)

$$V_0 = \frac{\frac{3}{2} + 4}{3} = \frac{11}{2} V$$

② NORTON

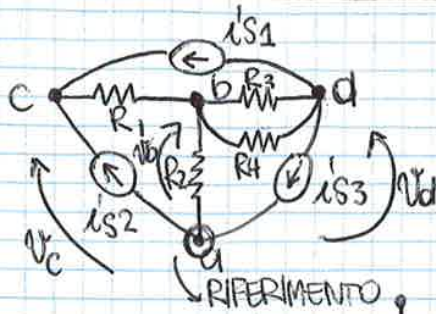


$$V_M = \frac{\frac{3}{2} + 4}{\frac{1}{2} + \frac{1}{2} + \frac{1}{2}} = \frac{3+8}{\frac{3}{2}} = \frac{11}{3}$$

$$I_0 = \frac{11}{3} / 2 = \frac{11}{6} A$$

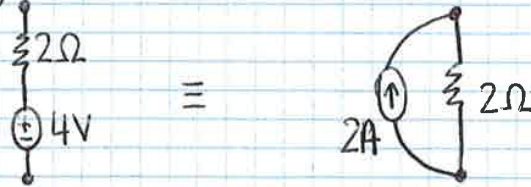
METODI GENERALI DI ANALISI

27-03-2014

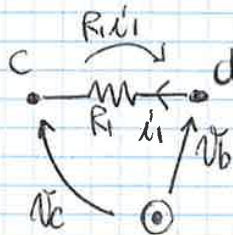


→ scegli n-1 nodi e ne scegli 1 come riferimento (x es a), ho n-1 incognite rispetto al nodo di riferimento ⇒ mi bastano n-1 equazioni
 ↓ scegli n-1 KCL ai nodi (sono linearmente indipendenti)

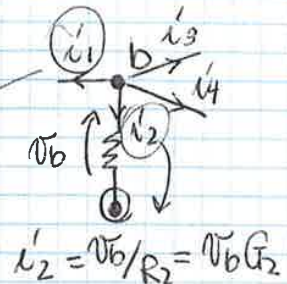
→ se avessimo



b: $V_b G_2 + (V_b - V_c) G_1 + (V_b - V_d) G_3 + (V_b - V_d) G_4 = 0$



VIA KVL $V_c + R_1 i_1 - V_b = 0$
 $i_1 = (V_b - V_c) G_1$

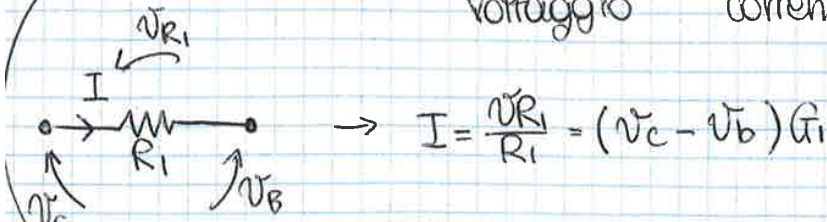


c: $(V_c - V_b) G_1 = i's_2 + i's_1$
 d: $(V_d - V_c) G_3 + (V_d - V_b) G_4 = -i's_1 - i's_3$

posso riportare in forma matriciale

$$\begin{bmatrix} (G_1 + G_2 + G_3 + G_4) & -G_1 & -(G_3 + G_4) \\ -G_1 & G_1 & 0 \\ -(G_3 + G_4) & 0 & (G_3 + G_4) \end{bmatrix} \begin{bmatrix} V_b \\ V_c \\ V_d \end{bmatrix} = \begin{bmatrix} 0 \\ i's_1 + i's_2 \\ -i's_1 - i's_3 \end{bmatrix}$$

$(n-1) \times (n-1)$ matrice delle conduttanze $G_n V_n = a \rightarrow V_n = G_n^{-1} a$
 (n-1) voltaggio \downarrow (n-1) x 1 corrente



$I = \frac{V_{R1}}{R_1} = (V_c - V_b) G_1$

SIMMETRICA!

OSSERVAZIONE : dall'esempio iniziale:

$$G_n \vec{v}_n = \vec{a}_n \rightarrow \begin{bmatrix} 0 \\ \lambda s_1 + \lambda s_2 \\ -\lambda s_1 - \lambda s_3 \end{bmatrix}$$

combinazione
entrate delle
sorgenti

$$\vec{a}_n = \underbrace{\begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 0 \\ -1 & 0 & -1 \end{bmatrix}}_A \begin{bmatrix} \lambda g_1 \\ \lambda s_2 \\ \lambda s_3 \end{bmatrix}$$

$$\vec{v}_n = G_n^{-1} A \begin{bmatrix} \lambda s_1 \\ \lambda s_2 \\ \lambda s_3 \end{bmatrix}$$

$$\begin{bmatrix} \lambda s_1 \\ 0 \\ 0 \end{bmatrix} + \begin{bmatrix} 0 \\ \lambda s_2 \\ 0 \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ \lambda s_3 \end{bmatrix}$$

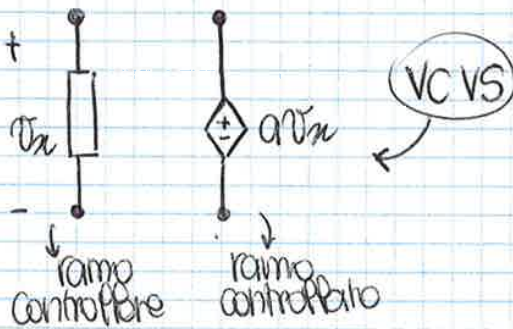
$$\vec{v}_n = B \begin{bmatrix} \lambda s_1 \\ 0 \\ 0 \end{bmatrix} + B \begin{bmatrix} 0 \\ \lambda s_2 \\ 0 \end{bmatrix} + B \begin{bmatrix} 0 \\ 0 \\ \lambda s_3 \end{bmatrix} \rightarrow \boxed{\text{DIMOSTRO } \Sigma \text{ EFFETTI}}$$

$v_n^I \quad v_n^{II} \quad v_n^{III}$

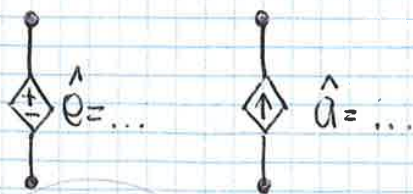
GENERATORI CONTROLLATI

> Dipendono da una variabile definita in un altro punto della rete

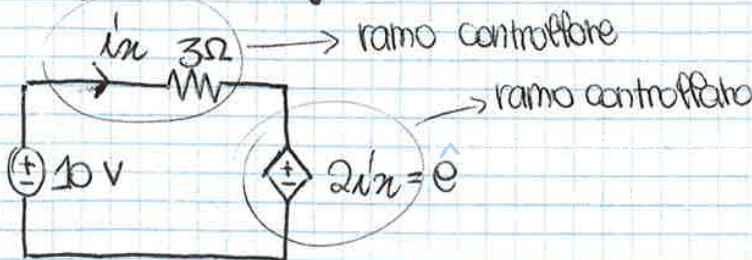
esempio:



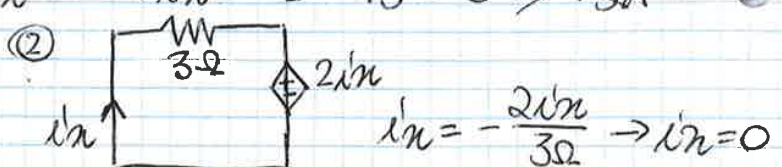
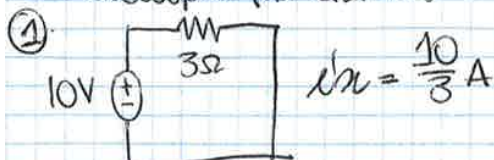
> notazione:



esempio:



→ esempio (SBAGLIATO) : $i_n = i_n^{(10V)} + i_n^{(e)}$ = $10/3 + 0 = \cancel{10/3} A$



$$\frac{V_i'}{R_e} + \frac{V_i'}{R_i} - \frac{R_i}{R_e} i_n = i_n = \frac{V_i'}{R_i} + \beta i_n$$

$$i_n \cdot \left[\frac{R_i}{R_e} + (1 + \beta) \right] = \left(\frac{V_i'}{R_e} \right) \cdot R_e \Rightarrow \boxed{i_n = \frac{V_i'}{R_i + R_e(1 + \beta)}}$$

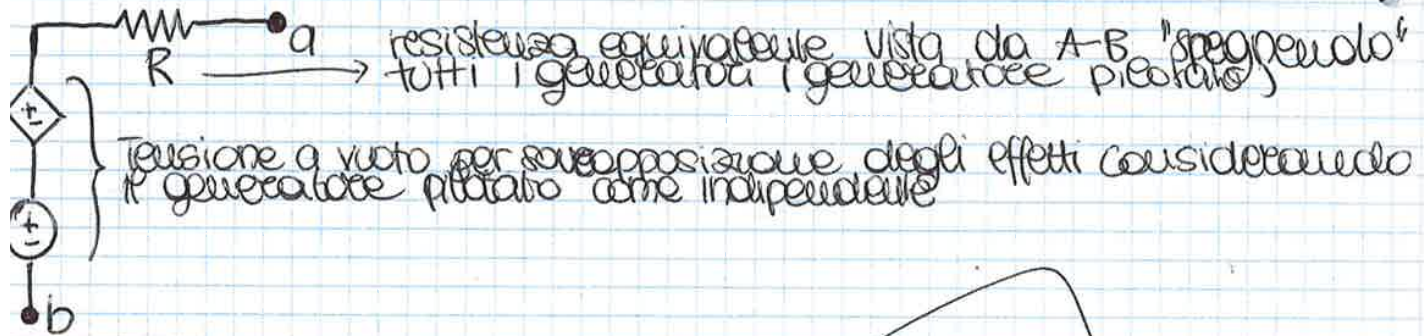
$$= \beta i_n = \beta \frac{V_i'}{R_i + R_e(1 + \beta)}$$

$$V_o = -R_o \hat{a} = - \frac{\beta R_o V_i'}{R_i + R_e(1 + \beta)} \Rightarrow \underbrace{\left(\frac{V_o}{V_i'} \right)}_G = - \frac{\beta R_o}{R_i + R_e(1 + \beta)}$$

per $\beta \rightarrow \infty$ $\boxed{G = - \frac{R_o}{R_e}}$

EQUIVALENTI THEVENIN - NORTON

01-04-2014



NO SLIDE 23

Esempio

