



Corso Luigi Einaudi, 55 - Torino

Appunti universitari

Tesi di laurea

Cartoleria e cancelleria

Stampa file e fotocopie

Print on demand

Rilegature

NUMERO: 1707A -

ANNO: 2015

A P P U N T I

STUDENTE: Bettale Valentina

MATERIA: Progettazione di dispositivi biomedici programmabili
- Appunti + domande d'esame - esercizi svolti - prof. Knaflitz
(2015)

Il presente lavoro nasce dall'impegno dell'autore ed è distribuito in accordo con il Centro Appunti.

Tutti i diritti sono riservati. È vietata qualsiasi riproduzione, copia totale o parziale, dei contenuti inseriti nel presente volume, ivi inclusa la memorizzazione, rielaborazione, diffusione o distribuzione dei contenuti stessi mediante qualunque supporto magnetico o cartaceo, piattaforma tecnologica o rete telematica, senza previa autorizzazione scritta dell'autore.

**ATTENZIONE: QUESTI APPUNTI SONO FATTI DA STUDENTIE NON SONO STATI VISIONATI DAL DOCENTE.
IL NOME DEL PROFESSORE, SERVE SOLO PER IDENTIFICARE IL CORSO.**

PROGETTAZIONE di DISPOSITIVI BIOMEDICI PROGRAMMABILI

6 CFU
(3 in LAB)

elettronica digitale x la programmazione di dispositivi elettronici biomedicali

- PROGETTAZIONE elettronica < ingressi/uscite/connessementi
- Funzione dei blocchi < alimentazione
- ORGANIZZAZIONE GENERALE
- SCRIVERE IL SOFTWARE DEL MICROCONTROLORE

ESAME:

- PROVA PRATICA: IN LABORATORIO
- COLLOQUIO ORALE:
 - SUIA PROPRIA BOZZA!! (fino a settembre)
 - Relazione dove si descrive il progetto prima del orale x guardarla
 - 2 domande
 - mi prenoto e poi mando mail x l'ORALE x quando voglio farlo
 - RISPOSTA SU CARTA

- TEORIA
 - ESERCIZI DI LAB
- Relazione PROGETTO DI GRUPPO:
- Succinto =
 - Specifiche
 - Parte circuitale
 - Parte codice
- 3/4 persone
- ↓
- PROVA PRATICA: misure su bozza dimostrare che la specifica è stata soddisfatta

PROGETTI ≠ ASSEGNATI DAL PROF (1-6-11-16) (ai tavoli)

esempio: Funzioni Pacemaker a domanda VVI 2013

Realizzare un circuito che consenta di simulare le funzioni di un pm a domanda che deve essere in grado di funzionare in modalità DDD e VVI. In particolare realizzare:

1,2,3,4

DISCRETI
TELE

SEGNALI DIGITALI

Il segnale digitale è una lista di numeri, differenziati all'istante a cui si riferiscono

con N cifre, si rappresentano 10^N valori in base 10,

soltanto per i segnali sono convertiti in binario:

N cifre $\rightarrow 2^N$ valori (le cifre diventano bit)

In più il segnale viene campionato ogni T secondi: per

cui ad ogni istante T corrisponde un campione cioè un numero

APPARECCHIO DIGITALE

Funzione: acquisizione del segnale per averla sotto forma di ELABORAZIONE DIGITALE

↓
Segnale ANALOGICO \rightarrow Segnale DIGITALE
trasformazione

ex:

19	↗ 1ms	: 0001 0011
80	↘ 1ms	: 01 00 1000
3		:
28		:
34		:

\rightarrow ogni segnale è convertito in 8 cifre digitali.

↓
Il segnale è discretizzato nel tempo

servono quindi:

- **SAMPLE & HOLD**

Discretizzazione del tempo = Campionamento

Il segnale è definito solo x alcuni istanti di tempo entro un certo intervallo

- **CONVERTITORE ANALOGICO/DIGITALE**

Discretizzazione in ampiezza = Quantizzazione

Il segnale può assumere solo alcuni valori entro un certo intervallo

$$\epsilon_Q = \frac{100\%}{2^N} = \frac{1.000.000 \text{ PPM}}{2^N}$$

\downarrow max 12 bit \downarrow 16, 24 bit

ex:
 8 bit
 $2^8 = 256$ valori
 $\epsilon_Q = 0,4\%$

- I PUNTI CRITICI SONO QUINDI:
- x IL CAMPIONAMENTO, SCEGLIERE F_s
 - x LA QUANTIZZAZIONE, VALUTARE ϵ_Q

RISOLUZIONE di un segnale digitale

è legata alla quantizzazione

= individuare la più piccola variazione del segnale in ingresso misurabile / rilevabile

= dipende dal n. di valori disponibili 2^N

I valori rappresentabili sono intervallati di

$$R = \frac{\text{FONDO SCALA}}{2^N} = \frac{\text{DINAMICA IN INGRESSO DEL CONVERTITORE A/D}}{2^N}$$

in particolare: $R\% = \frac{100}{2^N}\%$, $R \text{ PPM} = \frac{1M}{2^N} \text{ PPM}$

⚠ Bisogna sempre verificare che la risoluzione sia sufficiente x lo scopo

ex: $10 \text{ bit} \rightarrow 1024 \text{ valori}$
 Din. ingresso = 1V } $R = \frac{1V}{1024} \cong 940 \mu V$

→ riesco a risolvere variazioni poco più piccole di 1mV

la risoluzione serve x dimensionare il convertitore A/D!

come seguirlo? Bisogna valutare ≠ parametri:

- consumo (impo x batteria o da impianto)
- risoluzione / unghetta parola
- velocità

→ si cerca un compromesso: se ↑ c, ↑ v etc...

8 bit non bastano + , XE STAVOITA SERIE $R \approx 100 \text{ nV}$

14 bit $\rightarrow 16'384$ livelli $\rightarrow 125 \text{ nV!}$
 se si sfrutta il fondo scala, invece $2^N = \frac{1 \text{ mV}}{100 \text{ nV}}$
 se se ne usa la metà $\rightarrow 18$ bit

10 bit $\rightarrow 2 \text{ mV}$
 11 bit $\rightarrow 1 \text{ mV}$
 12 bit $\rightarrow 500 \text{ nV}$
 13 bit $\rightarrow 250 \text{ nV}$
 14 bit $\rightarrow 125 \text{ nV}$

\rightarrow stesso apparecchio con 2 \neq obiettivi!

\triangle ai fini commerciali!

TRASFERIMENTO della "parola" tra 2 blocchi:

- SERIE**:
 - Si trasferisce la parola generata in una sola linea.
 - I numeri sono rappresentati in forma seriale.
 - e' un'informazione sequenziale: i bit sono presenti in tempi successivi su un unico filo.

\oplus \uparrow economia
 \downarrow hardware

\ominus \uparrow tempo
 TRASFERIMENTO in un am di istanti olt pari al am di bit

- PARALLELO**:
 - Si trasferisce la parola generata in un numero di linee pari al am di bit.
 - e' un'informazione //: i bit sono presenti nello stesso tempo su fili \neq .

\oplus \downarrow tempo, 1 solo istante

\ominus \uparrow hardware

MISTO

\triangle bisogna scegliere quale usare!

I segnali digitali sono generalmente comandati da un segnale di **clock**: nel trasferimento // si mandano N bit contemporaneamente con 1 clock, nel trasferimento seriale si mandano N bit con N clock, ovvero 1 bit x ogni clock \rightarrow e' essenziale il clock x codificare la parola e sapere quale riferimento leggere

clock: 

segnale: 

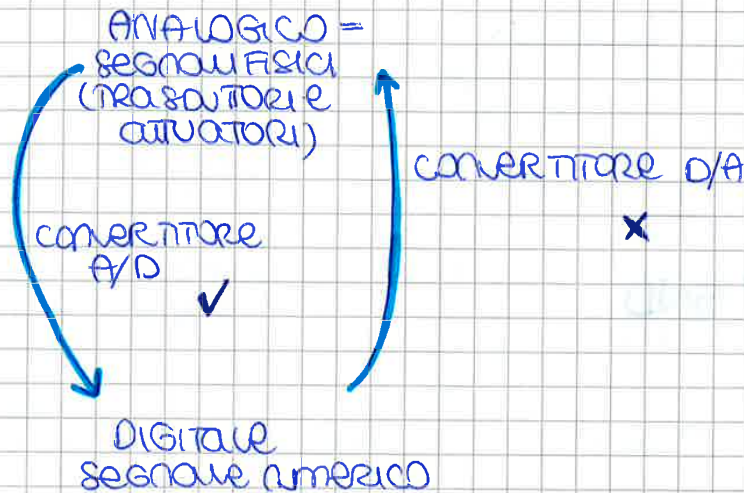
INFO: 1 0 0 1

si legge il fronte di discesa del clock & segnale

si deve inoltre sapere dove inizia/finisce la parola

4 bit = 4 capi di clock

INTERFACCIA A/D



IL CONVERTITORE
A/D È PRESENTE
IN TUTTI I MICRO
CONTROLLORI
(ANCHE SOLO A 8bit)
POCHI HANNO
ENTRO D/A
XE SONO
APPLICAZIONI
- FREQUENTI E
+ SPECIALIZZATE

ESISTONO CONVERTITORI che mettono a disposizione
LA PAROLA CONVERTITA IN 3 FORME:

- SERIALE
- "
- MISTA

1. BISOGNA SCEGLIERE IL CONVERTITORE A/D
COMPATIBILE CON L'HARDWARE DEL
MICROCONTROLLORE (ANCHE SE OGGI ENTI
SONO IN GRADO DI LAVORARE CON TUTTI)
2. BISOGNA DEFINIRE L'USO DELLE LINEE DI
INGRESSO/USCITA IN BASE A OBTENERE
SERVONO ANCHE XIL TIPO DI CONVERTITORE

LIMITI DEL DIGITALE

I SISTEMI DIGITALI LAVORANO CON VARIABILI DIGITALI CHE
X IPOTESI POSSONO ASSUMERE SOLO 2 LIVELLI (0-1)
MA CHE DI FATTO SONO SEGNALE ANALOGICI!!

ex: BUS

I SEGNALE DIGITALI AD ALTA VELOCITÀ VANNO TRATTATI COME
ANALOGICI SE $f > 10^2$ MHz.

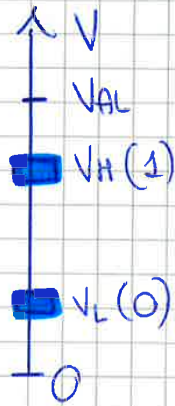
MODULI DIGITALI

OGNI MODULO FUNZIONALE DIGITALE HA :

- AUMENTAZIONE (DA NON DIMENTICARSI!)
- SEGNALE DI INGRESSO E DI USCITA, ESPRESSE CON
VARIABILI BINARIE

MODE
INGR

noi utilizzeremo la positiva, per cui:
 $H/1$: LIVELLO LOGICO ALTO (Tensione V_H)
 $L/0$: LIVELLO LOGICO BASSO (Tensione V_L)



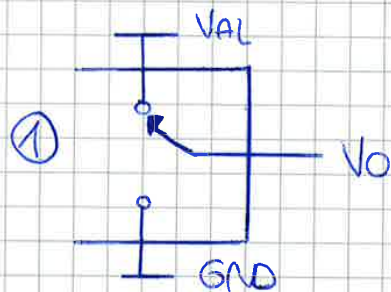
L'asse delle tensioni va da 0 a V_{AL}
 le tensioni dovrebbero variare entro questi limiti

USCITE PARTE LOGICHE

FAMIGLIA CMOS

C = complementary
 MOS = TIPO DI TRANSISTORE

la modellizzazione dell'uscita è rappresentata da un **deviatore** tra V_H e V_L :



STATO 1, H
 $V_O = V_H \cong V_{AL}$
 STATO 0, L
 $V_O = V_L \cong 0$

\cong
 "in prima approssimazione"

L'uscita è rappresentata da una linea collegata al punto comune di un deviatore, il quale può essere a sua volta collegato a V_{AL} (così la tensione in uscita ha livello logico alto V_H) o alla tensione di riferimento, GND (così V_O ha livello logico basso V_L)

la schematizzazione di prima approssimazione (deviatore) in realtà corrisponde a **2 interruttori** comandati da 2 segnali complementari, cioè se uno è aperto l'altro è chiuso e viceversa, che assieme svolgono la funzione del deviatore.

COLLEGAMENTO CMOS

Se si collegano insieme 2 moduli digitali CMOS, ci deve essere compatibilità tra le tensioni in uscita ed in ingresso tra i moduli

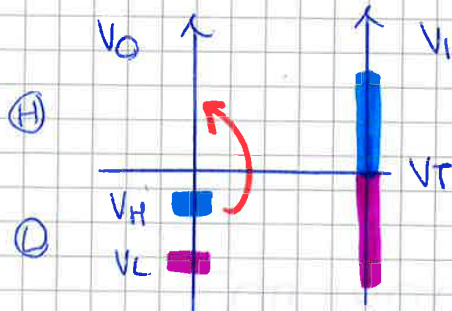


$$V_O = V_H \rightsquigarrow V_H = V_I > V_T \rightsquigarrow \textcircled{H}$$

$$V_O = V_L \rightsquigarrow V_L = V_I < V_T \rightsquigarrow \textcircled{L}$$

|| X RISPETTARE QUESTA SITUAZIONE FAVOROVLE, IL COSTRUTTORE VINCOLA IL CARICO DELLE LINEE DI USCITA → FAN OUT/IN

Se ad esempio non rispetto i vincoli



$V_H < V_T \rightarrow$ malfunzionamento!

X SISTEMARELO PER AVERE

USCITE PORTE LOGICHE

FAMIGLIA TTL

non è possibile garantire un valore preciso di tensione in uscita V_O , perché dipende dal carico

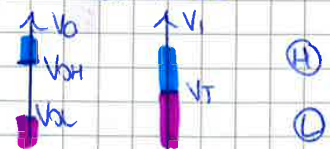
IL COSTRUTTORE SPECIFICA I VALORI LIMITE:

- V_{OH} : minima V_O garantita dal livello logico alto \textcircled{H}
- V_{OL} : massima V_O garantita dal livello logico basso \textcircled{L}

Se si applica un carico sufficientemente limitato

$$- V_O > V_{OH} \rightarrow \textcircled{H} \rightarrow V_I > V_T \rightarrow \textcircled{H}$$

$$- V_O < V_{OL} \rightarrow \textcircled{L} \rightarrow V_I < V_T \rightarrow \textcircled{L}$$



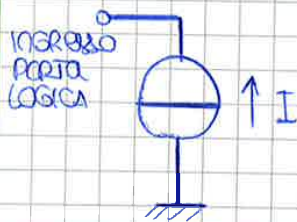
IL CARICO VIENE DEFINITO DAL COSTRUTTORE COME MASSIMO NUMERO DI PORTE LOGICHE CHE POSSONO ESSERE COLLEGATE ALL'USCITA, DI TITO STANDARD = FAN-OUT

FAN-OUT / Fan-in (TTL)

FAN-OUT = massimo numero di porte logiche che possono essere collegate all'uscita (determinato dal carico capacitivo accettabile, non dai limiti di corrente statica)
 \exists $FAN-OUT_H$ e $FAN-OUT_L$, che possono avere \neq numero, cioè \exists un \neq numero di porte massimo imposto dal costruttore a seconda del livello logico alto o basso.

→ si considera quello più piccolo, che è più limitante

Per definire il **FAN-IN**, vediamo il **modello** di porta logica vista all'ingresso di prima approssimazione x la famiglia TTL:



si comporta come se fosse collegato ad un generatore di corrente diversa in modulo e verso a seconda del livello logico

Valori standard per la porta logica TTL ideale:

- se l'ingresso è tenuto a livello logico alto (H) scorre una corrente

$$I_{IH_s} = 40 \mu A \text{ diverso entrante, x una porta standard} \quad \downarrow$$

- se l'ingresso è tenuto a livello logico basso (L) scorre una corrente

$$I_{IL_s} = 1,6 \text{ mA diverso uscente} \quad \uparrow$$

il **FAN-IN** è definito come:

$$FAN-IN_H = \frac{I_{IH}}{I_{IH_s}} = \frac{\text{corrente}}{40 \mu A}$$

$$FAN-IN_L = \frac{I_{IL}}{I_{IL_s}} = \frac{\text{corrente}}{1,6 \text{ mA}}$$

ex:

$$FAN-IN_H = 2$$

$$\begin{aligned} I_{IH} &= 2 \cdot I_{IH_s} \\ &= 2 \cdot 40 \mu A \\ &= 80 \mu A \end{aligned}$$

→ si considera quello più grande, che è più limitante

Dati **FAN-IN** e **FAN-OUT**, si risolve il problema di caricare correttamente la porta logica se:

$$\Sigma FAN-IN \leq FAN-OUT$$

ex: $F_0 = 10$, 6 porte con $F_1 = 2 \rightarrow 12 > 10$ non va bene!
 non si garantisce quindi che le porte in ingresso interpretino correttamente l'uscita: succede che vengono azzerati ogni tanto e non si capisce perché

($F_{0max} = 5$)

meglio e se $NM_H \gg 0$ e $NM_L \gg 0$

→ si considera quindi quello meno ampio, che è più limitante
 Soltanto il margine di rumore per TTL è minore rispetto a quello della logica CMOS

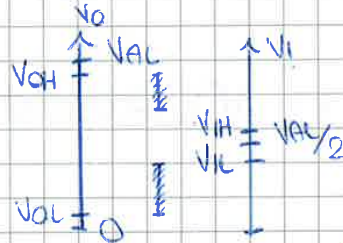
$NM_{TTL} < NM_{CMOS} \rightarrow$ Soprati se $V_{AL} = 5/10V$

NMCMOS

$V_{OH} \approx V_{AL}$

$V_{OL} \approx GND = 0V$

$V_{IH} \approx V_{IL} \approx V_{AL}/2$



I margini di rumore sono quindi $NM_H \approx NM_L \approx \frac{V_{AL}}{2}$

- massicci per TTL
- modulabili, proprio perché dipendono da V_{AL} ! (come il rumore)

NMTTL

esempio da un data sheet: 74LS00

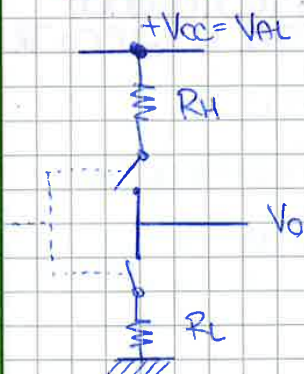
integrato della sottofamiglia LS < L = LOW POWER
 S = SCHOTTKY

le caratteristiche in continua sono:

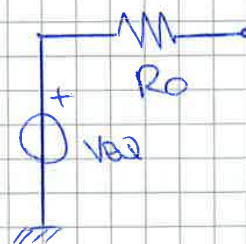
$V_{OL} = 0,35V$	}	$NM_L = 0,45V$	} 1,2 margini sono sempre asimmetrici e con condizione sfavorevole al ⊕
$V_{IL} = 0,8V$			
$V_{OH} = 2,7V$	}	$NM_H = 0,7V$	
$V_{IH} = 2V$			

MODELLI USCITE

CMOS



corrisponde a un circuito equivalente di THEVENIN



$V_{EQ} = V_{AL}$ ⊕

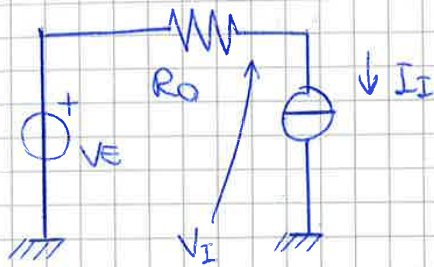
$V_{EQ} = 0V$ ⊙

se il livello logico è alto o basso

R_O dipende se BUFFERED o NO

$R_{O4} = 200/600 \Omega$
 $R_{O6} = 30/60 \Omega$

INTERFACCIA



a seconda del livello LOGICO, V_I deve essere: ($V_I = V_O$)

SUF. $> V_{IH}$ o

SUF. $< V_{IL}$

esempio di valori: (H)

$R_O = 1\text{K}\Omega$

$V_{EQ} = 5\text{V}$

$I_I = 40\mu\text{A}$

$V_I = V_{EQ} - I_I R_O = 5\text{V} - 40 \cdot 10^{-6}\text{A} \cdot 10^3\Omega = 4,96\text{V}$

situazione ragionevole xk $V_{OH} \approx 2,7 \div 3,5\text{V}$ (data sheet)

quindi $V_I > V_{OH}$ e di conseguenza $> V_{IH}$

siccome è GARANTITO $V_{OH} > V_{IH}$

→ i valori sono giusti, e i modelli ARE!

esempio di valori: (L)

$R_O = 100\Omega$ (anche più bassa 10-20 Ω)

$V_{EQ} = 150\text{mV}$

$I_I = -1,6\text{mA}$

$V_I = V_{EQ} - I_I R_O = 150 \cdot 10^{-3}\text{V} + 1,6 \cdot 10^{-3}\text{A} \cdot 100\Omega = 310\text{mV}$

situazione compatibile xk $V_{OL} \approx 350\text{mV} \Rightarrow V_I < V_{OL}$

→ giusti valori, giusti modelli!

QUESTI CONTI NON SARANNO PIÙ DA FARE XK BASTA

calcolare $\Sigma \text{FAN-IN} < \text{FAN-OUT}$

QUESTI VALORI DI RIFERIMENTO SERVONO X L'ESAME X FARE UN MODELLO CON DEI GIUSTI VALORI

IN REALTÀ SONO VALORI VARIABILI DA COMPONENTE A COMPONENTE X CUI BISOGNA SAPERE GLI ORDINI DI GRANDEZZA

$$V_{EQ} = V + I(R_0 + R)$$

$$I = \frac{V_{EQ} - V}{R_0 + R}$$

$$R_0 + R = \frac{V_{EQ} - V}{I}$$

$$R = \frac{V_{EQ} - V}{I} - R_0 = \frac{5 - 1,4}{10 \cdot 10^{-3}} - 500 = 3,6 \cdot 10^2 - 5 \cdot 10^2 = - < 0$$

Valore negativo di $R < 0$ i conti sono errati x il modello è sbagliato ✓

Siamo sicuri che il LED sia x forza modellizzato così, quindi sarà sbagliato a sx

$R_0 = 500 \Omega$ è troppo grande, meglio 20Ω

V_{EQ} = è corretto, lo si vede in laboratorio x lo si può misurare

Come trovare i valori ragionevoli? non ci sono sui libri, li si trovano in laboratorio

- Porta a vuoto \rightarrow misuro V_{EQ}
- Porta su carico \rightarrow la tensione si abbassa a V'
dalla differenza $V_{EQ} - V'$ stimo R_0

la condizione di compatibilità è ancora rispettata

$$R = 3,6 \cdot 10^2 - 20 = 360 - 20 = 340 \Omega$$

sostanzialmente $R \cong 220 \div 390 \Omega$ ($10^2 \Omega$)

\rightarrow bisogna accordarsi $\left\{ \begin{array}{l} \downarrow R = \uparrow \text{umidità LED} \\ \uparrow R = \downarrow \text{consumo} \end{array} \right.$

x garantire la compatibilità con le porte TTL è solo un problema di correnti \rightarrow vanno fan-in e fan-out

la porta pilotante deve essere in grado di fornire una corrente sufficiente per pilotare tutte le porte (n) pilotate perché esse assorbono corrente non trascurabile \rightarrow si risolve con fan-in e fan-out

INTERFACCIAMENTO PORTE LOGICHE TTL -

il problema della compatibilità e del buon funzionamento del circuito dipende sostanzialmente dal fatto che tutte le uscite sono caricate in modo corretto

$\Sigma \text{fan-in} < \text{fan-out}$: condizione che riguarda le correnti statiche erogate in uscita dalla porta pilotante e assorbite in ingresso dalle porte pilotate

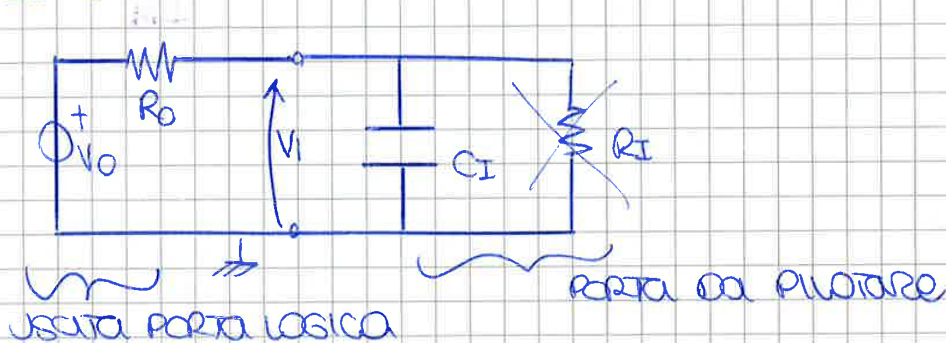
problema:

Se la tensione imposta dalla porta pilotante varia all'ingresso della porta pilotata varia troppo lentamente, le porte CMOS hanno un comportamento anomalo che può creare malfunzionamenti
 → condizione da evitare!

Per cui: G_i non deve essere troppo alta
 la porta CMOS non può quindi pilotare troppe porte CMOS, non è un problema di corrente continua ma è un problema di velocità di transizione della tensione d'uscita da un livello logico all'altro → limite della CMOS

ESEMPIO DI COLLEGAMENTO: CMOS PILOTA UNA P.L. CMOS

Equivalentemente elettrico:



- ⊕ $V_0 \cong V_{AL}$ uno stesso modo R_0 non è usabile tra L e H anche se normalmente i valori non sono così differenti
- ⊖ $V_0 \cong GND = 0V$

R_0 non si conosce con grande precisione, solitamente il valore è dato dal costruttore in termini di minimo, massimo, tipico

TECNOLOGIE DELLE PORTE:

- CMOS 4000 UB

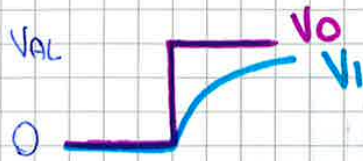
B = sottofamiglia conforme con un set di specifiche che sono state indicate dall'ente JEDEC 13, ente di standardizzazione che agisce a livello mondiale

U = UNBUFFERED

non sono bufferizzate quindi hanno una bassa capacità di pilotaggio di carichi in uscita. Le correnti che erogano in uscita sono di pochi mA per cui $R_0 \cong 100\Omega / 1k\Omega$ (300/600Ω) per non mettere in crisi la compatibilità CMOS-CMOS

ex: $R_0 = 600\Omega$, $I = 1mA$, $V = 600mV \ll V_{AL}$

avevamo detto che, la tensione in ingresso alla porta nel momento in cui si va ad avere una transizione di V_0 ($0 \rightarrow VAL$) ($L \rightarrow H$) ha il seguente andamento



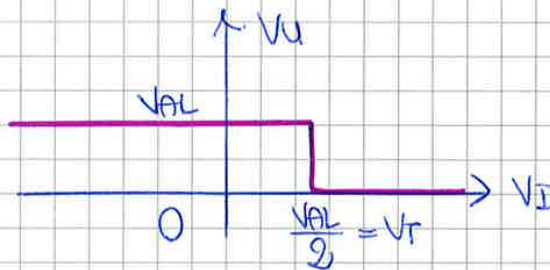
V_i segue un'espansione crescente che raggiunge VAL in un tempo ∞ , con

$$\tau_0 \approx R_0 C_1 \quad \left. \begin{array}{l} R_0 \approx 10^2 \Omega \\ C_1 \approx 10 \text{ pF} \end{array} \right\} \tau \approx \text{ns}$$

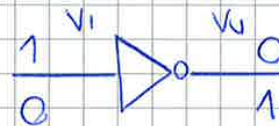
è importante che V_i vari in questo modo: x_k ?

Guardiamo la **TRANSCHARATTERISTICA** = Diagramma che dice come varia la tensione d'uscita in funzione della tensione d'ingresso

per un invertitore logico CMOS è del tipo:



INVERTITORE CMOS



aumentato tra 0V e V_{DD}

se $V_i < \frac{VAL}{2}$, siamo in condizione di \emptyset logico

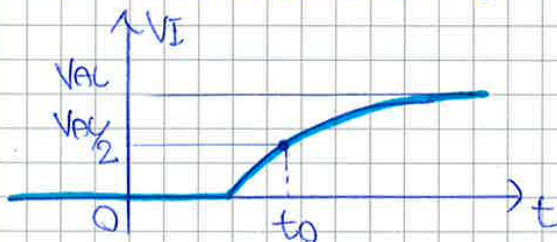
\rightarrow in uscita si ha 1 logico, $V_u = VAL$

se $V_i > \frac{VAL}{2}$, siamo in condizione di 1 logico

\rightarrow in uscita si ha \emptyset logico, $V_u = \emptyset$

Questa TRANSCHARATTERISTICA fa vedere che l'uscita della porta cambia di stato nel momento in cui V_i passa la soglia di $VAL/2$

noi invece abbiamo V_i in funzione del tempo t



$VAL/2 = \text{soglia} = V_T$
 \rightarrow è una TRANSIZIONE lenta che avviene all'istante t_0

se non ci fosse rumore elettrico su V_i non ci sarebbero problemi

$$\begin{cases} t < t_0 \text{ (L)}, V_i = 0 \\ t > t_0 \text{ (H)}, V_i = VAL \end{cases}$$

• Lo slew-rate è $\frac{dv(t)}{dt}$ per ogni punto, perciò ha valori diversi a seconda di dove lo si calcola

Si è interessati a capire cosa avviene nell'intorno di $V_{AL}/2$ perché normalmente la soglia delle porte CMOS è questa.

Nella pratica, però il valore della soglia è noto con scarsa precisione, quindi la derivata la si calcola solitamente in un punto comodo nell'intorno di $V_{AL}/2$ (sopra o sotto il punto comodo e $> V_{AL}/2$, perché la derivata è minore, ma la condizione soddisfatta ha costi ai margini)

Calcolo della derivata:

$$v_i(t) = V_{AL} (1 - e^{-t/\tau}) \quad \begin{cases} t=0, v_i(t)=0 \\ t \rightarrow \infty, v_i(t)=V_{AL} \end{cases}$$

Δ a rappresentare gli esponenziali del 1° ordine!

$$\frac{dv_i(t)}{dt} = V_{AL} \left(\frac{1}{\tau} e^{-t/\tau} \right)$$

Per calcolare $v_i(t)$ in $v_i = V_{AL}/2$, ricavo t come funzione di τ da $v_i(t)$ e lo sostituisco in $v_i(t)$

$$\frac{V_{AL}}{2} = V_{AL} (1 - e^{-t/\tau}) \quad -\frac{1}{2} + 1 = e^{-t/\tau} \quad \ln\left(\frac{1}{2}\right) = -\frac{t}{\tau}$$

$$\hat{t} = -\tau \ln\left(\frac{1}{2}\right) \rightarrow \frac{dv_i(\hat{t})}{dt} = V_{AL} \left(\frac{1}{\tau} e^{\frac{\ln(1/2)}{\tau}} \right) = V_{AL} \left(\frac{1}{2\tau} \right)$$

È più facile ricordarsi che al tempo $t = \tau$, $v_i(t) = 62-63\%$ di V_{AL} e $62-63\%$ dell'evoluzione totale di v_i

Si trova quindi la derivata a $t = \tau$ e sappiamo che è in un punto sopra $V_{AL}/2$

$$\left. \frac{dv_i(t)}{dt} \right|_{t=\tau} = V_{AL} \frac{1}{\tau} e^{-1} = V_{AL} \frac{1}{2.7\tau} \approx \frac{V_{AL}}{2.7\tau}$$

va bene se si conosce il valore minimo di derivata da garantire al segnale (che non si conosce mai!!) ma ciò dipende dall'entità del rumore

↑ Rumore ↑ Derivata minima → problema irrisolvibile

Assumiamo che normalmente è accettabile uno Slew-Rate minimo per segnali di ingresso delle porte logiche di

$$\frac{dv_i(t)}{dt} = 1:5 \frac{V}{\mu s}$$

In questo caso variano i valori:

CMOSbufferizzata (pilotante)

$$V_{OL} = 100-200 \text{ mV}$$

$$V_{OH} = 4,5 \text{ V}$$

TTL(pilotata)

$$V_{IL} = 1 \text{ V}$$

$$V_{IH} = 2 \text{ V}$$

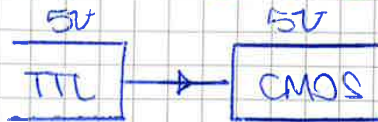
In questo senso si ha compatibilità totale.

Le condizioni di carico però possono creare problemi per il fatto che la porta CMOS non bufferizzata ha una resistenza di uscita dell'ordine delle centinaia di Ω , ragione per cui soprattutto nel momento in cui la porta pilotante CMOS pilota una porta TTL a livello logico basso, la porta TTL per essere tenuta a livello logico basso forza nella porta CMOS una corrente entrante dell'ordine di 1-2 mA, che sono tanti per una porta CMOS: V_{OL} non è più garantita (es. $V = 1 \text{ mA} \cdot 500 \Omega = 500 \text{ mV} > V_{OL}$ garantita!).

Bisogna vedere se il valore V_{OL} che otteniamo è ancora compatibile con il valore V_{IL} della porta TTL pilotata, perché non rispettare V_{OL} è in realtà un problema solo nel caso che non rispetti più la compatibilità; normalmente però V_{OL} è basso e V_{IL} è molto più alto, quindi se anche V_{OL} fosse maggiore le cose potrebbero comunque funzionare. Il problema è che se tenti di pilotare 2-3 porte TTL non ce la fai più assolutamente.

Le porte non bufferizzate quindi sono in grado di pilotare correttamente non più di 1-2 porte TTL, mentre le porte bufferizzate possono pilotare fino a una decina di porte TTL.

TTL → CMOS



CMOS 4000

DATO IL CATALOGO CON LE CARATTERISTICHE TTL E DEL DATA SHEET CMOS SI LESSONO

$V_{OL} = 800\text{mV}$
 $V_{OH} = 3,5\text{V}$ (SONO QUESTI SOLO CHE VIENE RISPETTATO IL FAN-OUT)
 $V_{IL} = 1,8\text{V}$
 $V_{IH} = 2,2\text{V}$ (SE NON SONO INDICATI SI CONSIDERA LA SOGLIA $\frac{V_{AL}}{2}$)

★ LA COMPATIBILITÀ SI CONTROLLA

$\left\{ \begin{array}{l} V_{IL} > V_{OL} \\ V_{IH} < V_{OH} \end{array} \right.$ CONDIZIONI VERIFICATE (NM \approx 1V) MARGINE CIRCUITO

BISOGNA ANCORA CONTROLLARE CHE LA PORTA NON SIA CARICATA ECCESSIVAMENTE

★ CONTROLLO IL FAN-OUT

SAPPIAMO CHE $F_{O_{TTL}} = 8 \div 20$, ASSUMIAMO FAN-OUT = 10

QUANDO LA PORTA LOGICA PILOTANTE È A LIVELLO LOGICO ALTO (H) PIÙ È A GARANTIRE IL COLLEGAMENTO E V_{OH} . FINTANTO CHE ERGA IN USCITA MENO DI 10 VOLTE LA CORRENTE CORRISPONDENTE AL CARICO LOGICO ELEMENTARE A (H) CHE È $40\mu\text{A}$, CIOÈ CI SI FIDA DI V_{OH} SOLO SE LA CORRENTE È $< 40\mu\text{A}$, SAPPIAMO X0 CHE CMOS ASSORBE POKI μA , BENE! INVECE X LA V_{OL} , LA PORTA IN INGRESSO ASSORBE FINO A 15mA ($10 \cdot 1,5\text{mA}$ ENTRANTI, CON $1,6\text{mA}$ CARICO LOGICO ELEMENTARE) QUINDI ANCORA MEGLIO

★ CONTROLLO τ E LA VELOCITÀ DI VARIAZIONE DELLA

TENSIONE IN USCITA, CHE VA BENE X

LE PORTE CMOS IN USCITA NON FORZANO MAI LE PORTE TTL SONO INTRINSECAMENTE PIÙ RAPIDE BENE CMOS X HANNO RESISTENZE EQUIVALENTI + BARRE O PARI AQUE CMOS BUFFERIZZATE

→ NON HO PROBLEMI DAL PUNTO DI VISTA DEL CARICO BENE PORTA PILOTANTE X LA PORTA PILOTATA È UNA PORTA CMOS E QUINDI ASSORBE CORRENTI STANCHE BASSISSIME

LA PORTA TTL PUÒ PILOTARE 10^2 CMOS

Lo stesso posso fare con il databook della porta pilotata CMOS e posso trovare V_{IL} e V_{IH} ; se non li trovo considero che la commutazione avvenga a circa metà di V_{CC} (perché non ho altri dati). Valori ragionevoli possono essere:

$$V_{IL} = 1,8 \text{ V}$$

$$V_{IH} = 2,2 \text{ V}$$

Mentre i valori per la porta TTL sono abbastanza standard, quelli per la porta CMOS lo sono di meno perché dipendono di più dal costruttore.

Dati questi valori, potrei dire che la compatibilità è rispettata e che il margine di rumore è di circa 1 V: siamo in una buona situazione.

Ho però dimenticato di verificare il rispetto del fan-out: i valori della porta pilotante vengono dichiarati dal costruttore sempre sotto la condizione che quella porta non sia caricata eccessivamente (condizione fondamentale!). Il fan-out delle porte logiche TTL tradizionali è dell'ordine di 8-20. Se ad esempio supponiamo sia 10, questo significa che quando la porta logica pilotante è a livello logico alto mi garantisce la V_{OH} dichiarata finché eroga in uscita meno di 10 volte la corrente corrispondente al carico logico elementare a livello logico alto (40 μA), cioè finché la corrente erogata in uscita è $< 400 \mu\text{A}$. Però questa porta TTL pilota una porta logica CMOS che assorbe una corrente statica bassissima (ordine del μA), quindi se anche ne pilotasse decine/centinaia non ci sarebbe alcun problema.

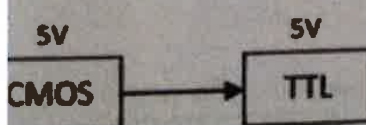
Dal punto di vista della V_{OL} ancora meglio perché se il fan-out è pari a 10 significa che questa porta è in grado di assorbire in ingresso fino a 16 mA (cioè 10 volte il carico logico elementare di 1,6 mA entranti nella porta pilotante). In più le porte CMOS in uscita non forzano nulla, quindi non abbiamo sicuramente problemi.

l'ultimo aspetto da considerare è quello relativo alla velocità di variazione della tensione di uscita. Anche in questo caso non ho problemi, per il fatto che gli stadi di uscita delle porte TTL sono intrinsecamente più rapidi degli stadi di uscita delle porte CMOS perché hanno delle resistenze equivalenti più basse pari a quelle delle porte CMOS bufferizzate.

capitolando, abbiamo controllato tre condizioni:

1. CONDIZIONI DI CARICO DELLA PORTA PILOTANTE
2. COMPATIBILITÀ TRA I LIVELLI
3. VELOCITÀ DI VARIAZIONE DELLA TENSIONE ALL'USCITA DELLA PORTA PILOTANTE (dinamica)

porta CMOS \rightarrow porta TTL



tensione di alimentazione è scelta di nuovo identica.

assumiamo dei valori:

$R \cong 20/30 \Omega$ resistenze di canale x CMOS bufferizzate

$V_{AL} = 5V$

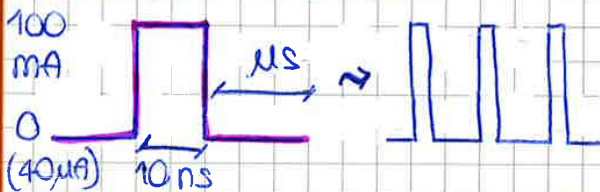
$R_{on} = R_{off} = 25 \Omega$

$\Delta t = 10 ns$

$$I = \frac{V_{AL}}{R_{on} + R_{off}} = \frac{5V}{50 \Omega} = 100 \mu A = 0,1 mA$$

quando è chiuso tutto

normalmente le porte CMOS consumano molto poco, e assorbono correnti di $40 \mu A$ che diventano correnti di $100 \mu A$ se tutti e 2 gli interruttori sono chiusi, ma x un breve intervallo di tempo.

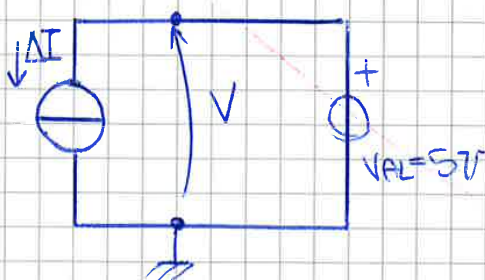


La corrente assorbita dalla porta CMOS HA QUA QUESTO ANDAMENTO DI TIPO IMPULSIVO (OGGI COMUTAZIONE)

Mentre la porta commuta viene assorbita una corrente media = 1% del suo valore massimo $1\% \cdot 100 \mu A = 1 \mu A$ con duty cycle 10%. Questa corrente media \uparrow se \uparrow la f di commutazione (f pochi MHz = corrente media di qualche mA)

→ la porta logica CMOS assorbe una corrente media che dipende dalla f di commutazione!

DISEGNAMO IL MODELLO ELETTRICO:



quando la porta viene fatta commutare si comporta come un **GENERATORE DI CORRENTE** con impulso $\Delta I = 100 \mu A \times 10 ns$

in AÙ la porta è alimentata da un **GENERATORE DI TENSIONE** $V_{AL} = 5V$

ci interessa studiare la tensione di alimentazione all'ingresso della porta V

così il disegno e la situazione andrebbero bene: la tensione è costante e non si ha generazione di rumore

nella realtà però si misurano crampi di tensione x cui il modello è troppo semplice, bisogna RAFFINARLO e introdurre 2 cambiamenti:

abbiamo visto che

$$\Delta V = (R_G + R_L) I = 1 \Omega \cdot 100 \text{ mA} = 100 \text{ mV}$$

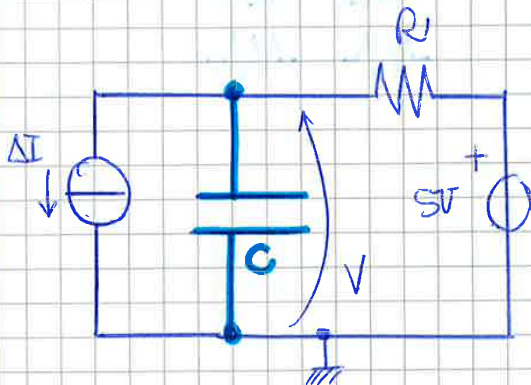
deve essere migliorato!

(Bastano 2/3 parte per uscire dai margini di rumore)

MIGLIORARE IL RUMORE

1) Si mette un serbatoio di carica elettrica = un **condensatore** x il RUS di carica ΔI di cui ha bisogno il generatore di corrente.

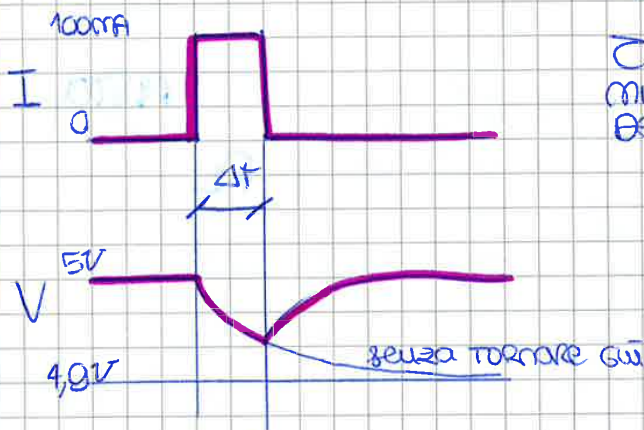
$$R = R_G + R_L = 1 \Omega$$



Quando la porta logica richiede il RUS di corrente di $100 \text{ mA} \times 10 \text{ ns}$, cioè di $\Delta Q = 1 \text{ nC}$, si viene fornito dal condensatore, invece che dal generatore di tensione che, nel caso ideale, non sarà perturbato!

$$\tau = R \cdot C = ?$$

τ serie ... x avere un ΔV minore a parità di Δt del impulso



Calcolo di prima approssimazione:

- capacità C costante
- varia ΔQ la carica

$$\Delta Q \approx 1 \text{ nC}$$

$$\Delta V = 10 \text{ mV} \text{ (lo impongo } \rightarrow \text{ devo migliorare } 100 \text{ mV)}$$

ΔV è la tensione tra le armature del condensatore

$$C = \frac{\Delta Q}{\Delta V} = 10^{-7} \text{ F} = \boxed{100 \text{ nF} = C} \text{ (} \Delta Q = C \Delta V \text{)}$$

valore che si usa sempre x realizzare questa condizione!

$$\text{quindi } \tau = RC = 100 \text{ nF} \cdot 1 \Omega = 100 \text{ ns}$$

Ci si aspetta perció di avere :



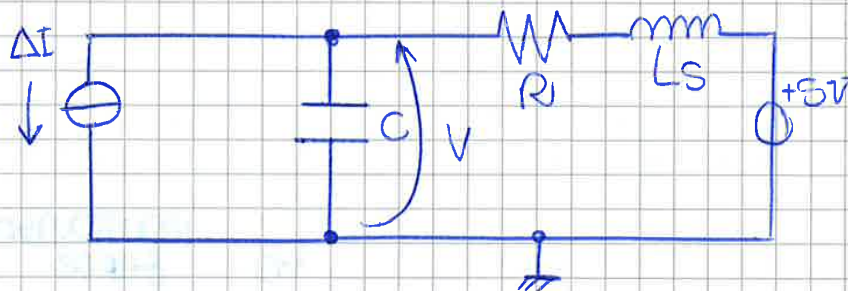
In realta in laboratorio si trova :



Proprio xk il modello non è adeguato, mancano

- L'induttanza serie L_s che fa diventare il circuito del 2° ordine, ma se scegliamo un condensatore Avx, $L_s \neq 0$
- ci deve essere un'altra L_s x avere un circuito del 2° ordine

2) la pista usata x aumentare la porta ha anch'essa un' **induttanza serie** dell'ordine di $L_s \cong nH/cm$ (non è piccola!)



- serve L_s piccola così le oscillazioni (Ronde) sono più rapide e ci si sposta subito all'andamento voluto (via A)
- servono piste di alimentazione corte e larghe = **tozzo** (non snelle)
- x l'alimentazione non si usano + le piste ma si passa all' **alimentazione diffusa** su interi piani
così $R_L \rightarrow 0, L_s \rightarrow 0$

C'è ancora la resistenza interna del generatore (che si cerca di fare molto bassa)

Prima ci siamo occupati dei parametri statici:

PARAMETRI DINAMICI

= descrivono le variazioni del segnale di ingresso della porta logica pilotata.

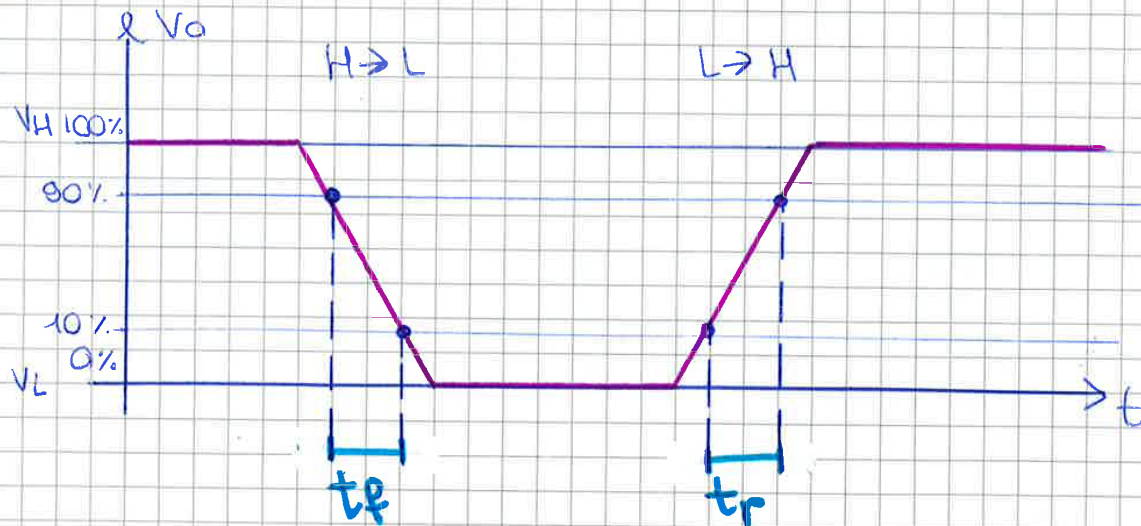
I segnali di ingresso hanno fronti con pendenza finita, non ∞ .

All'interno del modulo analogico avvengono variazioni di tensioni e correnti: non possono essere istantanee perché il modulo digitale è composto da componenti di tipo analogico (come transistori).

La combinazione di questi parametri determina un **ritardo** nella propagazione del segnale logico entro il sistema e quindi un limite alla velocità operativa, cioè è limitata la massima frequenza di commutazione della porta logica.

Non pensiamo che ci siano variazioni istantanee (o rapide) in esse le variazioni hanno **FRONTI** con pendenza finita nei circuiti reali.

Schematizzazione di un segnale (di ingresso o di uscita) digitale nelle 2 transizioni $L \leftrightarrow H$ e viceversa = modello non realistico, ma utilizzato come prima approssimazione.



La variazione tra gli stati logici è caratterizzata da una retta con una certa pendenza (esponenziale x le CMOS) caratterizzata a sua volta in termini di SLEW-RATE.

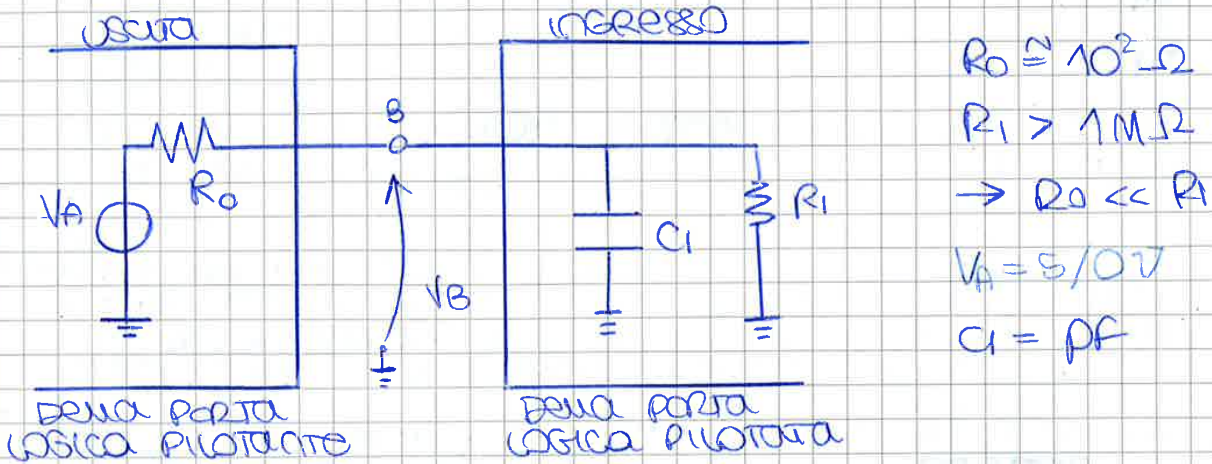
$$\frac{dV}{dt} \quad \text{ex:} \quad \Delta t = 20 \text{ ns} \quad \frac{dV}{dt} = 0,25 \frac{V}{\text{ns}}$$

$$\Delta V = 5 \text{ V}$$

Questa caratterizzazione va bene se il modello è corretto!

ANALISI DEI t_T

modello elettrico basato su porta CMOS

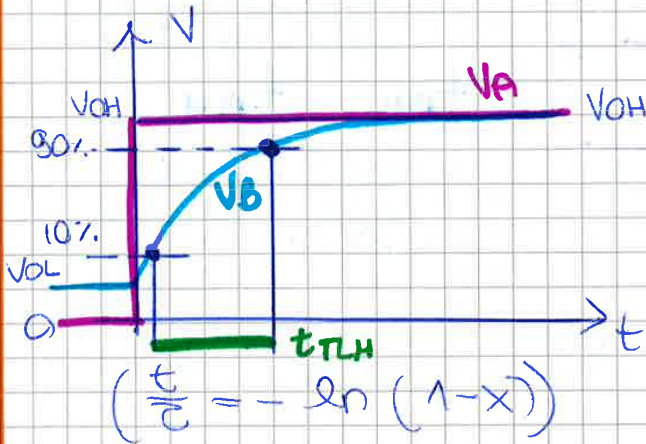


V_B varia in modo esponenziale (modello lineare)
 costante di tempo = capacità \times resistenza vista ai morsetti con generatori inattivati ($V_A \rightarrow$ I corto circuito)

$$V_B = V_A (1 - e^{-\frac{t}{\tau}})$$

$$\tau = C_1 (R_1 \oplus R_0) \approx C_1 R_0$$

valutiamo l'andamento di V_B in una transizione $L \rightarrow H$ (esponenziale crescente)



\times misurare il fronte di salita, in laboratorio con l'oscilloscopio si valutano 10% e 90% dell'evoluzione e i rispettivi tempi

$$t [0 \rightarrow 10\%] \approx 0,1\tau$$

$$t [0 \rightarrow 90\%] \approx 2,3\tau$$

$$t_{TLH} = 2,3\tau - 0,1\tau \approx 2,2\tau$$

= tempo di salita t_r

in laboratorio

si determinano t_{TLH} e t_{THL} caratterizzando su stati di ingresso e di uscita delle porte
 da fronti \uparrow $C_1 \rightarrow R_0$ o da fronti \downarrow $R_0 \rightarrow C_1$

R_0 si misura anche mettendo un carico in B e valutando come varia V_B (capacità di tensione ΔV) in modo statico (come \times misurare R_1)

Collegamento TRA USCITE

ANALISI del t_D

Stesso modello elettrico, bisogna misurare il ritardo di transizione, si mette un segnale di ingresso con fronte ∞ rapido.

La stessa variazione $L \rightarrow H$ viene riconosciuta quando V_B attraversa V_T ($V_T = 50\%$ dell'evoluzione)

t_{ou} è il ritardo di trasmissione = differenza tra l'istante in cui c'è il fronte di salita del segnale all'ingresso della porta e l'istante in cui la porta al 50% della evoluzione

$t[0 \rightarrow 50\%] \approx 0,7\tau$

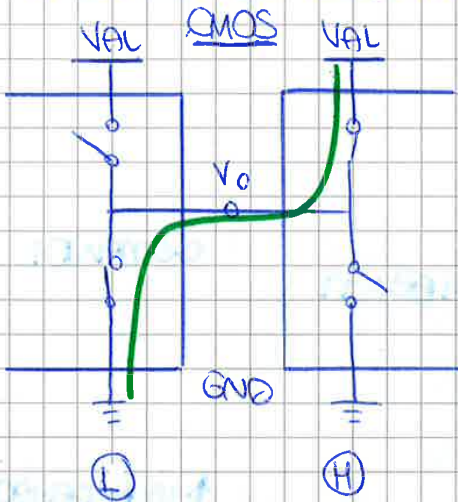


Collegamento TRA 2 USCITE

Se si collegano 2 uscite di 2 porte logiche pilotanti può avvenire che:

- le porte vengano distrutte
- si ottenga una tensione intermedia tra H/L

Infatti se le 2 uscite sono in **stati opposti**:



Scorre corrente tra V_{AL} e GND: la tensione di alimentazione è controcorrente attraverso le porte, e quella più debole soccombe \propto la corrente è unitata da R (nella realtà la situazione dipende dai valori dei resistori)

$\downarrow R \uparrow$ corrente = dissipazione per dissipativo \times eccessiva dissipazione

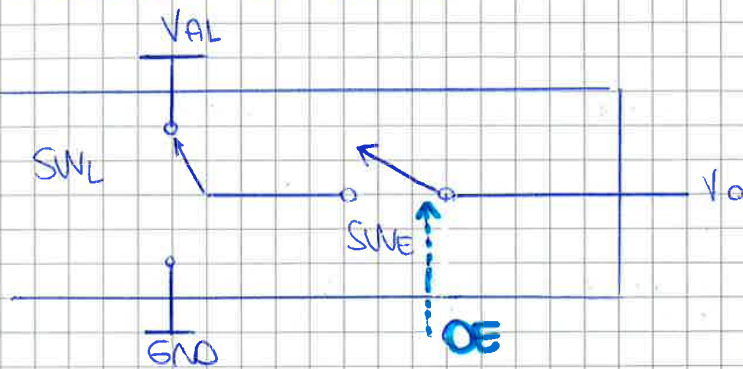
Se le 2 uscite sono in **stati uguali**:

si ottiene una tensione intermedia = ci sono dei problemi sulla porta pilotata \propto la tensione è vicina a V_T per cui ogni soglia e la porta non sa cosa fare se H o L

\rightarrow non si deve fare mai!

La differenza tra l'uscita 3S e Totem-pole (TP) (Viste Finpa) è nel fatto che su interruttori hanno 2 comandi indipendenti (3S) o un unico comando (TP)

Un altro possibile modello è il **denatore a 2 posizioni** dove si ha un interruttore di abilitazione in serie sull'uscita



Nel primo pezzo si seleziona L o H che viene visto in Vo se nel secondo pezzo l'interruttore è chiuso

Se il secondo segnale OE **OUTPUT enable** comanda invece l'apertura, si ha l'uscita ad ∞ impedenza (∞)

L'OE è il comando di abilitazione dell'uscita.

PARAMETRI ELETTRICI STATICI DI USCITA 3S

I parametri tradizionali come Totem-pole, e x i 2 stati H e L della 3S, sono:

- tensioni: V_{OL}, V_{OH}
- correnti: I_{OL}, I_{OH}

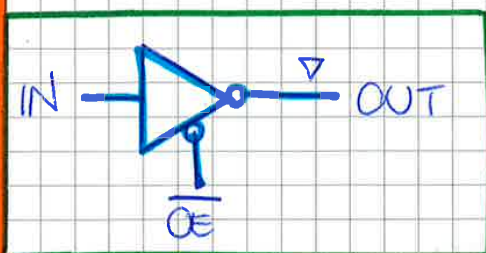
I parametri non tradizionali, quando l'uscita è ad ∞ impedenza sono:

- solo la corrente di perdita **I_{O2}**
- $I_{O2} \ll I_O, I_{O2} \cong I_I$

esempio: $I_{O2} = 100 \text{ nA} \pm 10 \mu\text{A}$
con una $V_{OL} = 3,6 \text{ V}$

INVERTITORE LOGICO

L'invertitore con uscita 3S è rappresentato come:



$\overline{\text{OE}}$ vuol dire che il comando di abilitazione è attivo se il livello logico è Basso (L) \rightarrow inversione

∇ Ricorda che l'uscita è THREE STATE

ATTIVO = CHIUSO

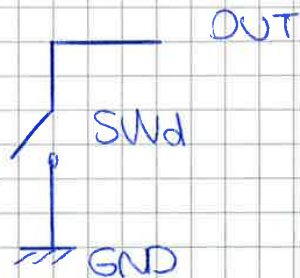
OC e OD

molto diverso dalle 3E

Open collector = TRANSISTORI BIPOLARI TL

Open DRAIN = TRANSISTORI MOS O CMOS (unipolari)

Lo stadio d'uscita è realizzato semplicemente con un interruttore verso una tensione di riferimento (GND)



- INTERRUITTORE CHIUSO = OUT è FORZATO A GND, L'USCITA è L
 - INTERRUITTORE APERTO = USCITA AD ELEVATA IMPEDENZA
- IL LIVELLO LOGICO ALTO COSÌ NON SI PUÒ AVERE!

Si inserisce una **Resistenza di Pull-up**, che tiene l'uscita a livello logico alto, x cui si può avere H se l'interruttore è aperto



Rpu è un resistore collegato tra uscita e VAL che tiene a livello logico H l'uscita quando il circuito è aperto (se chiuso HO sempre L)

come si dimensiona Rpu che si deve inserire?

DIMENSIONAMENTO Rpu

Per dimensionare Rpu bisogna tener conto di 2 aspetti:

- 1) GARANTIRE L'**INTEGRITÀ** dell'interruttore
- 2) GARANTIRE LA **COMPATIBILITÀ** con il carico (RISPETTARE I VALORI OPPORTUNI DI VOL, VOH ETC.) (= COMPATIBILITÀ TRA SISTEMA PILOTANTE E CARICO)

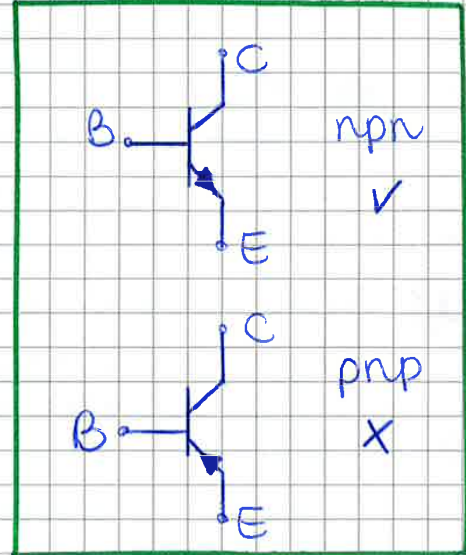
open collector

IL DIMENSIONAMENTO DI R_{fu} VA DIFFERENZIATO X TIPO DI FAMIGLIA LOGICA OC e OB.

OPEN-COLLECTOR (OC)

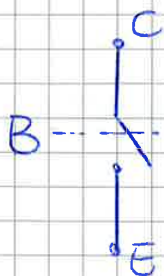
L'interruttore è realizzato con un **TRANSISTORE BIPOLARE** formato da:

- 3 morsetti
- 2 polarità differenti RIFERITE AL TIPO DI DROGGAGGIO (p o n x PREVALENZA DI LACUNE O e^-)
- IL DROGGAGGIO È UTILIZZATO X REALIZZARE I TRANSISTORI pnp, npn, non a sono DIFFERENZE TRA I 2, CAMBIANO SOLO I VERSI DELLE CORRENTI
- MORSETTI: Di COLLETTORE (C)
Di BASE (B)
emettitore (E)



L'OC può essere utilizzato:

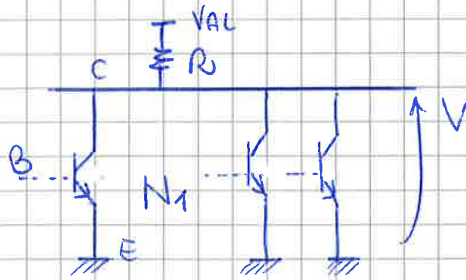
- in una polarità x amplificare: una piccola variazione della corrente di base crea una variazione 10/100 volte maggiore della corrente del collettore → effetto non usato in elettronica digitale
- come interruttore: la corrente iniettata nella base determina la corrente che scorre nel collettore



- REGIONE DI **INTERDIZIONE**: INT. APERTO non c'è corrente nella base, $I_b \leq 0$
- REGIONE DI **SATURAZIONE**: INT. CHIUSO ↑ la corrente nella base I_b (ne basta 1 chiuso x essere a L.L. basso)

DATO IL MODELLO DEL TRANSISTORE BISOGNA CONOSCERE IN COSA CONSISTE IL **CARICO** & TRAVARE R_{pu}

SALUTAMENTE LA STRUTTURA SERIE X COLLEGARE MOLTE PARTE (N_1) CHE IN SISTEMI SONO STESSO RESISTORE R



SE TUTTE LE PARTE SONO IN INTERDIZIONE, ALL USCITA $V = V_{AL}$ (H)

SE SOLO UNA È IN SATURAZIONE $V = 0$ (L)

$$R = 10^2 \Omega / 10^3 \Omega$$

$$I_{csat} = nA / 1 \mu A$$

LE PARTE LOGICHE DIGITALI NASCONO INFATTI X PILOTARE ALTRE PARTE LOGICHE, COLLEGANDO L'USCITA DI MOLTE PARTE LOGICHE INSIEME (n) → HANNO LA CAPACITÀ DI PILOTARE CARICHI BASSI

IN REALTÀ CON UN'USCITA SI POSSONO VOLER PILOTARE ANCHE CARICHI DIVERSI COME:

- LED
- RELAY
- LAMPADINA
- CARICO QUALUNQUE



INIZIAMO IPOTIZZANDO CHE IL CARICO SIA FORMATO DA **N_g PARTE TTL** e DIMENSIONIAMO R_{pu}

1) PROBLEMA DELL'INTEGRITÀ DIVISO NEI 2 CASI:

- SE TUTTE LE PARTE SONO IN INTERDIZIONE, LA TENSIONE D'USCITA $V = V_{AL}$ (STANDO A LIVELLO LOGICO ALTO) IL LIMITE CHE SI PUÒ SOSTENERE È $V_{AL} < V_{ce\ max}$ INT. SPERTO CORRENTE = 0 TENSIONE MAX

SI DEVE SCEGLIERE LA GIUSTA PORTA LOGICA



SI DEVE SCEGLIERE LA GIUSTA V_{AL} TENENDO CONTO DEL FABBISOGNO DEL CARICO

È UNA CONDIZIONE TOTALMENTE INDIPENDENTE DA R_{pu} .

$$V_{AL} = 5V \times \text{PARTE TTL STANDARD}, \quad V_{AL} = ? \times \text{CARICHI DIVERSI}$$

- SE ALMENO UN INTERRUITTORE È IN SATURAZIONE (LL. BASSO) → INT. CHIUSO

IN R_{pu} PORTA LA MASSIMA CORRENTE POSSIBILE CHE SI CHIUSO AL COLLETTORE A UNO DEI TRANSISTORI

$$I_C = \frac{V_{AL} - V_{ce\ SAT}}{R_{pu}}$$

IL NUM. È LA CADUTA DI TENSIONE SU R_{pu}

Se cerco R TRAVO che il valore suo massimo è
 GARANTIRE COMPATIBILITÀ E-

$$R \leq \frac{V_{AL} - V_{OH}}{N_1 I_{OSAT} + N_2 I_{IH}} = R_{max}$$

(V_{AL} e V_{OH} sono valori che si scelgono x essere
 compatibili con il carico, ma anche x avere margini
 di rumore NM massimi)

SI È TROVATO UN INTERVALLO DI VALORI DI R ACCETTABILI



Se $R \cong R_{min} \rightarrow$ va bene x la compatibilità con l'uscita
 a livello logico (A) ma se un transistor è
 in conduzione, la corrente che scorre in R
 sarà prossima a I_{cmx} (si consuma di +)

se $R \cong R_{max} \rightarrow$ si minimizza il consumo però è una
 condizione critica rispetto alla
 limitazione su V_{OH}

per cui si prende un valore intermedio: massima
 usabilità sulle ∞ scelte possibili!

esempi $\left\{ \begin{array}{l} \text{media aritmetica } R = \frac{R_{max} + R_{min}}{2} \\ \text{media geometrica } R = \sqrt{R_{min} R_{max}} \end{array} \right.$

CONSIDERAZIONI

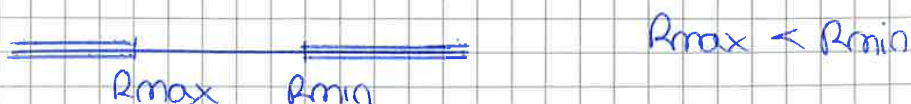
$$\frac{V_{AL} - V_{OSAT}}{I_{cmx} - N_2 I_L} \leq R \leq \frac{V_{AL} - V_{OH}}{N_1 I_{OSAT} + N_2 I_{IH}}$$

\uparrow R_{min} R_{max}

Se $\uparrow N_2$, numero di porte
 logiche pilotate
 \downarrow denominatore, anche
 $I_{cmx} - N_2 I_L \cong I_{cmx} - I_{cmx}$
 $\rightarrow R = \infty$ non c'è soluzione!

Vol dire che:

- si è scelta una porta logica con I_{cmx} troppo piccolo
- si vogliono pilotare troppe porte logiche
- non c'è un intervallo di R accettabile



se avessimo $I_{cmax} = 100\text{ mA} > I_{relay} = 50\text{ mA}$
 e trascurassimo $V_{ce\text{sat}}$

$$R_{min} = \frac{V_{Al} - V_{ce\text{sat}}}{I_{cmax} - N_{\beta} I_b} = \frac{12\text{V}}{100\text{ mA}} = 120\ \Omega$$

$$R_{max} = \frac{V_{Al} - V_{oh}}{I_{relay}} = \frac{12 - 5}{50 \cdot 10^{-3}} = 140\ \Omega$$

Bisogna scegliere un resistore compreso tra

 ma \exists resistori da 120 o $150\ \Omega$ [sic]

quindi si può scegliere solo 120 che è R_{min} !

se $\uparrow I_{cmax}$ riusciamo a $\downarrow R_{min}$

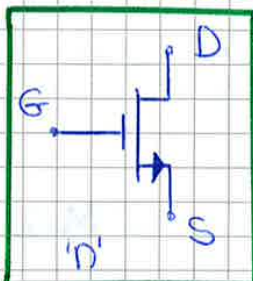
$$I_{cmax} = 200\text{ mA}$$

$$R_{min} = 60\ \Omega \rightarrow \text{più margine di scelta}$$

OPEN DRAIN (CMOS)

anche questa volta dobbiamo trovare un Rpi al fine di avere sul carico la tensione necessaria a far funzionare bene il carico, che ha un funzionamento di tipo binario 0-1, acceso-speinto e può essere ad esempio un buzzer, una lampadina, un relay, N ingressi di porte logiche CMOS OTT

La schematizzazione di un interruttore OD è un **TRANSISTORE AD EFFETTO DI CAMPO**



- Dispositivo a 3 morsetti: DRAIN, gate, source
- Il funzionamento avviene grazie alla tensione tra gate e source V_{GS} che è in grado di modulare la resistenza vista tra D/S
- Transistore mos a canali N o canali P

come l'altro se lavora in una regione lineare funziona da amplificatore.

altrimenti assume la funzione di interruttore, regione di conduzione.

Sono 2 modelli di prima approssimazione molto semplici, costituiti da una sola resistenza e caratterizzati da:

- V_{OSmax} : tensione che non deve essere superata tra D e S quando il canale corrisponde a R_{OFF} , cioè a tensione massima

$$V_{OSmax} > V_{AL}$$

Bisogna scegliere il giusto transistor o scegliere R e V_{AL} compatibili con V_{OSmax}

- $I_{DSmax} = I_{ONmax}$: corrente massima che scorre nel canale quando corrisponde a R_{ON}
 nel dimensionamento di R però scegliere un valore superiore ad un certo R_{min} x garantire che la corrente che scorre nel transistor non superi I_{DSmax}

Le 2 condizioni da garantire saranno quindi:

$$\begin{aligned} I_{DS} < I_{DSmax} \\ V_{OS} \leq V_{OSmax} \Rightarrow V_{OSmax} > V_{AL} \end{aligned}$$

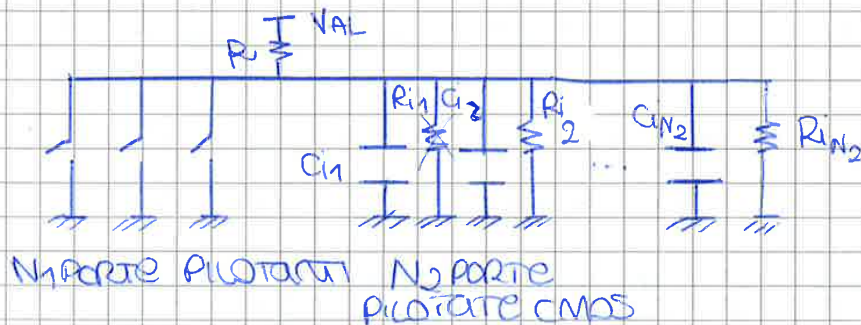
→ mai =, anche se nella teoria andrebbe bene

Se si conosce il carico si può trovare il limite inferiore all'interno del quale si troverà R imponendo la condizione sulla I_{DS} . Bisogna però sapere cos'è il carico x trovare il limite superiore, R_{max} , la caduta di tensione su R la si vuole approssima a V_{AL}

→ Stesso procedimento deve OC

iniziamo ipotizzando che il carico sia formato da

N_1 parte CMOS e N_2 parte pilotanti



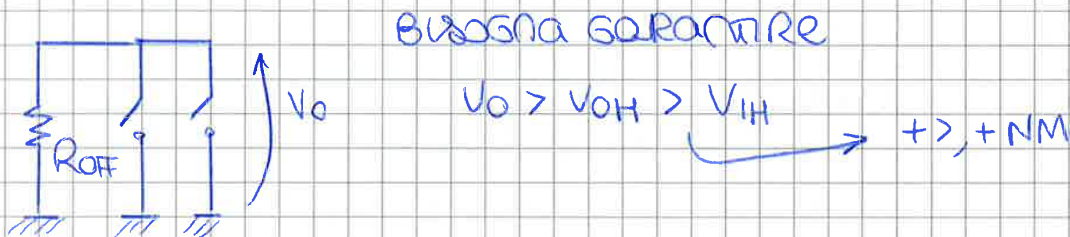


In realtà, R_{min} non si usa mai xk R_{on} non è nota con sufficiente precisione
(nei data sheet sono inseriti valore min, max e tipico che variano di 100%)

→ perciò si usa l'approssimazione R_{min}^*

3) INDIVIDUARE R_{max}

Si hanno tutti gli interruttori aperti, cioè il canale è spento in condizione di OFF



V_o è data dalla partizione di VALTRA R e R_{OFF} PARALLELA a $N_2 R_I$

essendo $R_{OFF} \cong R_I$ (qualche $M\Omega$) si vede una resistenza pari a $\frac{R_{OFF}}{N_1 + N_2}$

Conto x avere l'ordine di grandezza in condizioni realistiche:

$$N_1 = 10, N_2 = 10$$

$$R_{OFF} = R_I = 4M\Omega \rightarrow \frac{4M\Omega}{20} = 200 K\Omega \text{ in PARALLELO}$$

$R = ?$

Se $R = 20K\Omega$ e $V_{AL} = 0,5V$, su R cade $\frac{1}{10}$ di V_{AL} $\approx 0,5V$
e $V_o = 4,5V$ la tensione di uscita è $> V_{IH}$ SOTTI
ma $R = 20K\Omega$ è già relativamente alto!

$$V_o = V_{AL} \frac{R_I}{\left(\frac{R_{OFF}}{N_1} \oplus \frac{R_I}{N_2}\right) + R}$$

$$R \leq \frac{V_o \left[\left(\frac{R_{OFF}}{N_1} \oplus \frac{R_I}{N_2}\right) + R \right]}{V_{AL}}$$

ma QUESTO CALCOLO non si usa!

Porte Logiche

Porte elementari logiche

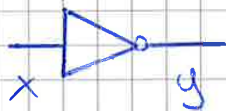
Le porte logiche elementari sono tornate fondamentali x risolvere errori senza dover riprogrammare il microcontrollore

- Si mettono finalmente a disposizione le singole porte (non + pacchetti da 4/6 porte)
- si è ricominciato ad utilizzarle, x semplificano molto la realizzazione

$$H=1, L=0$$

Simbolsmo usato x schemi con elettronica discreta

NOT o inverter



$$y = \bar{x} = x^* = x_n$$

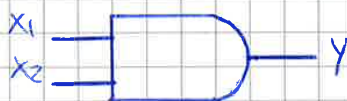
Tavola di verità

x	y
0	1
1	0

Inverte il segnale dal punto di vista logico

Stato uscita x tutte le combinazioni degli ingressi ($2^{N_{\text{ingressi}}}$)

AND

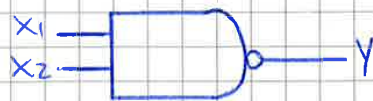


x ₁	x ₂	y
0	0	0
0	1	0
1	0	0
1	1	1

Uscita '1' se tutti e 2 su ingressi sono '1'

complementari

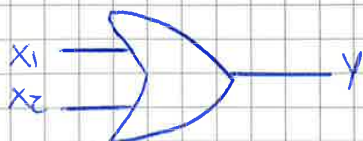
NAND o and negata



x ₁	x ₂	y
0	0	1
0	1	1
1	0	1
1	1	0

Uscita '0' se tutti e 2 su ingressi sono '1'

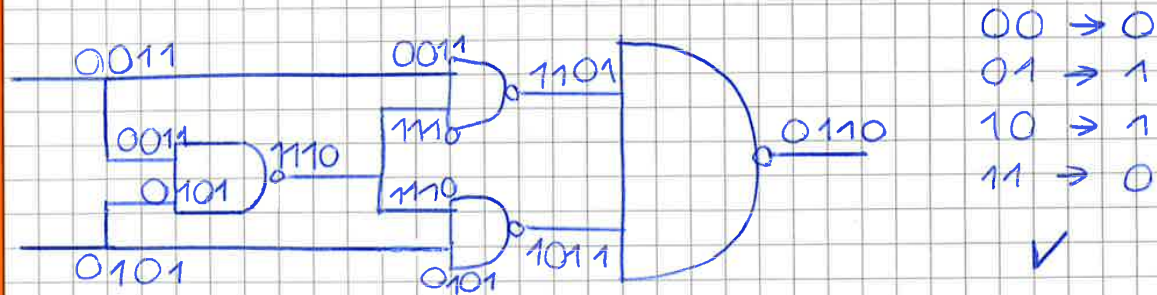
OR



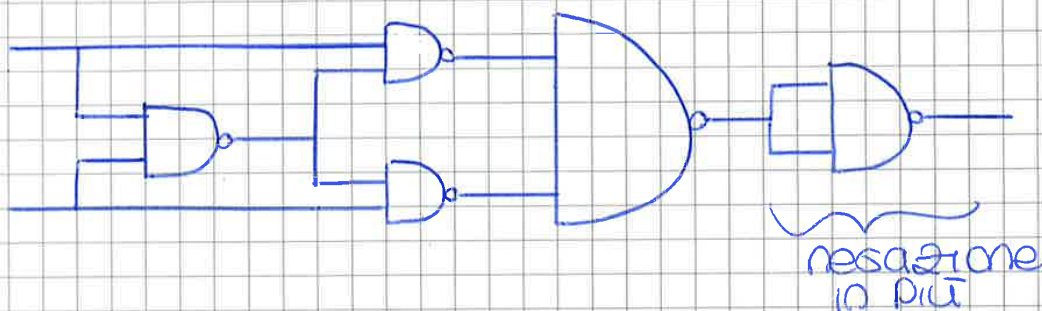
x ₁	x ₂	y
0	0	0
0	1	1
1	0	1
1	1	1

Uscita '1' se almeno un ingresso è '1'

COMPITO DI SINTESI empirica EX-OR con NAND



EX-NOR da NAND



CIRCUITI Digitali

un circuito digitale **combinatorio** è una rete digitale il cui stato delle uscite è determinato solamente dallo stato degli ingressi allo stesso istante di t (solo ritardi di propagazione)

Questo tipo di circuito si descrive con la **Tavola di verità** che indica il tipo di uscita in corrispondenza di tutte le possibili combinazioni degli ingressi (N ingressi $\rightarrow 2^N$ combinazioni)

La tavola diventa molto impegnativa se ci sono tanti ingressi

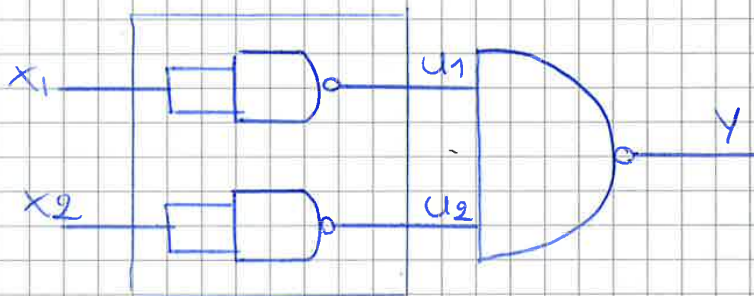
è un circuito senza memoria: cambia ingresso \rightarrow cambia uscita, con un ritardo Δt $\times K$ non è istantaneo

Si può ideare una rete combinatoria qualunque, partendo da modi che permettono di ottenere la struttura della rete reale descritta da una tavola di verità, ma questi metodi non servono a noi che usiamo porte logiche solo \times funzioni semplici, come ad esempio eseguire la progettazione del firmware cioè del software di un sistema programmabile \rightarrow noi impariamo perciò a fare la **sintesi empirica**

Osservando vedo che:

- 11 lo ottengo se inverte l'ingresso 00
 → metto 2 inverter ai 2 ingressi e vedo se funzionano le combinazioni
- * Funziona
- 00 lo ottengo se inverte 11
 va bene come prima
- L'inversione c'è lo anche in 01 e 10 su u_1 e u_2

con il circuito rappresentato non si riesce a fare $u_1 u_2$ mentre $u_1 \bar{u}_2$ e esattamente $\bar{x}_1 x_2$ invertita



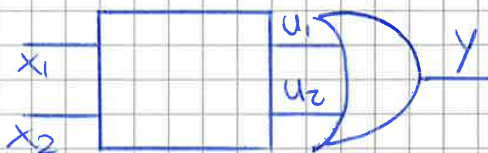
EX OR con SOLE NAND



x_1	x_2	Y
0	0	0
0	1	1
1	0	1
1	1	0

Si sa già costruire la porta OR
 L'EX-OR è = OR ma cambia l'ultima riga della tabella (11)

Ipotesi di lavoro: inizio la sintesi con una porta OR in uscita



faccio le tavole di verità

$x_1 x_2$	$u_1 u_2$	$\bar{u}_1 u_2$	$u_1 \bar{u}_2$	$\bar{u}_1 \bar{u}_2$	$u_1 u_2$	$\bar{u}_1 u_2$	$u_1 \bar{u}_2$	$\bar{u}_1 \bar{u}_2$	$u_1 u_2$	$\bar{u}_1 u_2$
00	00	00	00	00	00	00	00	00	00	00
01	01	10	11	01	01	10	10	11	11	11
10	10	01	11	01	11	10	11	01	10	10
11	00	00	00	00	00	00	00	00	00	00

PROF
 a) b) c)

Questa implementazione:

- introduce 3 livelli di ritardi:

- è più lenta rispetto ex-OR porta
- i ritardi non sono bilanciati, x.e. gli ingressi delle prime NAND sono uno istantaneo e uno ritardato dall'inverter

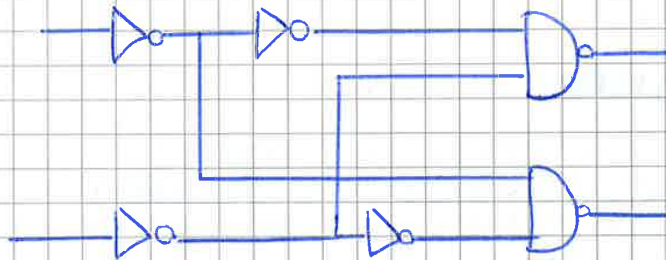
- ciò produce commutazioni spurie dell'uscita chiamate alee molto pericolose che ci possono essere o non essere

- svolge il compito logico ma è una rete pericolosa perché introduce variazioni spurie dell'uscita (Alee)

- l'unico vantaggio è che dal punto di vista di chi la pilota rappresenta lo stesso carico su ogni ingresso, per cui fan-in sono bilanciati (rete simmetrica)

Si può provare in modo critico ad analizzarla ed a trovare una soluzione migliore, questa non è la migliore x.e. si dimostra che si può realizzare con 2 soli stadi

Se vogliamo ad esempio un FAN-IN < 2, l'ingresso è così modificato



La logica è mantenuta ma ora si ha un FAN-IN = 1 da entrambe le parti: cioè chi pilota vede solo 1 stadio di ingresso (prima ne voleva 2)

Il problema del ritardo invece è solo scambiato, ma è sempre =

Si hanno però 2 porte logiche in più:

Per \downarrow Fan-in \rightarrow \uparrow costo
 \uparrow consumo
 \uparrow dimensioni

Come questo circuito è molto spesso presente quando ci sono tante porte e si vuole basso fan-in

potenza

PRIMA COSA DA FARE AL LAIB

- COSTRUITO IL CIRCUITO
- SI CALCOLA IN TEORIA QUANTO DAREBBE CONSUMARE PRIMA DI CONNEGGERLO ALL'AUMENTAZIONE
- SI REGOLA V_{AL} IN MODO DA LIMITARE LA CORRENTE IN USCITA
- SI PROVA AD AUMENTARE IL CIRCUITO E SI MISURA LA CORRENTE ASSORBITA DAL MODULO X VEDERE SE CI SONO PROBLEMI

NB: IMPO LE PARTE NAND X1C:

- COSTANO - (+ FACILI DA COSTRUIRE)
- OCCUPANO - SPAZIO SUL SI X1C SONO FACILMENTE MINIALIZZABILI
- REALIZZANO QUALSIASI CIRCUITO COMBINATORIO
- CMA SERVONO ANCHE LE ALTRE PARTE X ALTRE CIRCUITI - COMPLICATI E CON - PROBLEMI

GLI SVANTAGGI DI UN ELEVATO CONSUMO SONO:

• Implica ↑ **Correnti**

- servono componenti 'GRANDI', sufficientemente grandi, che ingombrano, pesano e costano (X1C IN RAME)

$$l = 100 \mu m, \quad s = 35 \mu m$$

- aumentano i RADIODISTURBI generati dai circuiti (che x la DIRETTIVA CEE devono essere limitati)

• Genera ↑ **calore**

- il calore deve essere trasferito all'ambiente esterno e con questa azione il dispositivo si SCALDA → se troppo si RAFFREDDA servono come x RAFFREDDARE la superficie che si SCALDA / tecniche di dissipazione del calore che ↑ peso e rumore

• maggior assorbimento dalle **Batterie**

- minore autonomia
- maggior peso e ingombro

La potenza assorbita è costituita da $\left\{ \begin{array}{l} P. statica \\ P. dinamica \end{array} \right.$

Potenza Statica

= potenza assorbita dal modulo digitale (DAVAL) in assenza di commutazione, quando gli stati di ingresso sono fissi e perciò sono fissi anche gli stati d'uscita

LA POTENZA DINAMICA DIPENDE DALLA TECNOLOGIA E SOPRATTUTT DAL CARICO, PERCHÉ E LA POTENZA SIA NECESSARIA AL CIRCUITO, SIA TRASFERITA AL CARICO

PER DIMINUIRE LA POTENZA :

- nei dispositivi integrati a bassa potenza, prevale la potenza statica, què dinamica è una sua frazione spesso trascurabile
- nei dispositivi integrati ad alta velocità, è l'inverso e prevale la potenza dinamica

CALCOLO DEL CONSUMO DINAMICO

SI SUPPONE DI VOVER CARICARE UN CONDENSATORE DI CAPACITÀ C AD UNA TENSIONE V, PER CUI BUBISNA TRASFERIRSI UNA CARICA

$$\Delta Q = CV$$

LA CORRENTE È DEFINITA COME IL VALORE MEDIO DELLE CARICHE SPOLLATE NELLA STERDA DIREZIONE IN UN $\Delta t = 1s \rightarrow I = \frac{Q}{\Delta t}$

SE IL CONDENSATORE VIENE CARICATO E SCARICATO F VOLTE AL SECONDO, SCARRE UNA CORRENTE

$$I = FQ = FCV$$

che PERCIO È \propto a F, C e V

↑ LA FREQUENZA DI COMUTAZIONE }
 ↑ IL CARICO } ↑ I
 ↑ LA TENSIONE DI ALIMENTAZIONE V_{AL} }

LA POTENZA RELATIVA (UTILIZZATA SOLAMENTE X IL CARICO) LA SI OTTENE:

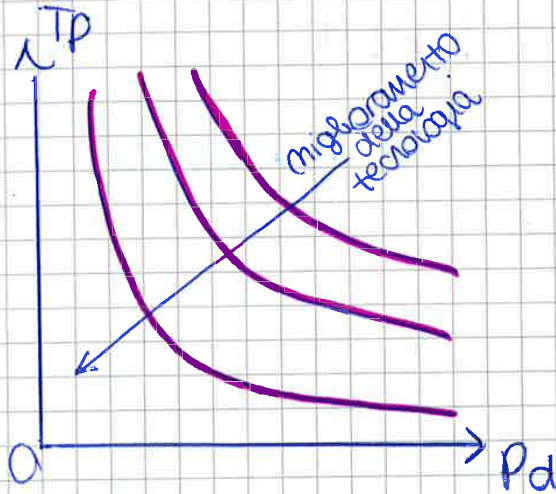
$$P_d = IV = VFCV = \boxed{FCV^2 = P_d}$$

ECCO XK È IMPORTANTE ↓ V_{AL} SE SI USANO CIRCUITI A BASSO CONSUMO
 → C'È UNA DIPENDENZA QUADRATICA (V_{AL} → 2V_{AL}, P_d → 4P_d !! mave!)

la capacità C è legata alla potenza dinamica ed è anche direttamente legata alla costante di tempo τ

se $\downarrow C$, misuro l'efficienza energetica del dispositivo e ottengo ritardi più piccoli

per avere un'idea della bontà di una tecnologia si considera il prodotto $PdTp$



LA CARATTERISTICA

Potenza-Ritardo è un grafico x rappresentare l'andamento del ritardo di una certa famiglia di porte logiche in funzione della potenza dissipata

Ogni iperbole definisce un caso del piano in cui il prodotto $PdTp$ è costante e rappresenta una particolare famiglia logica

a parità di potenza le curve più a sx sono migliori xk garantiscono un ritardo minore \rightarrow più la tecnologia migliora, più le curve si spostano verso l'origine

Ideale $PdTp = 0$

Reale $PdTp > 0$

se bisogna scegliere una famiglia logica si tiene conto della loro caratteristica $PdTp$ x confrontarne di \neq e avere un criterio di scelta

CIRCUITI COMBINATORI E SEQUENZIALI

I circuiti combinatori forniscono un'uscita funzione solo degli ingressi applicati all'istante t_0

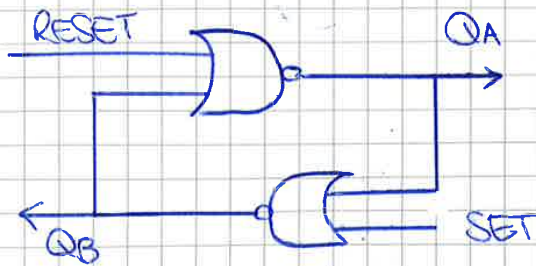
$$OUT(t_0) = f\{IN_1(t_0), IN_2(t_0), \dots, IN_M(t_0)\}$$

sono realizzati combinando tra loro in modo opportuno porte logiche elementari (AND, OR, NOT, ...)

Esistono circuiti in cui le uscite sono funzioni non solo degli ingressi ma anche della storia precedente $t = t_{01}, t_{02}, \dots$ si chiamano circuiti **sequenziali**

$$OUTS(t_0) = f\left\{ \begin{array}{l} IN_1(t_0), \dots, IN_M(t_0), \\ IN_1(t_{0-1}), \dots, IN_M(t_{0-1}), \dots \end{array} \right\}$$

Lo stato delle uscite dipende anche dalle storie precedenti degli ingressi



NOR	
00	1
01	0
10	0
11	0

- SE I COMANDI SONO TENUTI DA LIVELLO LOGICO BASSO

$$\left. \begin{array}{l} S=0 \\ R=0 \end{array} \right\} \begin{array}{ll} Q_A=0 & Q_B=1 \\ Q_A=1 & Q_B=0 \end{array} \quad \begin{array}{l} (S_1) \\ (S_0) \end{array}$$

L'anello si comporta da invertor e si hanno 2 stati stabili

- SE SI PORTA A LIVELLO LOGICO ALTO 1 DEI 2 COMANDI, L'ANELLO VIENE FORZATO IN UNO DEI 2 STATI STABILI S_0 O S_1

$$\left. \begin{array}{l} S=0 \\ R=1 \end{array} \right\} \begin{array}{ll} Q_A=0 & Q_B=1 \\ Q_A=1 & Q_B=0 \end{array} \Rightarrow Q_A=0 \quad Q_B=1 \quad \left. \right\} S_1$$

$$\left. \begin{array}{l} S=1 \\ R=0 \end{array} \right\} \begin{array}{ll} Q_A=0 & Q_B=0 \Rightarrow Q_A=1 \quad Q_B=0 \\ Q_A=1 & Q_B=0 \end{array} \quad \left. \right\} S_0$$

set e reset sono attivi a '1'

Gli impulsi di set e reset forzano le uscite in una precisa condizione

$Q_B \neq Q_A \rightarrow$ sono sempre invertite \rightarrow $Q_A = \bar{Q}_B$

con questo semplice elemento si è rappresentato un elemento di memoria!

in qualunque stato si trovi l'anello:

- **IMPULSO DI SET** ($S=1, R=0$) \rightarrow forza la condizione di set $Q_A=1$ e la ricorda
- **IMPULSO DI RESET** ($S=0, R=1$) \rightarrow forza la condizione di reset $Q_A=0$ e la ricorda

(la ricorda vuol dire che la condizione rimane nel circuito fin tanto che è alimentato il FLIP-FLOP)

- **nessun impulso** ($S=0, R=0$) \rightarrow si mantengono Q_A e Q_B precedenti

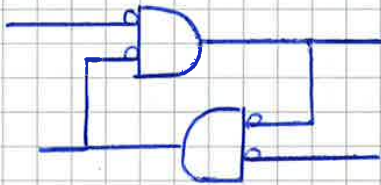
- **impulsi attivi** ($S=1, R=1$) \rightarrow \triangle le uscite NON sono più complementari $Q_A \neq \bar{Q}_B$

$Q_A=1, Q_B=0 \rightarrow Q_A=0 = Q_B$
 $Q_A=0, Q_B=0 \rightarrow$ etc!
 e c'è uno stato stabile che permane

FLIP-FLOP SET RESET (NAND)

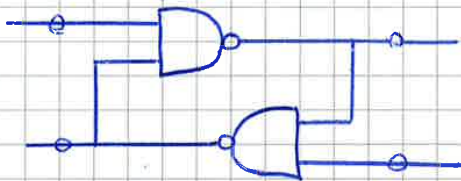
PARTE DELL'ANELLO DI NAND

LO RIDISEGNO USUALE CON LE PARTE AND CON I 2 INGRESSI NEGATI



L'INGRESSO CHE ARRIVA DALL'USCITA Q' È SEMPRE NEGATO ANCHE PRIMA DELL'INNESCIO, FACENDO ATTENZIONE A NEGARE L'USCITA

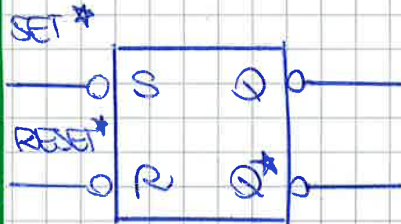
SI PASSA ANCHE ALL'ANELLO DI NAND



SI È DIMOSTRATO CHE LE 2 RETI SONO IDENTICHE

LE NAND HANNO PERO' SOLO GLI INGRESSI E LE USCITE NEGATE E LO SI MOSTRA IN MODO ESPlicitO NEL SIMBOLO FUNZIONALE

Simbolo Funzionale:



Q = USCITA PRINCIPALE

Q* = USCITA COMPLEMENTARE

IL FUNZIONAMENTO È LO STESSO DELL'ANELLO DI NAND, MA TUTTO È **COMPLEMENTARE**

LE PRINCIPALI DIFFERENZE SONO:

- SET e RESET SONO ATTIVI A STATO LOGICO BASSO '0' (PER QUESTO SI METTE IL SIMBOLO * COMPLEMENTARE)
- LA CONDIZIONE DI MEMORIA È $S^* = R^* = 1$
- LA CONDIZIONE "PROIBITA" È $S^* = R^* = 0$

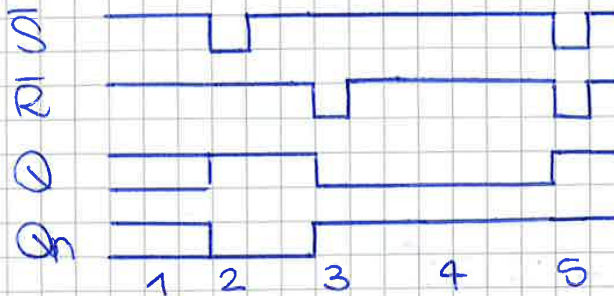
LA TAVOLA DI VERITÀ È:

S*	R*	Q	Q*	
1	0	0	1	IMPULSO RESET
0	1	1	0	IMPULSO SET
1	1	Q _{t-1}	Q* _{t-1}	COND. MEMORIA
0	0	1	1	USCITE NON COMPLEMENTARI

6 anche se l'impulso e +/- unso non cambia niente l'uscita commuta e basta

! COMANDI DI SET O RESET RIPETUTI NON CAMBIANO LO STATO L'USCITA COMMUTA SEMPRE DOPO IL COMANDO ALL'INGRESSO

esempio (NAND):



Se R, negati vuol dire che sono attivi se l'ingresso e basso

- FRONTI ∞ RIAPI, NO RITARDI
- SONO ATTIVI SE QUANDO VENGONO A '0'

1 INIZIO IGNOTO ?? $Q =$

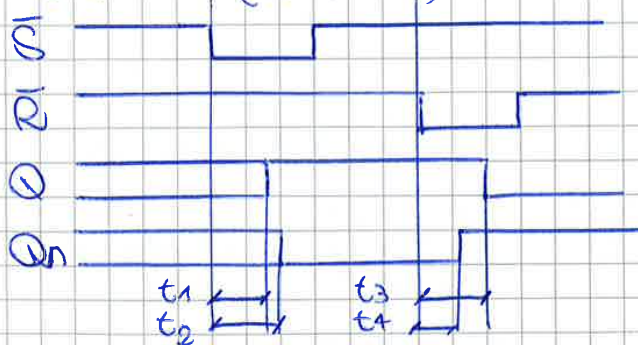
2 IMPULSO DI SET ($S=0$) $\rightarrow Q=1$

3 IMPULSO DI RESET ($R=0$) \rightarrow commutazione $Q=0$

4 condizione ($R=S=1$) di memoria, spesso mantenuta \rightarrow non cambia l'uscita

5 condizione proibita ($R=S=0$) $\rightarrow Q=\bar{Q}=1$
 le uscite non sono più complementari
 può trarre in errore i successivi circuiti

esempio (ritardi)



la commutazione avviene dopo un Δt che e stato dato l'impulso

$Q \rightarrow T_1, Qn \rightarrow T_2$

le 2 uscite non hanno x forza ritardi identici xk le 2 parte non sono identiche

e importante conoscere i 4 ritardi t_1, t_2, t_3, t_4 ,
 il costruttore non te li da! dice solo quello massimo x set e x il reset e qual e la parata minima degli impulsi (anche qui solo la massima tra 1 e 2)

IL RIMBALZO DURA $10^1 \mu s$, E RIPETUTO OGNI MS
 MA IL TEMPO X ATTIVARE IL FFSR E' DI $10^1 ns!$


PRIMA SI UTILIZZAVA QUESTA SOLUZIONE HARDWARE, OGGI
 CI SONO GIÀ FILTRI ANTIRIMBALZO NEL SOFTWARE, ANCHE
 SE LA COMPUTAZIONE AVVIENE CON UN PO DI RITARDO (213MS)

CIRCUITI ASINCRONI VS. SINCRONI

IL FFSR "SENTI" CONTINUAMENTE GLI INGRESSI
 E PUO' CAMBIARE STATO IN QUALSIASI MOMENTO
 → E' UN CIRCUITO **ASINCRONO**

IN CERTE APPLICAZIONI CIO' NON E' COMODO, SI VUOLE
 OBLITARE IL CAMBIO DI STATO DEL FFSR, SOLO IN CERTI
 INTERVALLI DI TEMPO ESATTI, AD ESEMPIO IN CORRESPONDENZA
 DI UN SEGNALE DI SINCRONIZZAZIONE :

EX: GENERO UN ONDA QUADRA AD 1 KHz E VUOLGO CHE IL
 FFSR SENTI LE VARIAZIONI DEGLI INGRESSI SE

- E' A UN AUTO  xvx
- IN CORRESPONDENZA DI UN FRONTE

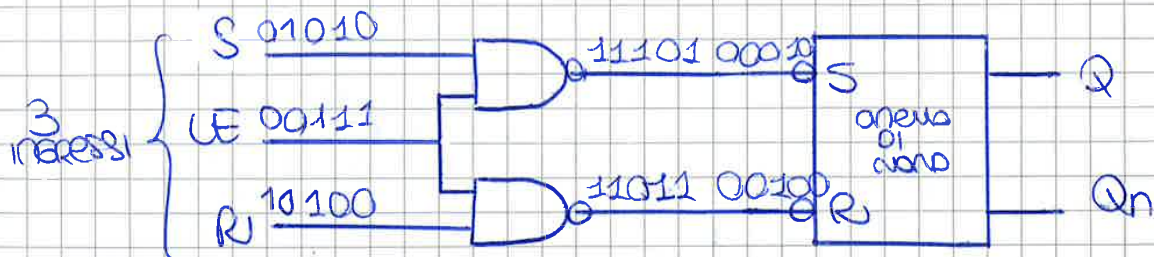
NEI CIRCUITI **SINCRONI**, I CIRCUITI DI MEMORIA SENTONO
 GLI INGRESSI E FANNO VARIARE LE USCITE SOLO IN
 CORRISPONDENZA DI UN SEGNALE DI SINCRONIZZAZIONE O
 DI **CLOCK**

LATCH ENABLE

10
10
01

PRIMA SOLUZIONE X SINCRONIZZARE IL FFSR :

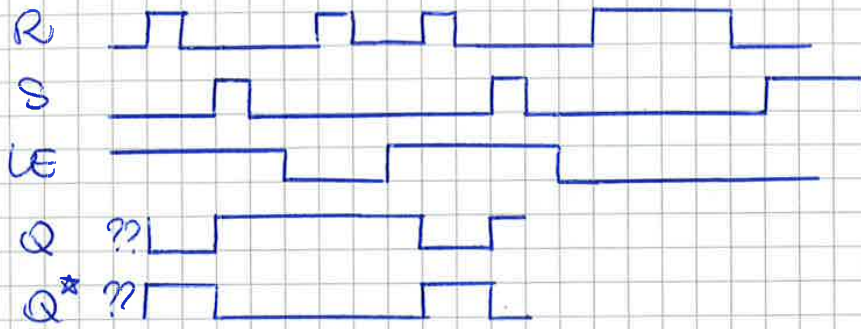
IN INGRESSO AL FFSR SI METTONO 2 PORTE NAND
 CON USCITA NEGATA
 (LA DOPIA NEGAZIONE SI ANNULLA E TENGO UNA AND)



IL FFSR SENTI GLI INGRESSI SOLO SE $LE = 1$

LA CONDIZIONE DI MEMORIA E' FORZATA SE $LE = 0$:
 NON VARIANO USCITE ANCHE SE VARIANO S E R
 PER IL LORO COMANDO E BLOCCATO DALLE 2 PORTE NAND

L'INGRESSO CENTRALE E' COLLEGATO ALLE 2 PORTE ED AL
LATCH ENABLE



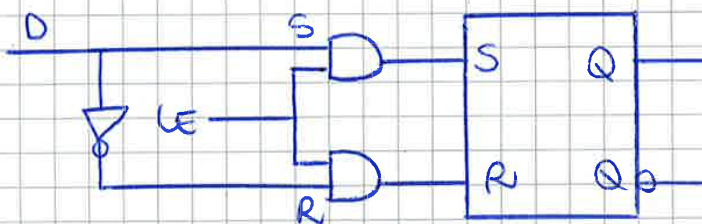
L'IMPULSO SUL SET NON HA AITTO EFFETTO XL IL LE=0 LO HA BLOCCATO

FF LATCH DI TIPO D

LA PRIMA MODIFICA È STATA METTERE IN INGRESSO AL RESET, L'INGRESSO DEL SET COMPLEMENTATO

$$R = S^*$$

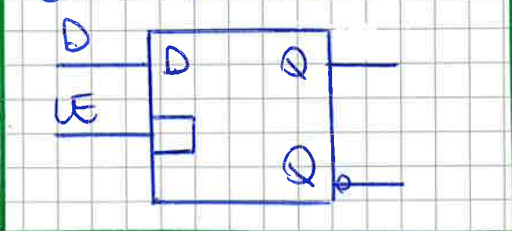
IL FF HA COSÌ UN SINGOLO INGRESSO CHIAMATO D E DIMANE L'ABILITAZIONE LE



SE LE=0, QUALSIASI D NON MODIFICA L'USCITA DEL FF, condizione di memoria

SE LE=1, SE D=1 (set) : S=1, R=0
 SE D=0 (reset) : S=0, R=1 } condizione di trasparenza non si può avere S=R=0, S=R=1

IL SIMBOLO FUNZIONALE DEL FF LATCH D



SI HANNO SOLO 2 INGRESSI

LE = LATCH

D = DATO

D = RITARDO ("DELAY")

XL D HA UNA VARIAZIONE RITARDATA DAL COMANDO DI LE (DI UN RITARDO CHE NON È DEFINIBILE A PRIORI)

↓ INFATTI COL DIAGRAMMA TEMPORALE

FF MASTER-SLAVE

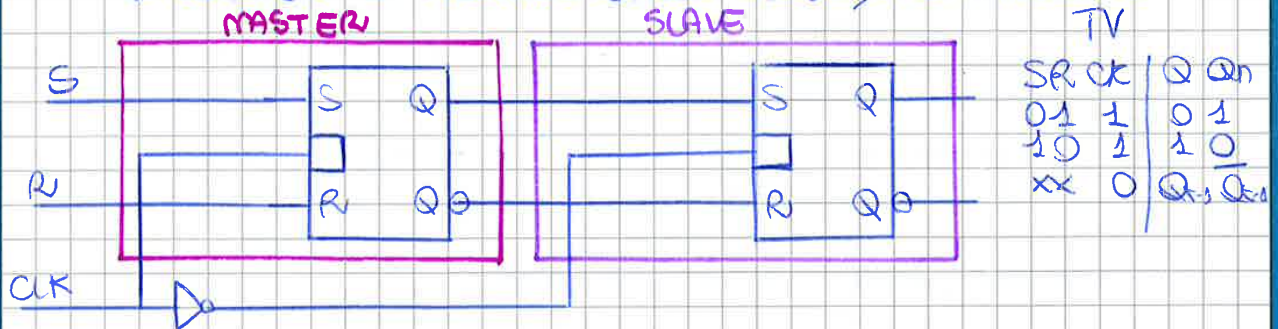
non è un FF sensibile sul livello.

è in grado di fotografare lo stato dell'ingresso in istanti di tempo ben precisi e scelti, come il fronte di discesa del clock

si mettono in cascata due FF-SR-LATCHER (non in serie) cioè con le uscite collegate agli ingressi

I 2 ingressi del LE sono invece:

- il primo collegato al clock = segnale di controllo
- il secondo è pilotato dallo stesso, ma invertito



se il clock è a livello logico alto = 1, il master è attivo e lo slave in memoria, cioè

FF₁ = 1 e trasparente (M)

FF₂ = 0 e in memoria (S)

X cui set e reset si riportano sulle uscite e Q non varia

se il clock è = 0, fronte di discesa del clock

FF₁ = 0 e in memoria (M)

FF₂ = 1 e in trasparenza (S)

X cui il primo FF ricorda i comandi di set e reset un istante prima del fronte di discesa, mentre il secondo FF si modifica X ripetere il primo, cioè porta in out il valore del master (il primo blocca il secondo che porta in uscita lo stato degli ingressi un istante prima del fronte di discesa) è un FF di tipo negative-edge-triggered. → vede lo stato degli ingressi in istanti ben precisi

Resumé :

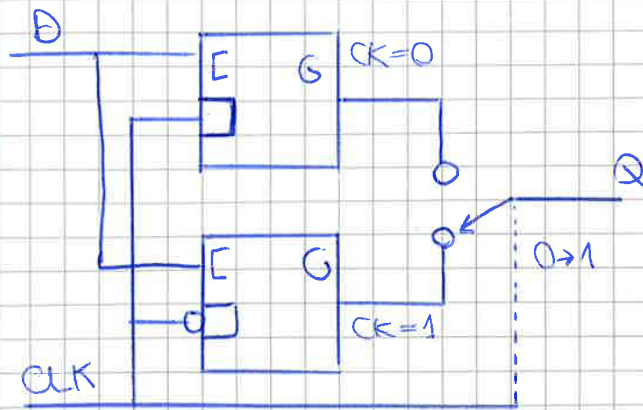
il FF master-slave è composto da una cascata di FF latch con abilitazione complementare (clock)

clk = 0, si abilita il primo latch e si blocca il secondo

clk = 1, viceversa

→ viene memorizzato il dato presente all'ingresso in corrispondenza della transizione

H → L del clock, cioè durante il fronte di discesa



è un FF master -
slave con
ingresso di LATCH
(non sono collegati
in cascata →
non c'è trasparenza)

RESUMÉ FF TIPO D

I FF di TIPO D servono generalmente x sincronizzare un dato ad un segnale differente

2 TIPI DI SINCRONIZZAZIONI:

- LATCH = sincrono sul livello (LE è il segnale di sincrono)
IL COMANDO DI LE PUÒ ESSERE ATTIVO ALTO O BASSO

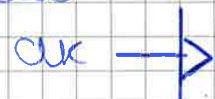
SE LE È ATTIVO ALTO: LE=1 → TRASPARENZA
LE=0 → MEMORIA
LE 1 → 0 → MEMORIZZA D



- MASTER SLAVE = sincrono al fronte, non al livello

IL FF CAMBIA STATO RIPORTANDO IN USCITA LO STATO DELL'INGRESSO DEL FF MA QUELLO CORRISPONDENTE AL FRONTE (O SALITA O DISCESA) SCILTO A CUI È SENSIBILE

(CK È IL SEGNALE DI SINCRONO)



L'USCITA CAMBIA SOLO SULLE TRANSIZIONI DEL CK

SE CK 0 → 1, FRONTE SALITA: MEMORIZZA D

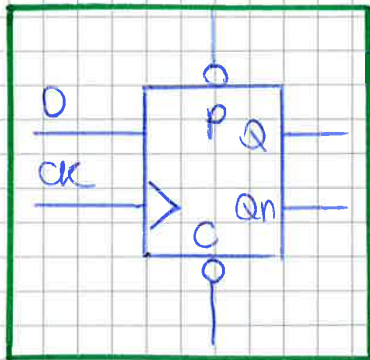
→ I FF DI TIPO D servono perciò x sincronizzare un segnale che viene dato sull'ingresso con un segnale che è asincrono rispetto al dato che viene dato sull'ingresso di sincronizzazione

INGRESSI ASINCRONI

Se si vogliono dei comandi asincroni, indipendenti dal clock si aggiungono PRESET e CLEAR

- PRESET serve per fare il set del FF e avere $Q=1$
- CLEAR serve x fare il reset del FF e avere $Q=0$

Simbolo con P e C attivi a livello basso:

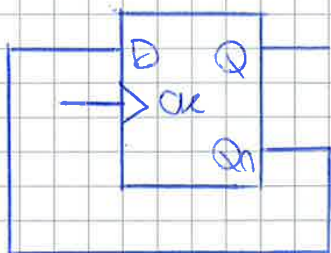


Si dice di non attivare mai contemporaneamente P e C, in questo caso $P=C=0$ xk è una condizione da evitare in quanto non si sa bene cosa faccia il dispositivo
 → in realtà permane l'ultimo del 9 comandi xk e non ne attiviamo mai contemporaneamente

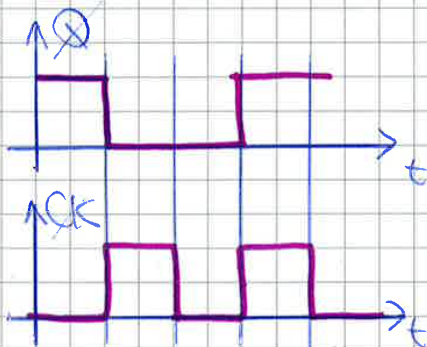
FF TIPO T ("TOGGLE")

è un FF molto importante xk dimezza la f del ck

un modo x realizzarlo è il seguente: si prende un FF di tipo D, triggerato sul fronte di salita e si collega l'uscita negata a D



partiamo da $Q=1 \rightarrow QN=0$
 e $D=0$
 in corrispondenza del prossimo fronte di salita del ck, 0 viene propagato in Q
 → $Q=0 \rightarrow QN=1 \rightarrow D=1$
 in corrispondenza " "
 " " D è a nuovo propagato in Q → $Q=1$ etc!



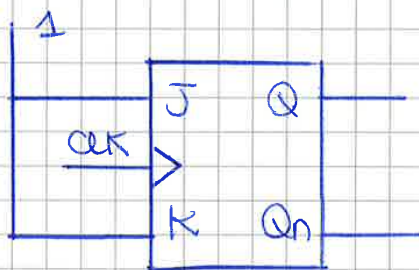
il FF cambia quindi lo stato di Q ad ogni fronte di salita del clock e in più il suo compito principale è quello di dimezzare la f del ck

$$ck \rightarrow f$$

$$Q \rightarrow f/2$$

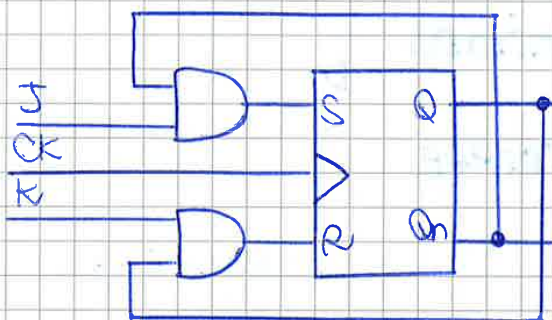
- a) condizione di memoria
le uscite non variano
come $S=R=0$
 - b) $K=1$ come il Reset
forza le uscite in una
condizione precisa ma solo
in corrispondenza di fronte di salita
 - c) $J=1$ come il Set
" " " "
 - d) la condizione prima proibita
ora è permessa e il FF
inverte le uscite
- } = al FF-SR
- } ≠ dal FF-SR

con il FF JK si può realizzare un FF di tipo T:
BASTA unire $J=K=1$



COSÌ INVERTE OGNI
VOITA L'INGRESSO
UTILIZZANDO LA
CONDIZIONE "PROIBITA"

IL FF JK invece si può realizzare partendo da
un FF-SR TRIGGERATO SUI FRONTI, cioè con un
ingresso di CK, e distinguendo 2 porte AND che hanno gli ingressi collegati a J e Q o
K e Q



IL FF SR SENSIBILE AI
FRONTI DEL CK E' IL
FF MASTER-SLAVE
(COSTRUITO DALLA CASCATTA
DI 2 FF SENSIBILI AI LEVEL)

X QUESTO SI INDICA ANCHE
COME FF-JK MASTER-SLAVE
COSTRUITO PERCHÉ DA

- 2 FF LE
- 1/2 INVERTE
- 2 PORTE AND

ERRORI di TEMPORIZZAZIONE

TUTTI I FLIP-FLOP SENSIBILI AI FRONTI HANNO UN PROBLEMA,
ANCHE SE STATISTICAMENTE MOLTO RARO, QUANDO I 2 FRONTI
SONO SUFFICIENTEMENTE VICINI DA ESSERE CONSIDERATI
SIACRONI, COSA FA L'USCITA?

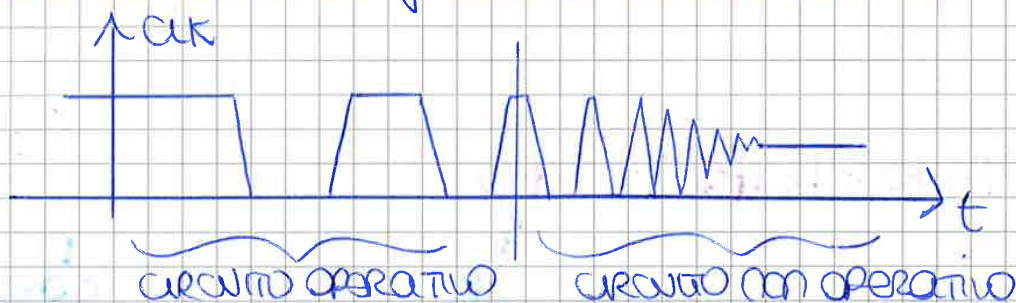
→ Poi non ce la fa più e lo stato delle uscite tende a diventare indefinito

Il costruttore dice la massima f alla quale si può far commutare il dispositivo (valore che garantisce)

ex: 10 MHz → 12 MHz magari funziona
 → 30 MHz non funziona

è un limite che è bene non superare, ma nel caso poi si debba sostituire il dispositivo ci sono problemi di manutenzione

La durata minima del ck e i tempi di salita/discesa, limitano la capacità di commutazione dell'uscita, che è la massima f operativa del circuito



ESEMPI DI CIRCUITI SEQUENZIALI

contenuti nei microcontrollori

REGISTRI

Un registro in generale è un insieme di FF di tipo D che condividono il **CK** ed eventualmente anche un segnale di sincrono che è il **RESET**

La loro funzione è quella di ottenere la funzione del FF D tradizionale che è di memorizzare lo stato un dato istantaneo: D si legge in capo sponenza del fronte del ck, poi se serve cambia lo stato

Il registro è il + semplice elemento di memoria x memorizzare parole a + bit usando perciò + FF e trasferendo la parola in forma seriale o //

Il registro è una particolare **cella di memoria** che consente di memorizzare una parola di N bit se è costituito da N FF e possiede $M = 2N$ uscite perché ogni FF ha 1 ingresso e 2 uscite: in questo modo si possono prendere o le uscite dirette o le uscite negate così si vede la parola o la sua negata