



Corso Luigi Einaudi, 55 - Torino

Appunti universitari

Tesi di laurea

Cartoleria e cancelleria

Stampa file e fotocopie

Print on demand

Rilegature

NUMERO: 1676A -

ANNO: 2015

A P P U N T I

STUDENTE: Fissore

**MATERIA: Microelettronica Digitale Unificato con firma,
Prof.Lavagno**

Il presente lavoro nasce dall'impegno dell'autore ed è distribuito in accordo con il Centro Appunti.

Tutti i diritti sono riservati. È vietata qualsiasi riproduzione, copia totale o parziale, dei contenuti inseriti nel presente volume, ivi inclusa la memorizzazione, rielaborazione, diffusione o distribuzione dei contenuti stessi mediante qualunque supporto magnetico o cartaceo, piattaforma tecnologica o rete telematica, senza previa autorizzazione scritta dell'autore.

**ATTENZIONE: QUESTI APPUNTI SONO FATTI DA STUDENTIE NON SONO STATI VISIONATI DAL DOCENTE.
IL NOME DEL PROFESSORE, SERVE SOLO PER IDENTIFICARE IL CORSO.**

Microelettronica Digitale

□ Progetto di circuiti digitali integrati.

- Dispositivi CMOS e tecnologie di fabbricazione. Inverter e porte CMOS. Ritardi, margini di rumore e potenza. Circuiti sequenziali elementari. Interconnessioni e memorie.

□ Obiettivo

- Comprendere, progettare e ottimizzare circuiti digitali rispetto a diversi parametri: costo, velocità dissipazione di potenza e affidabilità.

Appunti di Giorgio Fissore
Disponibili in centro stampa

>

Questi sono gli appunti presi a lezione, e, non essendo presenti videolezioni per questo corso, presentano lacune.

>

Appunti di qualità migliore (e molto più abbondanti) sono presenti per il corso di Sistemi Elettronici a Basso Consumo. (e per la parte di microcontrollori del corso del terzo anno di Elettronica dei Sistemi Digitali)

1- Introduzione 1

Microelettronica Digitale

Libro di testo

Digital Integrated Electronics

J. Rabaey, A. Chandrakasan, B. Nikolic

Prentice Hall

Una parte significativa del materiale didattico utilizzata nelle lezioni è stata tratta dal testo

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione 2

Prerequisiti

- ❑ **Progetto di Circuiti Digitali**
- ❑ Elettronica dei Sistemi Digitali
- ❑ Dispositivi

Le conoscenze di tali corsi devono essere state acquisite

Alcuni argomenti verranno ripresi ed approfonditi

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

5

Progetto di circuiti digitali

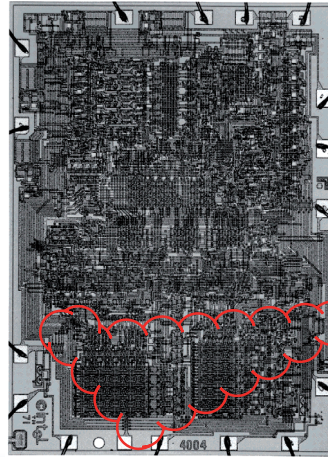
- ❑ Che cosa è cambiato nel progetto di circuiti digitali rispetto al passato e perchè è divenuto più complesso.
- ❑ Cambierà in futuro e come?

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

6

Intel 4004 (primo microprocessore, 1971)



- 1000 transistor
- 1 MHz di frequenza di clock
- Struttura in logica sparsa con alcuni elementi regolari (register file)

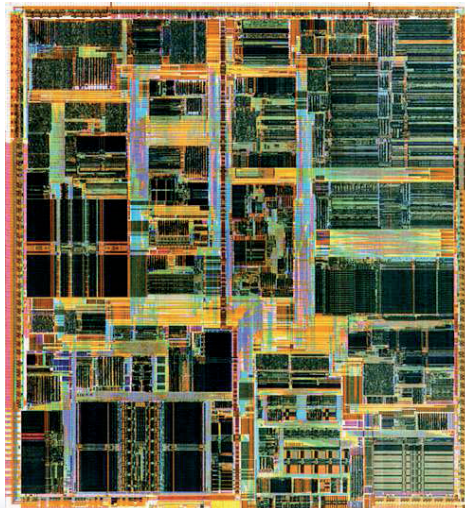
"progettato a mano"

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

9

Intel Pentium IV (2000)



Struttura Gerarchica

Insieme di moduli costituiti a loro volta da celle elementari

Ri-uso delle celle

Strumenti CAD per

• *Simulazione*

• *Sintesi*

• *Verifica*

• *Generazione layout*

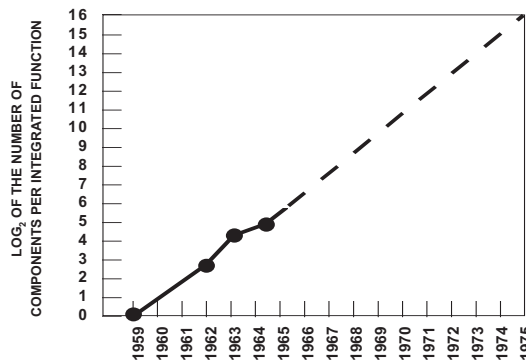
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

10

La legge di Moore "originale"

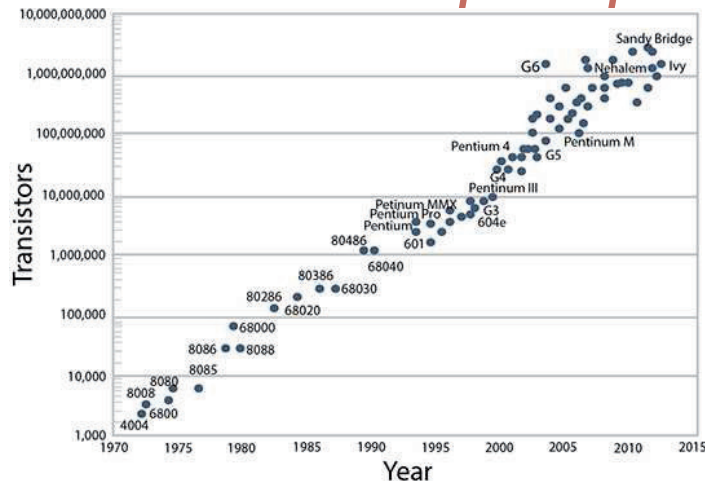
E' una legge "economica" che aiuta a fare progetti verso il futuro (la progettazione infatti richiede tempo e bisogna prevedere già quale sarà lo stato dell'arte al momento di lanciare sul mercato l'oggetto che progettiamo oggi).
 Fondamentale avere delle previsioni quando in economia ci si trova a lavorare con leggi esponenziali come questa (il grafico è in scala log)



Electronics, April 19, 1965.

Questo materiale è tratto da Digital Integrated Circuits

Numero di transistori per chip

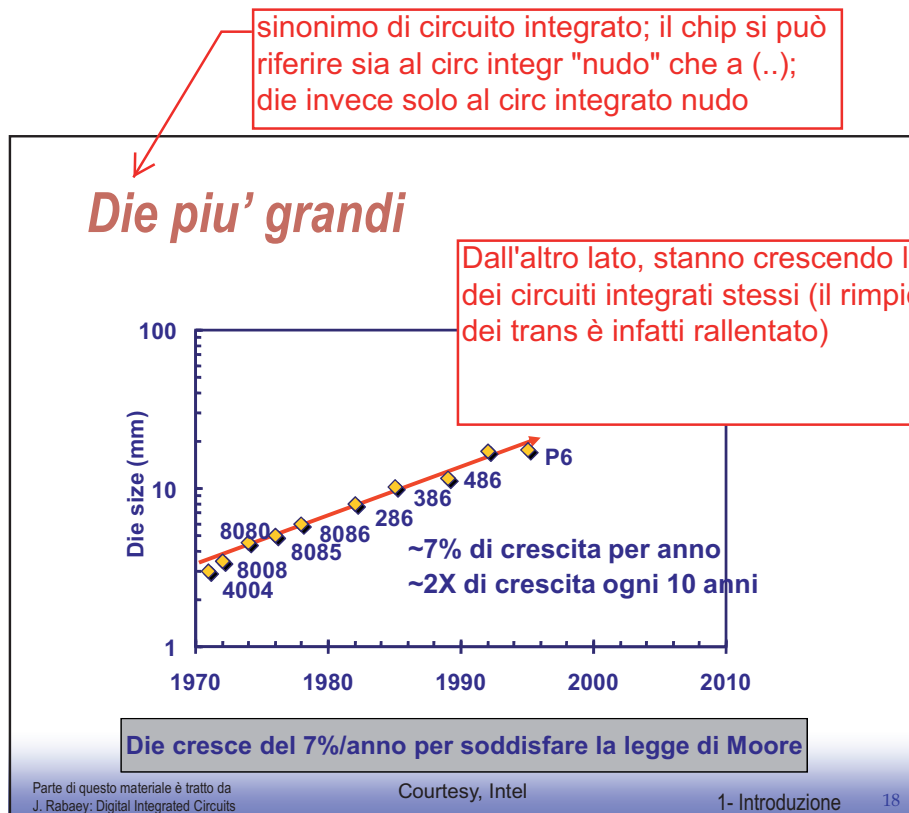
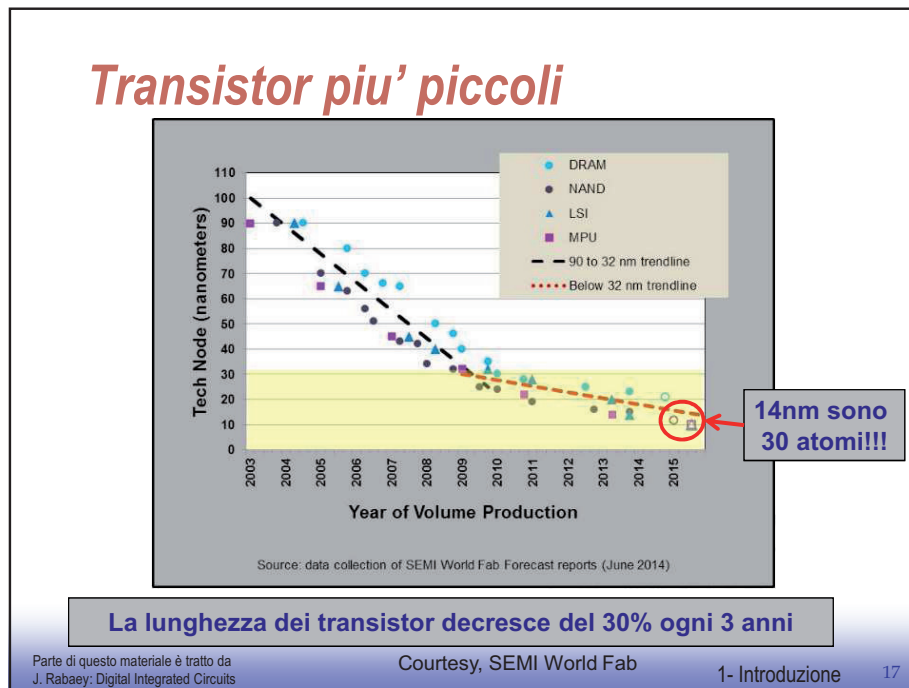


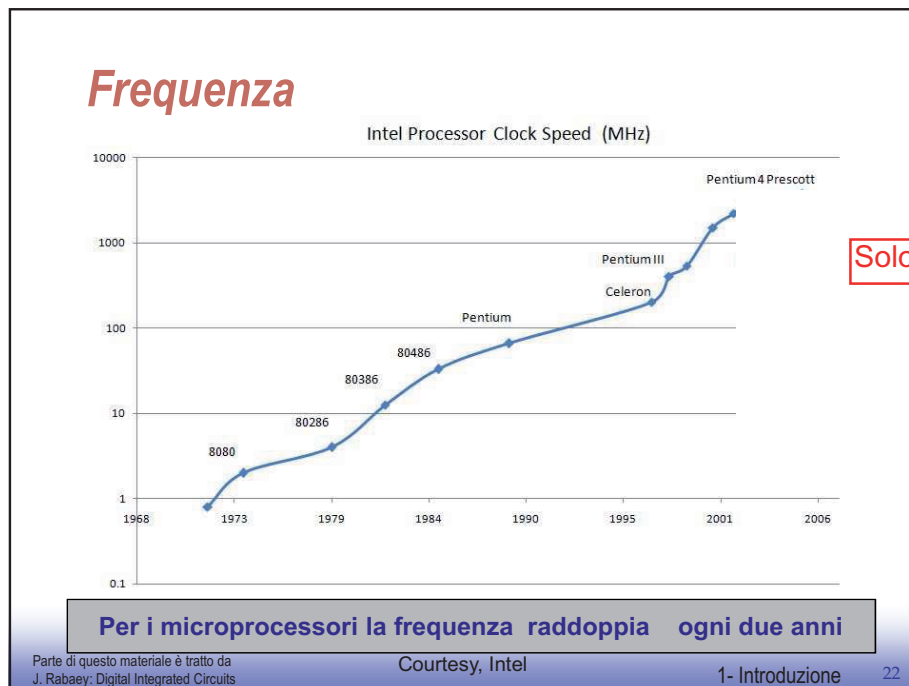
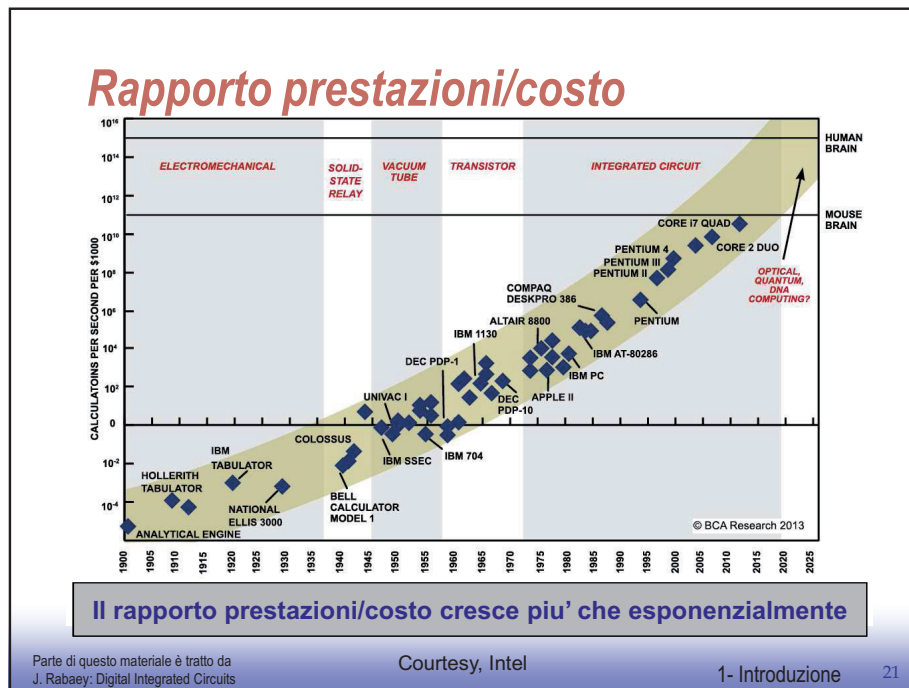
Si cerca di rimanere proprio su questa linea, ne troppo sopra, ne troppo sotto. Se si salisse troppo sopra infatti aumenterebbero i costi, mentre l'ambiente (il SW) non sarebbe ancora in grado di sfruttarne i benefici

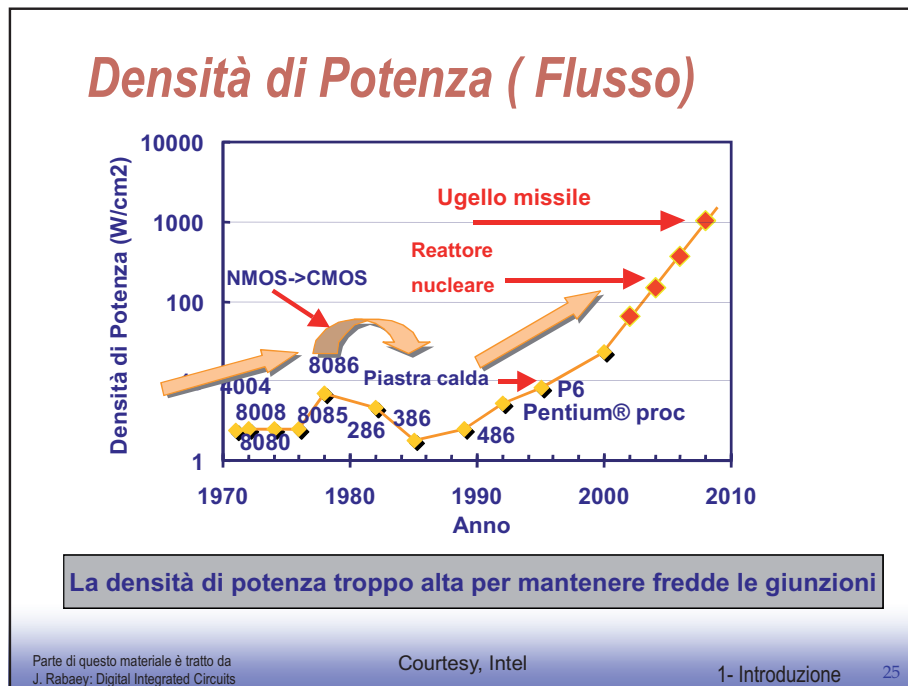
Per microprocessori il numero di transistor raddoppia ogni 2 anni

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Courtesy, University of Wisconsin





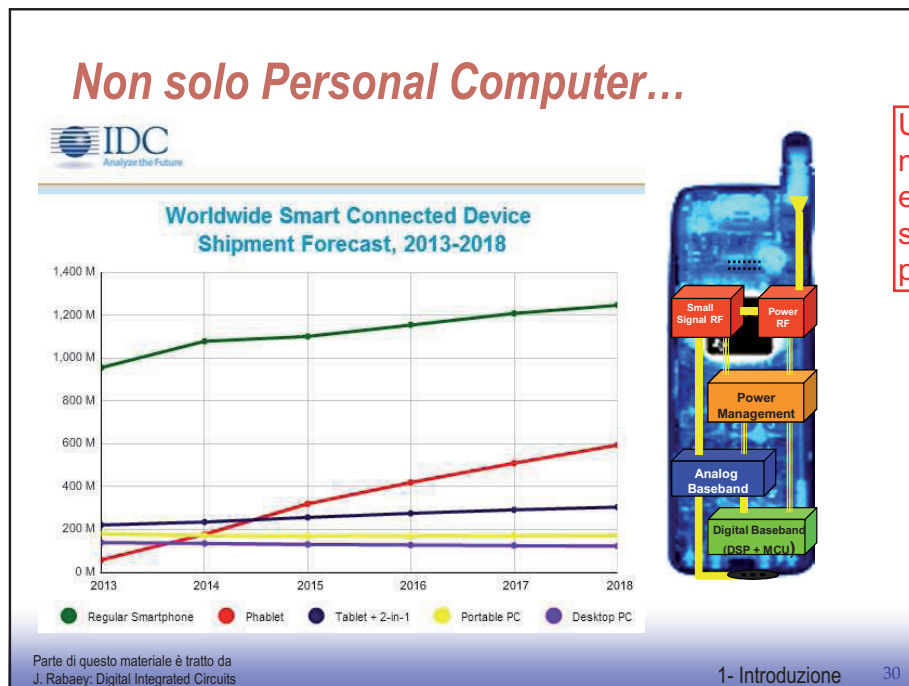


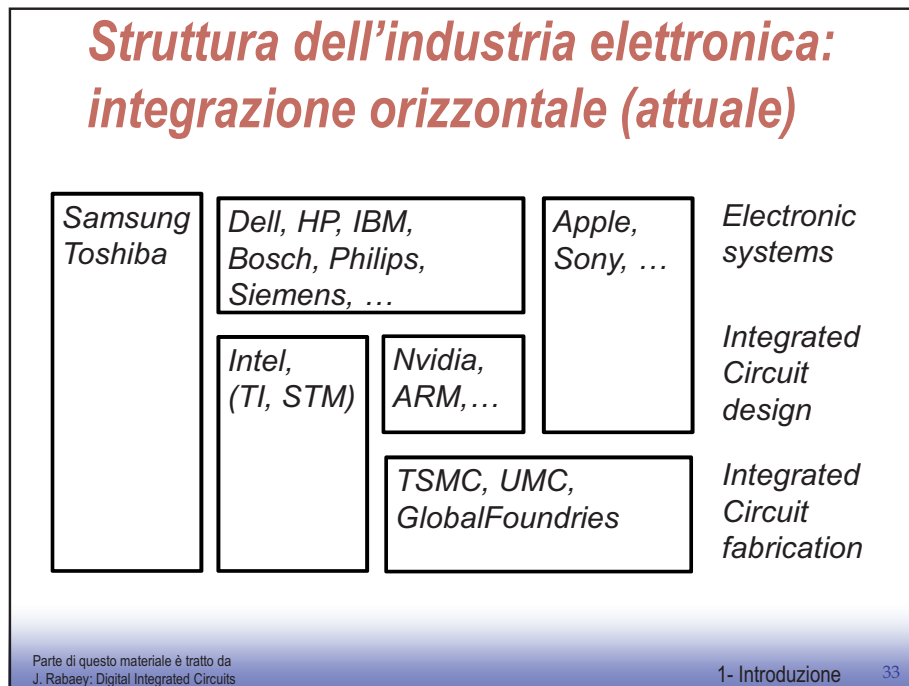
Riduzione del consumo di potenza

- ❑ Riduzione della tensione per diminuire potenza
- ❑ Maggiore integrazione per ridurre consumo di comunicazione
- ❑ Limite alla frequenza
 - Parallelismo per mantenere throughput

Il problema è passato ai Softweristi che devono ora gestire più processori che lavorano in contemporanea

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits 1- Introduzione 26

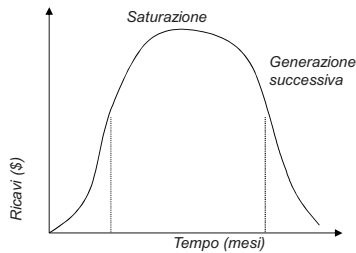




Quando sono esplosi i costi di fabbricazione c'è stata una maggiore diversificazione. (ank se alcune industrie hanno iniziato a fare anche progettazione di circuiti integrati)



Time-to-market (o Time-to-money)



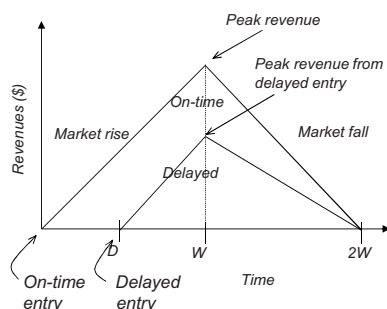
- Tempo necessario per sviluppare un prodotto fino al punto in cui può essere venduto (con profitto)
- Finestra di mercato
 - Intervallo in cui le vendite sono massime
- Time-to-market tipico: 6-8 mesi
- I ritardi costano molto...

si parla di mesi - max 2 anni

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

1- Introduzione 37

Perdite dovute a ritardi



- Modello semplificato
 - Vita totale = $2W$, picco a W
 - Ingresso nel mercato determina la base del triangolo
 - L'area determina i ricavi
- Perdita
 - Differenza tra le aree dell'introduzione a tempi diversi (senza cambiare quella delle generazioni progettate dalla competizione)

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

1- Introduzione 38

Costo non-ricorrente e unitario

- Costi:
 - Costo unitario: il costo di **produrre** ogni unita' del prodotto, escludendo NRE
 - Costo non-ricorrente (NRE): il costo di **progetto** del prodotto
 - $Costo\ totale = costo\ NRE + costo\ unitario * \#\ di\ unita'$
 - $Costo\ per\ prodotto = costo\ totale / \#\ di\ unita'$
 $= (costo\ NRE / \#\ di\ unita') + costo\ unitario$

- Esempi
 - $NRE = \$2000, unitario = \100
 - Per 10 unita'
 - $Costo\ totale = \$2000 + 10 * \$100 = \$3000$
 - $Costo\ per\ prodotto = \$2000/10 + \$100 = \$300$

Ammortizzare l'NRE su 10 unita' aggiunge \$200 per unita'

tra uno e cinque milioni di dollari, il costo di progetto per circ integrato

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

1- Introduzione 41

Costo non-ricorrente e unitario

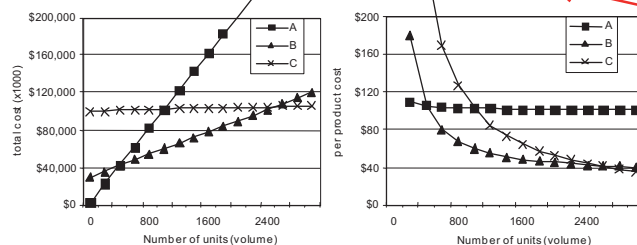
- La migliore tecnologia dipende dal numero di prodotti venduti

- Tecnologia A (Software+CPU): $NRE = \$2,000, unit = \100
- Tecnologia B (FPGA): $NRE = \$30,000, unit = \30
- Tecnologia C (ASIC): $NRE = \$100,000, unit = \2

← Pago chi vende la CPU

← l'FPGA costa meno

Qui metto solo i pezzi che mi servono (ormai si usa solo per 1 mln+ di pezzi)



- Anche considerare Time-to-market (correlato a NRE)

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

1- Introduzione 42

Vanno tenuti presente anche i tempi di sviluppo (time to market)

Alcune applicazioni si riescono fare, però solo in ASIC (es modem cellulare), quindi talvolta si è costretti

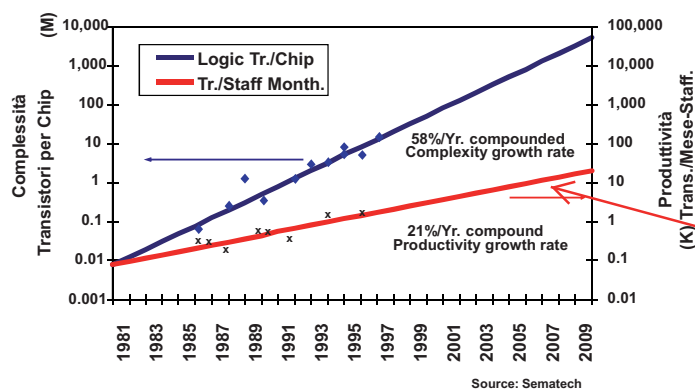
Sommario

- Legge di Moore
- Aspetti economici
 - Costi di progetto
 - Costi di fabbricazione
- Richiami su preprogetto digitale, rumore e consumo di potenza

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione 45

Tendenza della produttività



Aumento di produttività legato all'utilizzo di calcolatori

La complessità cresce più velocemente della produttività'

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Courtesy, ITRS Roadmap

1- Introduzione 46

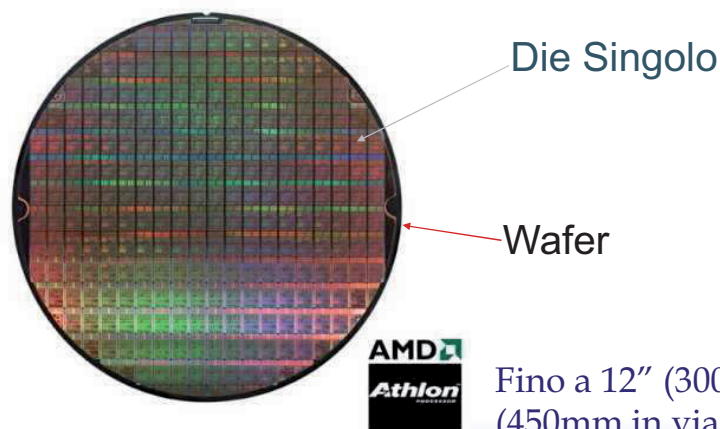
Sommario

- Legge di Moore
- Aspetti economici
 - Costi di progetto
 - **Costi di fabbricazione**
- Richiami su preoprogetto digitale, rumore e consumo di potenza

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione 49

Costo di un die



Se raddoppio l'area del die, ne metto la metà sul wafer e quindi sembrerebbe che (area x 2 = costo x 2), ma in verità ci sono anche i difetti che finiscono a caso sul wafer... se il chip è più grande, ha molte più probabilità di essere non funzionante. Si dice addirittura che (costo = area⁴) >>>RIDURRE L'AREA E' FONDAMENTALE!!

Fino a 12" (300mm)
(450mm in via di introduzione)

From <http://www.amd.com>
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione 50

Resa: % di circuiti funzionanti

Alcuni esempi (1994)

Chip	Metal layers	Line width	Wafer cost	Def./cm ²	Area mm ²	Dies/wafer	Yield	Die cost
386DX	2	0.90	\$900	1.0	43	360	71%	\$4
486 DX2	3	0.80	\$1200	1.0	81	181	54%	\$12
Power PC 601	4	0.80	\$1700	1.3	121	115	28%	\$53
HP PA 7100	3	0.80	\$1300	1.0	196	66	27%	\$73
DEC Alpha	3	0.70	\$1500	1.2	234	53	19%	\$149
Super Sparc	3	0.70	\$1700	1.6	256	48	13%	\$272
Pentium	3	0.80	\$1500	1.5	296	40	9%	\$417

"vecchio integrato"

"ultimo integrato"

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

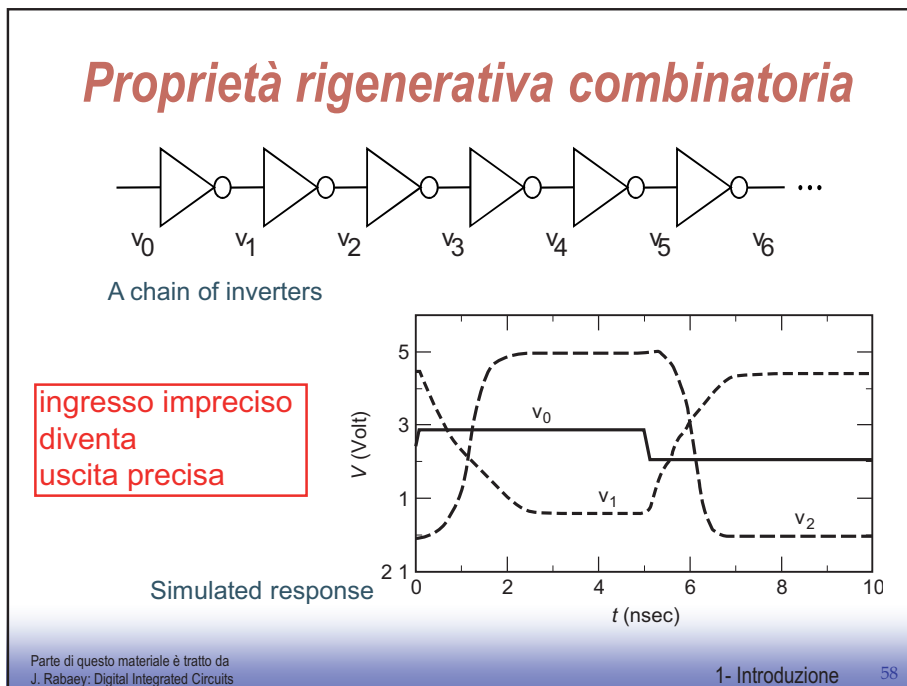
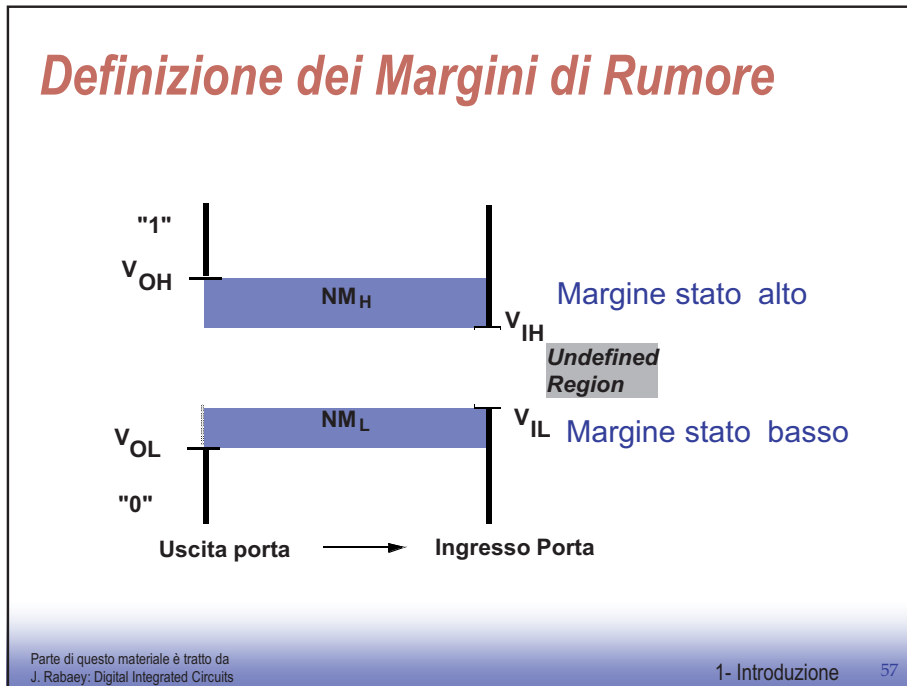
1- Introduzione 53

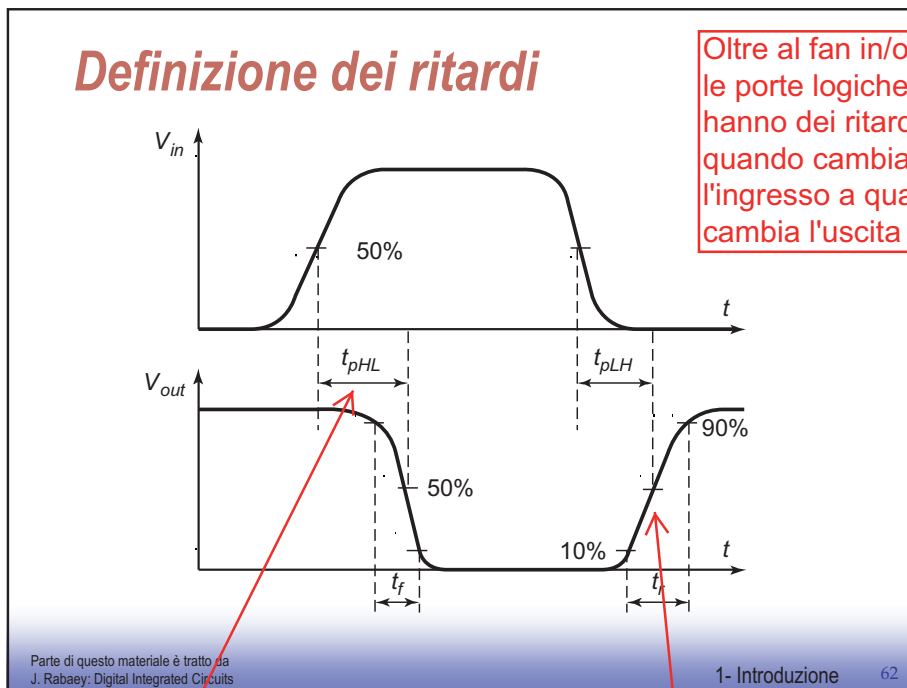
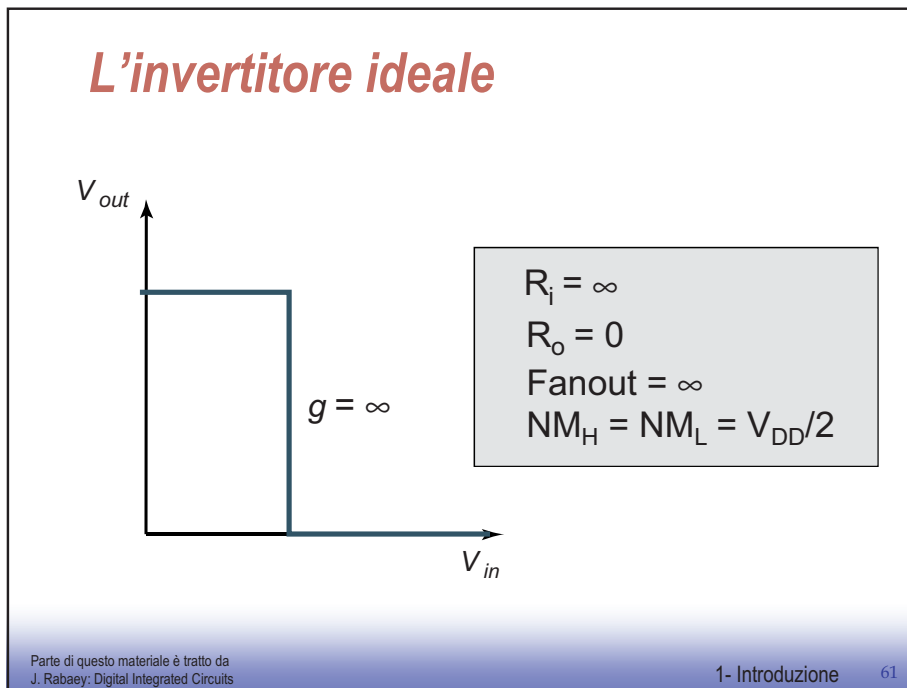
Sommario

- ❑ Legge di Moore
- ❑ Aspetti economici
 - Costi di progetto
 - Costi di fabbricazione
- ❑ Richiami su preprogetto digitale, rumore e consumo di potenza

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

1- Introduzione 54





effetti del ritardo fan parte proprio delle prestazioni del circuito

Questi tsalita/tdiscesa possono portare a:
 -non funzionare
 -consumo eccessivo

Mod by Giorgio Fissore, pag 31

Energia and Energia x Ritardo

Power-Delay Product (PDP) =

$$E = \text{Energy per operation} = P_{av} \times t_p$$

Energy-Delay Product (EDP) =

$$\text{quality metric of gate} = E \times t_p$$

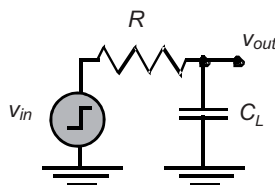
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

65

Rete RC del 1° ordine

Energia consumata in una commutazione.



$$E_{0 \rightarrow 1} = \int_0^T P(t) dt = V_{dd} \int_0^T i_{supply}(t) dt = V_{dd} \int_0^T C_L dV_{out} = C_L \cdot V_{dd}^2$$

$$E_{cap} = \int_0^T P_{cap}(t) dt = \int_0^T V_{out} i_{cap}(t) dt = \int_0^{V_{dd}} C_L V_{out} dV_{out} = \frac{1}{2} C_L \cdot V_{dd}^2$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

1- Introduzione

66

Microelettronica Digitale

I Dispositivi

Appunti di Giorgio Fissore
Disponibili in centro stampa

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

1

Dispositivi

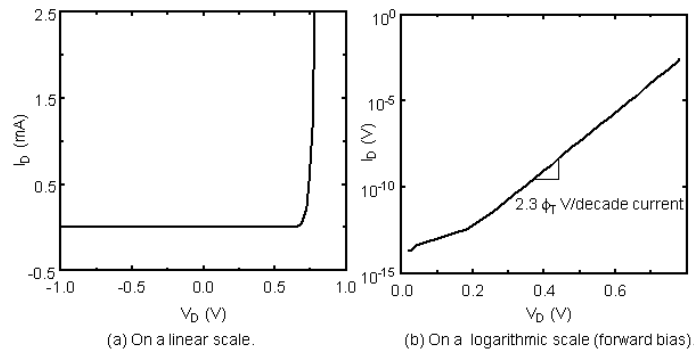
- Presentazione intuitiva dispositivi**
- Equazioni base dei dispositivi**
- Modelli per l'analisi manuale**
- Modelli per la simulazione SPICE**
- Analisi degli effetti secondari e deep-sub-micron**

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

2

Corrente del diodo



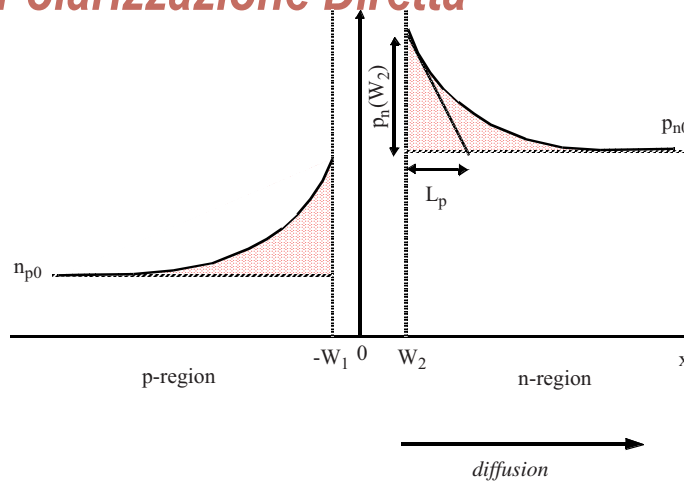
$$I_D = I_S (e^{V_D/\phi_T} - 1)$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

5

Polarizzazione Diretta



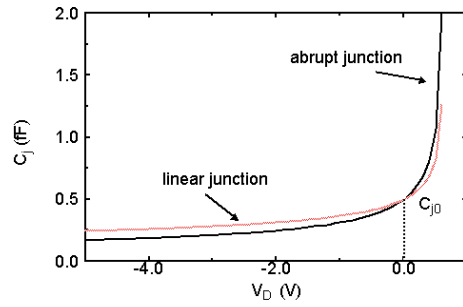
Tipicamente da evitare nei circuiti digitali

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

6

Capacità della giunzione (1)



$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

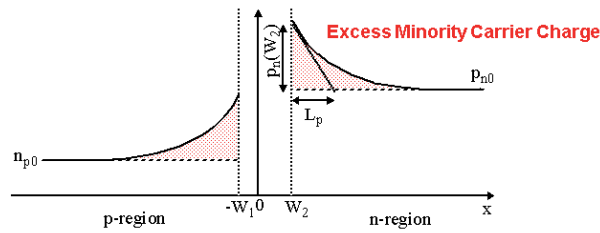
$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

9

Capacità di Diffusione



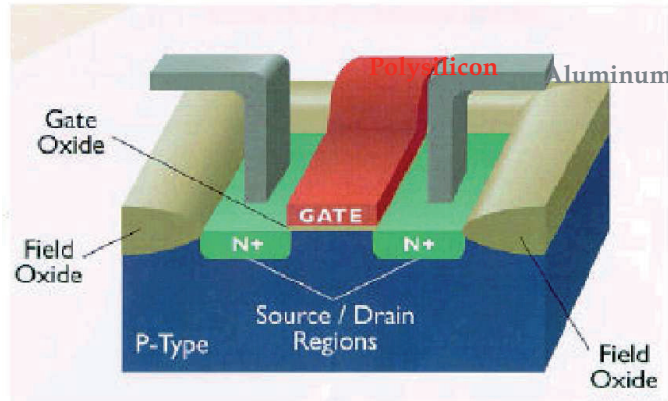
$$C_d = \frac{dQ_D}{dV_D} = \tau_T \frac{dI_D}{dV_D} \approx \frac{\tau_T I_D}{\phi_T}$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

10

Il transistore MOS

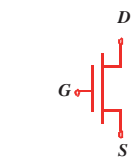


Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

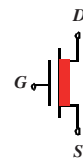
2-Dispositivi

13

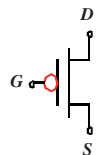
Transistori MOS - Tipi e simbologia



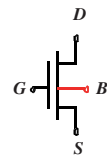
NMOS Accrescimento



NMOS Svuotamento



PMOS Accrescimento



NMOS con Contatto di substrato

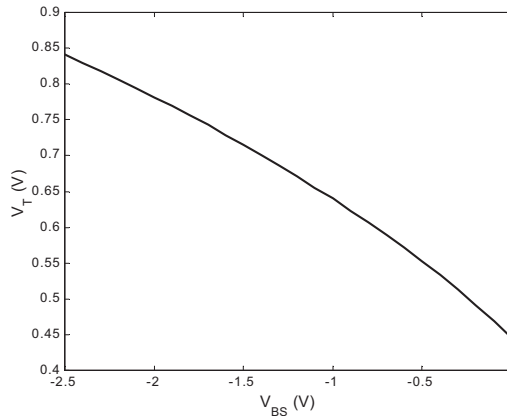
Tipicamente gli n-mos hanno R_{on} minore e quindi pilotano meglio la corrente.
Per il resto i due mos si differenziano solo per la tensione che li apre/chiede

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

14

Effetto Body



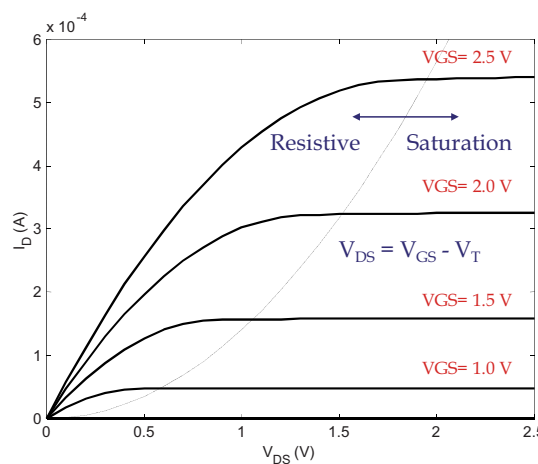
La V_{th} varia al variare della tensione tra il substrato e il source.
 Ciò viene utilizzato principalmente per avere:
 -o transistor con basse correnti (poco consumo)
 -o transistor veloci (consumi più alti)
 con questi parametri modificabili dinamicamente.
 (non viene usato con lo scopo di variare dinamicamente la V_{th})

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

17

Relazione Tensione-Corrente canale lungo



L'effetto di 0.5 V di differenza è più marcato man mano che si sale in questo grafico.

Quadratic Relationship

V_{soglia} = quando si ha una variazione apprezzabile dallo zero (che cmq non si raggiunge mai per le correnti di perdita)

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

Noi ragioniamo pensando che non possiamo intervenire sulle caratteristiche fisiche dei dispositivi, ma solo giocando con le tensioni

Relazione Tensione-Corrente Canale Lungo

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Qui dipende da Vds

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{k'_n W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Channel Length Modulation

Qui dipende da Vgs (lieve dipendenza da Vds dovuta agli effetti parassiti)

Se non possiamo controllare la Vbulk, dobbiamo fare transistor più corti (fino a limiti fisici) e larghi (fino a costi troppo alti) per aumentare Id

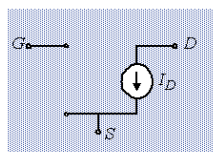
Transistor troppo piccoli però diventano lenti perchè possono erogare meno corrente (se W è piccolo, Ron è alta)

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

21

Modello per l'analisi manuale



$$V_{DS} > V_{GS} - V_T$$

$$I_D = \frac{k'_n W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$$V_{DS} < V_{GS} - V_T$$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

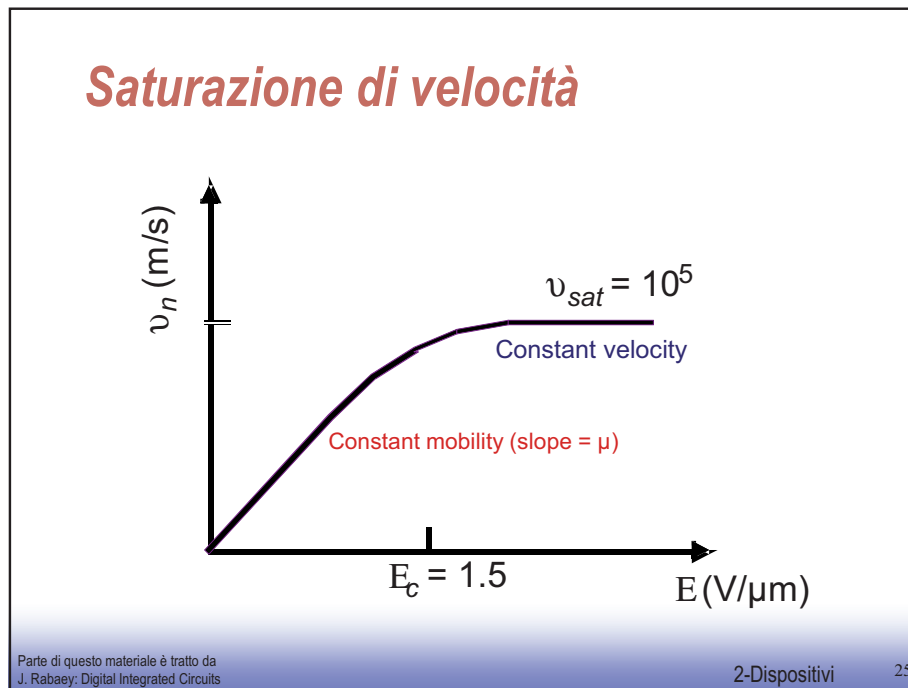
with

$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right)$$

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

22



Saturazione di velocità

$$v = \frac{\mu_n E}{1 + E/E_c} \quad \text{per } E \leq E_c$$

$$v = v_{sat} \quad \text{per } E \geq E_c$$

- E' una relazione approssimata e conservativa
- Per continuità $E_c = 2v_{sat} / \mu_n$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi 26

$$I_D \left(1 + \frac{1}{E_c} \cdot \frac{d\phi}{dz} \right) = \mu W C_{ox} (V_G - V_T - \phi(z)) \frac{d\phi}{dz}$$

e separando le variabili otteniamo l'equazione:

$$I_D dz = \left[\mu W C_{ox} (V_G - V_T - \phi) - I_D \frac{1}{E_c} \right] d\phi$$

che possiamo integrare

$$\int_0^L I_D dz = \int_0^{V_{DS}} \left[\mu W C_{ox} (V_G - V_T - \phi) - I_D \frac{1}{E_c} \right] d\phi$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

29

Otteniamo quindi:

$$I_D L = \mu W C_{ox} \left[(V_G - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] - I_D \frac{V_{DS}}{E_c}$$

Da cui

$$I_D = \frac{\mu \frac{W}{L} C_{ox} \left[(V_G - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]}{1 + \frac{V_{DS}}{LE_c}}$$

Over il termine a numeratore rappresenta la corrente in assenza di saturazione di velocità

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

30

Sviluppando i prodotti, isolando i termini con V_{Dsat} ed eliminando i termini comuni si ha:

$$V_{DSat}(V_G - V_T + LE_c) = (V_G - V_T)LE_c$$

Da cui

$$V_{DSat} = \frac{(V_{GS} - V_T)}{1 + \frac{(V_{GS} - V_T)}{LE_c}}$$

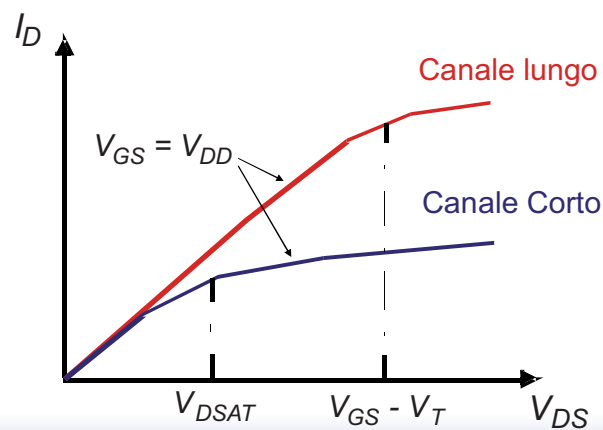
Per $V_{GS} - V_T \gg LE_c$ si ha $V_{DSat} = LE_c$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

33

Confronto



Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

34

Modello semplificato

Assunzioni

- La velocità satura bruscamente a E_c

$$v = \mu_n E \quad \text{per } E < E_c$$

$$v = v_{\text{sat}} \quad \text{per } E > E_c$$

- $V_{\text{DSAT}} = LE_c$

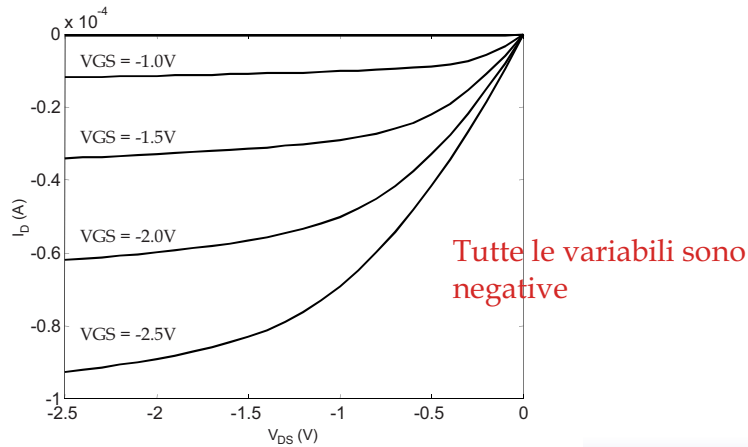
- $E_c = v_{\text{sat}} / \mu_n$

Modello semplificato (2)

- Per tensioni minori di V_{DSAT} la corrente rimane quella del modello tradizionale

- Per tensioni maggiori rimane fissa al valore ottenuto sostituendo V_{DSAT} nel modello in regione triodo

Transistore pMOS



Attenzione: non abbassare la V_{th} per aumentare la I_d oltre un certo limite, perchè sennò si aumentano anche le correnti di perdita!

Qualitativamente simili, ma quantitativamente diverse: la corrente pilotabile è circa 1.5 volte minore rispetto agli n-mos (una volta era circa 3 volte peggiore, ma la disparità si sta assottigliando)

Modello del Transistore per analisi manuale

Table 3.2 Parameters for manual model of generic 0.25 μm CMOS process (minimum length device).

	V_{T0} (V)	γ ($\text{V}^{0.5}$)	V_{DSAT} (V)	k' (A/V^2)	λ (V^{-1})
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

Transistore come interruttore

Table 3.3 Equivalent resistance R_{eq} ($W/L = 1$) of NMOS and PMOS transistors in 0.25 μm CMOS process (with $L = L_{min}$). For larger devices, divide R_{eq} by W/L .

V_{DD} (V)	1	1.5	2	2.5
NMOS (k Ω)	35	19	15	13
PMOS (k Ω)	115	55	38	31

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

45

Calcolo Resistenza equivalente

$$R_{eq} = \frac{-1}{V_{DD}/2} \int_{V_{DD}}^{V_{DD}/2} \frac{V}{I_{DSat}(1+\lambda V)} dV = K \int_{V_{DD}}^{V_{DD}/2} \frac{V}{I_{DSat}(1+\lambda V)} dV \quad \text{ove} \quad K = \frac{-2}{\lambda I_{DSat} V_{DD}}$$

Da cui integrando si ottiene:

$$R_{eq} = K \left[V - \frac{1}{\lambda} \ln(1+\lambda V) \right]_{V_{DD}}^{V_{DD}/2}$$

Ricordando che : $\ln(1+x) = x - \frac{x^2}{2} + \frac{x^3}{3} + \dots$

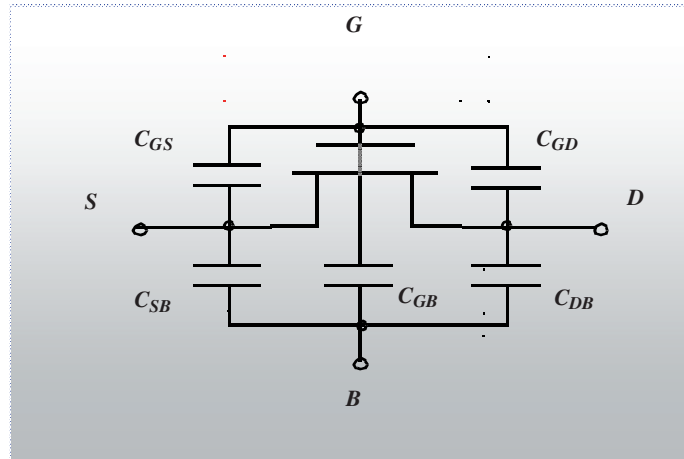
ed arrendandosi al termine del 3° ordine otteniamo un'espressione approssimata

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

46

Capacità della struttura MOS



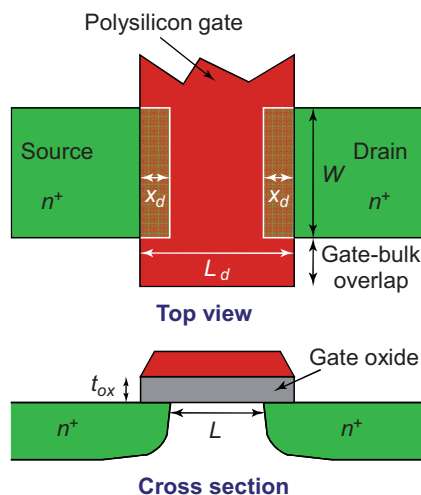
Alcune capacità non servono per la creazione del transistor e possiamo rimpicciolirle a piacere. La C_{ox} (C_g) invece interviene direttamente nelle equazioni di funzionamento (grazie a lei si forma il canale), e se la abbassiamo riduciamo anche la I_d max.

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

49

La capacità di gate



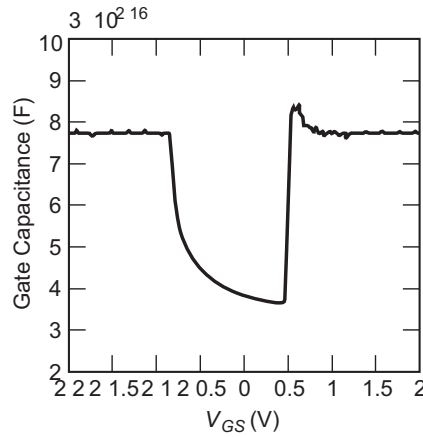
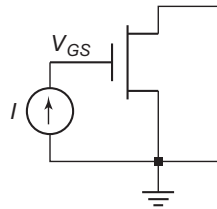
Resistenza e Capacità vengono ridotte minimizzando la lunghezza (useremo infatti praticamente sempre transistor corti)

$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

La larghezza va invece bilanciata, perchè abbassarla porta ad abbassare la C_g (positivo), ma aumenta la R_{on}

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Misura della Capacità di gate



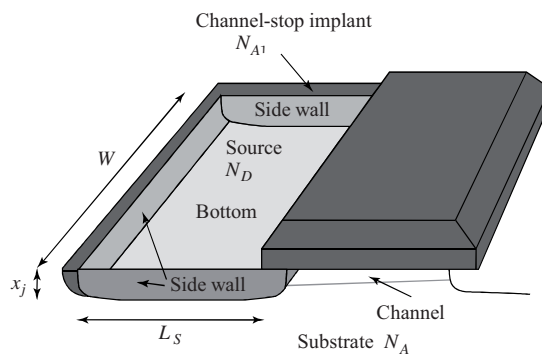
Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

53

Capacità delle regioni diffuse

Esattamente come nel caso del canale, anche nel caso del source e del drain si cercherà di restringere il più possibile la lunghezza (si ridurrà in maniera diversa rispetto al canale poiché i parametri tecnologici sono diversi). Anche qui, però la larghezza andrà bilanciata



$$C_{diff} = C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER$$

$$= C_j L_S W + C_{jsw} (2L_S + W)$$

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

2-Dispositivi

54

Calcolo Capacità per drogaggio uniforme

Per una giunzione one-sided

$$Q = (2q\epsilon(\phi_0 + V)N)^{\frac{1}{2}}$$

Derivando l'espressione si ottiene la capacità di piccolo segnale per una data V

$$C = \frac{dQ}{dV} = \frac{1}{2}(2q\epsilon N)^{\frac{1}{2}}(\phi_0 + V)^{-\frac{1}{2}} = \left(\frac{q\epsilon N}{2(\phi_0 + V)} \right)^{\frac{1}{2}}$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

57

La capacità C_{j0} per polarizzazione nulla è data da:

$$C_{j0} = \left(\frac{q\epsilon N}{2\phi_0} \right)^{\frac{1}{2}} \quad \text{da cui} \quad (q\epsilon N)^{\frac{1}{2}} = C_{j0}(2\phi)^{\frac{1}{2}}$$

la capacità equivalente è definita come:

$$\frac{\Delta Q}{\Delta V} = k_{q\epsilon} C_{j0}$$

$$\frac{\Delta Q}{\Delta V} = \frac{Q(V_H) - Q(V_L)}{V_H - V_L} = \frac{(2q\epsilon N(\phi_0 + V_H))^{\frac{1}{2}} - (2q\epsilon N(\phi_0 + V_L))^{\frac{1}{2}}}{V_H - V_L} =$$

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

58

Transistore MOS sub-micron

- ❑ Variazioni di soglia
- ❑ Conduzione sottosoglia
- ❑ Resistenze Parassite

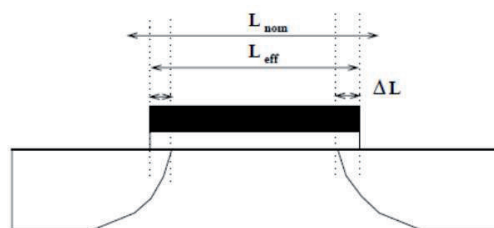
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

61

Lunghezza effettiva

- Le dimensioni nominali cambiano durante il processo di fabbricazione (sottodiffusione del drogante)



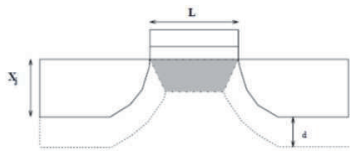
- Queste variazioni dipendono dalle modalità di realizzazione delle regioni di source e drain (diffusione, impiantazione, annealing)

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

Questo effetto si nota sempre di più man mano che le dimensioni scalano. La lunghezza del canale viene decisa utilizzando il gate come maschera, e sparando le cariche fisse che andranno a drogare S e D; alcune di esse però diffondono cmq sotto il gate, ed abbiamo quindi una lunghezza di canale sempre un po' inferiore a quanto atteso (lunghezza del gate).

- Uno semplice (Yao) assume una forma trapezoidale della regione di carica spaziale



$$d = \sqrt{\frac{2\epsilon(2\Phi_{Fp} + V_{SB})}{qN_A}}$$

- Sa semplici considerazioni geometriche avremo quindi

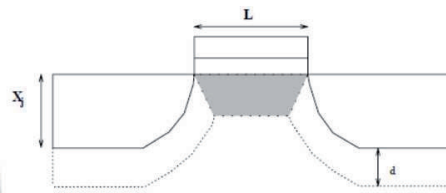
$$\frac{Q'_B}{Q_B} = 1 - \frac{X_j}{L} \left(\sqrt{1 + \frac{2d}{X_j}} - 1 \right)$$

- Da cui:

$$\Delta V_T = -\frac{X_j}{L} \left(\sqrt{1 + \frac{2d}{X_j}} - 1 \right) \cdot \gamma \sqrt{2\Phi_{Fp} + V_{SB}}$$

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits 2-Dispositivi 65

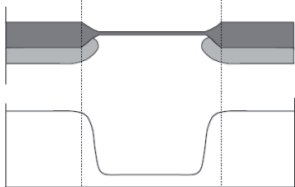
- L'effetto canale corto dipende dal rapporto tra L e la profondità di giunzione Xj
- Aumenta al diminuire di L e diminuisce all'aumentare di Cox
- Se abbiamo VDS > 0 in prossimità del drain l'ampiezza della regione di carica spaziale è maggiore e maggiore è l'effetto canale corto
- Si parla in tal caso di Drain Induced Barrier Lowering (DIBL) che può portare al limite all'unione delle due regioni di carica spaziale



Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits 2-Dispositivi 66

- Avremo in questo caso

$$\frac{Q''_B}{Q_B} = 1 + \alpha \frac{\pi}{2} \cdot \frac{d}{W}$$
- e quindi un aumento della tensione di soglia. Il coefficiente correttivo α tiene conto di:


 - Accrescimento dell'ossido a becco d'uccello
 - Diffusione laterale del drogante di campo
- Oltre a influenzare la soglia questi fattori portano anche ad una riduzione ΔW della larghezza effettiva del canale

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits 2-Dispositivi 69

Mobilità reale

$$\mu_{sup} = \frac{1}{2} \mu_{bulk}$$

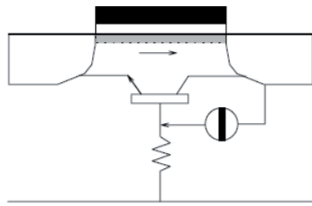
$$\mu(T_2) = \mu(T_1) \cdot \left(\frac{T_2}{T_1}\right)^{-M} \quad M = 1.6 \div 2$$

$$\mu = \frac{\mu_0}{1 + \theta(V_{GS} - V_{TE})}$$

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits 2-Dispositivi 70

Breakdown giunzioni

- In una tecnologia CMOS digitale il breakdown statico delle giunzioni è molto al di fuori delle condizioni operative
- Esiste però lo SNAPBACK, un fenomeno di breakdown facilitato dalla corrente di drain ed accelerato dall'effetto transistor



- Potenzialmente distruttivo
- Degradazione dei parametri

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

73

Elettroni Caldi

- Con l'aumentare dei campi elettrici nella regione di drain aumenta anche l'energia cinetica degli elettroni
- Una certa frazione acquista energia sufficiente per superare la barriera di potenziale dell'ossido
 - Corrente di gate non nulla (corrente di perdita significativa del gate)
 - Usato per EPROM
- Una certa frazione ha invece energia sufficiente per raggiungere stati trappola nell'ossido e dare luogo a distribuzioni di carica
 - Cambiamento di V_T nel tempo (alzano V_t rallentando quindi il transistor)
 - Campi elettrici localizzati -> Facilita il breakdown degli ossidi

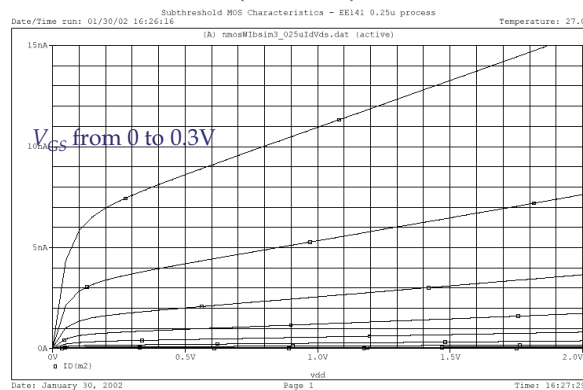
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

74

Relazione $I_D - V_{DS}$ sottosoglia

$$I_D = I_0 e^{\frac{qV_{GS}}{nkT}} \left(1 - e^{-\frac{qV_{DS}}{kT}} \right) (1 + \lambda \cdot V_{DS})$$



Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

77

Problemi causati dal canale corto (meno di 20nm)

- Riduzione della tensione di soglia (DIBL) causa:
 - aumento del consumo di **potenza statica**
 - Peggioramento delle caratteristiche dinamiche
- Al limite, il transistor non si spegne piu'
- Idea: raddoppiare il gate
(per aumentare la capacita' di gate)

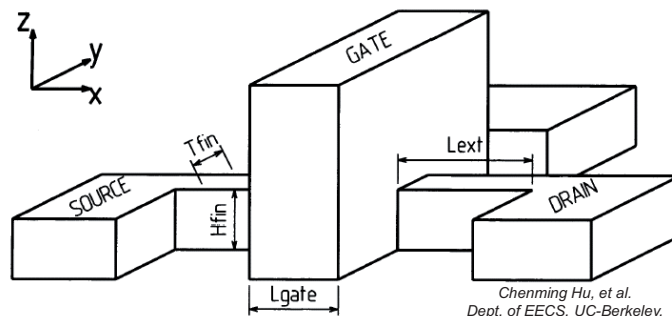
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

2-Dispositivi

78

Geometrie FinFET

- Altezza >> spessore
- $L_{\text{eff}} = L_{\text{gate}} + 2 \times L_{\text{ext}}$
- $W_{\text{eff}} = T_{\text{fin}} + 2 \times H_{\text{fin}}$



Parte di questo
J. Rabaey: Dig

Chenming Hu, et al.
Dept. of EECS, UC-Berkeley,
IEDM, p251-254, 2002

ivi

81

Caratteristiche FinFET

- N-FinFET e P-FinFET hanno caratteristiche molto simili (30% di differenza)
- Non troppo diversi da MOS classico....

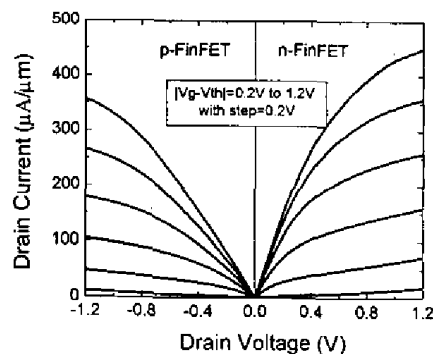


Fig.5 Id-Vd characteristics of 10nm gate length CMOS FinFET transistors.

BAD: questi trans non vanno quasi mai in saturazione, ma lavorano in zona resistiva (Ron alta)
GOOD: le correnti di Drain sono più simili, e ciò è ottimo (sono infatti usati)

Chenming Hu, et al.
Dept. of EECS, UC-Berkeley,
IEDM, p251-254, 2002

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Z-DISPOSITIVI

82

Microelettronica Digitale

Tecnologia di fabbricazione

Appunti di Giorgio Fissore
Disponibili in centro stampa

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

1

Tecnologie

*Il PROBLEMA : realizzare ed isolare sullo stesso substrato
i dispositivi nMOS e PMOS richiesti*

Tecnologie di tipo BULK

p-Well (substrato n con "pozzi" di tipo p)

n-Well (substrato p con "pozzi" di tipo n)

Twin-Tub ("vasche" p ed n su substrato)

Tecnologie Silicon on Insulator

Substrato Isolante

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

2

Processo CMOS twin tub (circa 2000)

I fili di interconnessione aumentano di livello (livelli più bassi di tungsteno, più sopra rame) *rame va tenuto lontano dal silicio perchè finirebbe per drogarlo involontariamente causando malfunzionamenti (anche se alla fine le interconnessioni di Cu finiscono sempre per degradare il circuito)

Miglior meccanismo di isolamento

Processo CMOS a doppio Well isolato con Trincea

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione 5

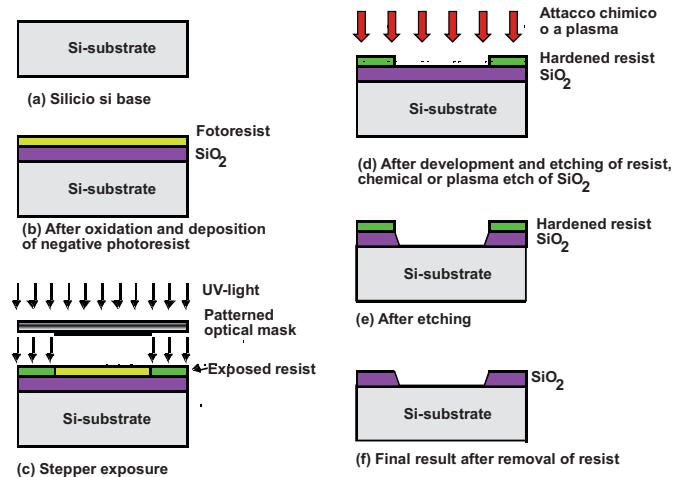
Circuito Progettato

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione 6

COSTI NON RICORSIVI
 -70% = tempo di progetto
 -le maschere (sempre più piccole e sempre di più -xk più livelli-) ricoprono una parte sempre più alta dei rimanenti NRC -e questo è il motivo per cui i SW CAD per progettare circuiti embedded sono tra i più costosi-

“Stampa litografica” SiO₂

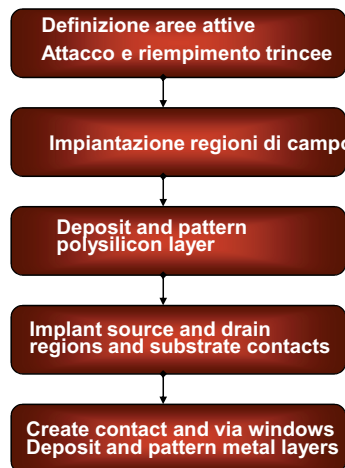


Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

9

Principali passi processo CMOS



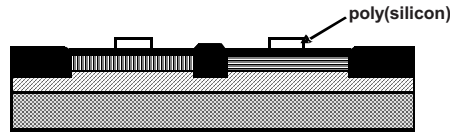
Può essere utile lasciare delle porte logiche inutilizzate; in questa maniera, in caso di errori di progettazione, può essere possibile cambiare solo una maschera delle interconnessioni per legarle nella maniera desiderata.

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

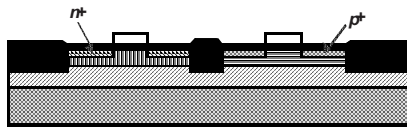
Processo di Fabbricazione

10

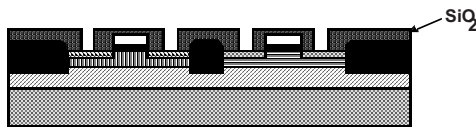
Passi del processo CMOS



(g) Dopo la deposizione del poly ed il suo attacco selettivo



(h) After n^+ source/drain and p^+ source/drain implants. These steps also dope the polysilicon.



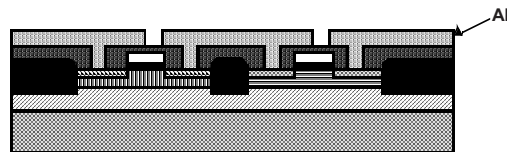
(i) After deposition of SiO_2 insulator and contact hole etch.

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

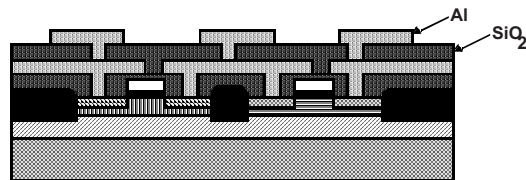
Processo di Fabbricazione

13

Passi del processo CMOS



(j) After deposition and patterning of first Al layer.



(k) After deposition of SiO_2 insulator, etching of via's, deposition and patterning of second layer of Al.

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

14

Due deposizioni e due attacchi (drogaggi p ed n) con ioni a cariche opposte.

Realizzazione FINFET

(a) SiN is deposited as a hard mask, SiO₂ cap is used to relieve the stress.

(b) Si fin is patterned

(c) A thin sacrificial SiO₂ is grown

(d) The sacrificial oxide is stripped completely to remove etch damage

(e) Gate oxide is grown

(f) Poly-Si gate is formed

10 nm gate length, 12 nm fin width

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Chenming Hu, et al. Dept. of EECS, UC-Berkeley, IEDM, p251-254, 2002

17

Processo di Fabbricazione

Il double gate è teoricamente più facile da realizzare, ma fare uno strato sotto il canale drogato nella maniera opposta è risultato difficile >> più facile alla fine avere tre canali che due

Realizzazione FINFET

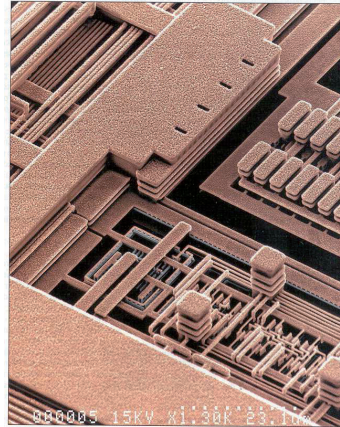
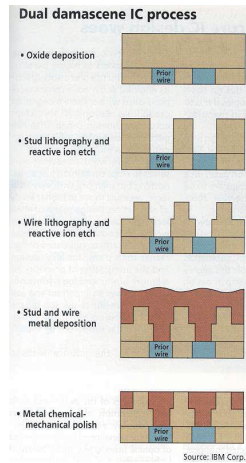
Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Yang-Kyu Choi et al., Solid-State Electronics 46, p1595-1601, 2002

18

Processo di Fabbricazione

Interconnessioni in rame



Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

21

Progettazione Microelettronica

Latchup

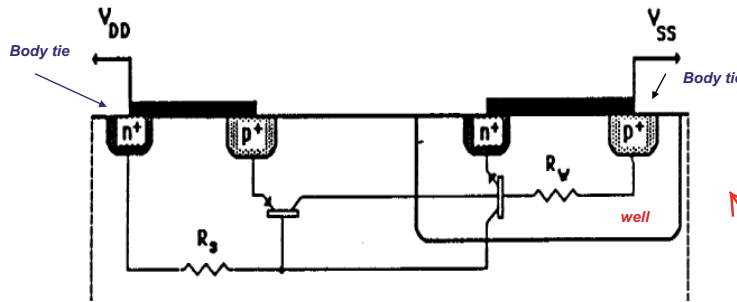
Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

22

Quando a causa di disturbi EM (o particelle ionizzanti in caso di applicazioni spaziali), passa una piccola corrente in queste due resistenze. Se questa corrente riesce a generare una tensione $> V_{be}$, accende un transistor. Tanto più alta è la I_c di quel transistor, tanto più l'altro si polarizza positivamente (I_c passa infatti nella resistenza), aumentando così la sua corrente di collettore. I due transistor si rinforzano così a vicenda.

Struttura p-Well



Bipolari parassiti

- *pnp laterale*
- *npn verticale*

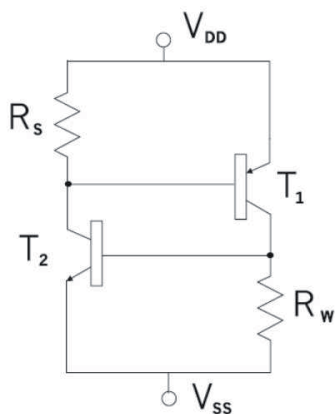
R_s resistenza di substrato
 R_w resistenza di well
 Substrati poco drogati
 → **Alta resistività**

Questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

Si cerca di dimensionare le resistenze in base alle correnti parassite previste, in maniera da non avere tensioni superiori alla soglia (attenzione a non peggiorare altri parametri necessari al funzionamento)

Circuito equivalente



1° stato stabile

Entrambi i transistori interdetti

2° stato stabile

Se le correnti in R_w o R_s sono tali da portare in conduzione i transistori e se vale

$$\beta_1 \beta_2 > 1$$

Oppure

$$\alpha_1 + \alpha_2 > 1$$

Si innesca una reazione positiva che porta i transistori in saturazione

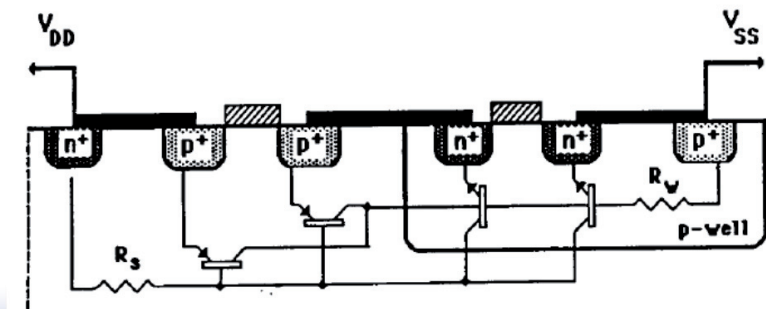
Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

26

Trigger 1 - Sovratensioni

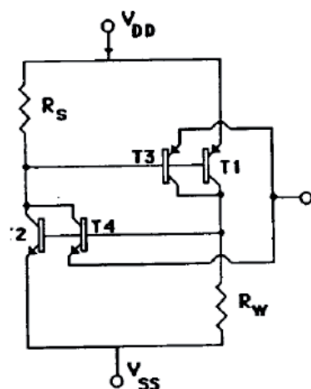
- **Bootstrap Capacitivi**
- **Riflessioni su linee interne**
- **Disturbi sui piedini di uscita**



Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

29



I transistori T1 e T2 sono quelli che formano l'anello di reazione positiva.

I transistori T3 e T4 sono quelli che entrano in conduzione in caso di sovra o sotto tensione innescando la reazione

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

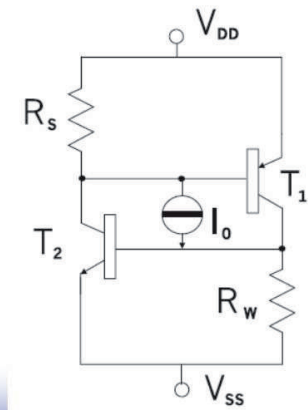
30

Trigger 3 – Radiazioni Ionizzanti

Sono in grado di generare un grande numero di coppie lacuna - elettrone nella regione di carica spaziale drain substrato

Dal punto di vista circuitale è equivalente ad un generatore di corrente in parallelo alla giunzione

La corrente I_0 che scorre in R_s ed R_w può innescare il latchup



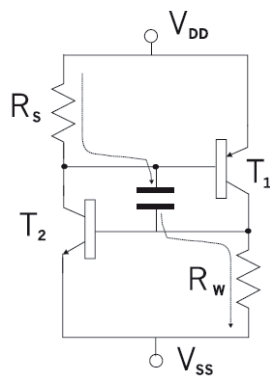
Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

33

Power-up

- Differenza dei tempi di salita della tensione in parti differenti del circuito: equivale a una sovratensione
- Correnti di carica delle giunzioni well-substrato in transistori di alimentazione veloci



Date le dimensioni delle aree di well il valore delle correnti che percorrono la resistenza può essere sufficientemente elevato da innescare il latchup.

Parte di questo materiale è tratto da J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

34

Riduzione della probabilità di latchup

- Riduzione del β
- Riduzione del valore delle resistenze

Metodologie

- Tecnologiche
- Circuitali

Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

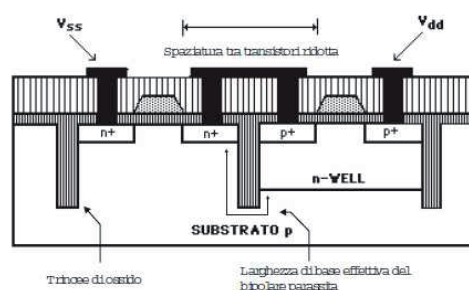
Processo di Fabbricazione

37

Riduzione del β

Aumento della larghezza di base

- **Spaziatura transistori** (laterale)
 - Aumento profondità di well (verticale)
- Entrambi riducono densità di integrazione
Alternativa: **Trincee di ossido**



Parte di questo materiale è tratto da
J. Rabaey: Digital Integrated Circuits

Processo di Fabbricazione

38